

DOI: 10. 19650/j. cnki. cjsi. J2412346

一种基于自适应时钟和波纹减少环路的高精度电流反馈仪表放大器*

胡 炜, 吴展鹏, 程捷文, 魏榕山

(福州大学物理与信息工程学院 福州 350108)

摘 要: 电流反馈仪表放大器芯片因其高精度、高共模抑制比等优势, 广泛应用于微弱信号检测。传统 CFIA 利用斩波技术降低 $1/f$ 噪声和失调电压以提升放大器精度, 但额外引入斩波波纹会显著限制其精度提升。为此, 本文提出一种基于自适应时钟和波纹减小环路的新颖电流反馈仪表放大器 ARCFIA, 该放大器针对传统斩波放大器波纹, 采用波纹减少环路 RRL 对其抑制, 并借助自适应时钟 ACLK, 将斩波开关的输入参考噪声谱密度降低。实验结果表明, ARCFIA 实现了低于 $1.4 \mu\text{V}$ 的低失调电压和 $17.2 \text{ nV}/\sqrt{\text{Hz}}$ 的输入参考噪声, 同时波纹被减少到 ARCFIA 噪声基底以下, 通过减小失调、噪声和波纹, 实现了精度的进一步提升。此外, ARCFIA 还具有一定潜力应用于复杂环境下的高精度测量系统。

关键词: 高精度; 低噪声; 低失调; 波纹减少; 自适应时钟; 电流反馈仪表放大器

中图分类号: TH89 TN72 TN43

文献标识码: A

国家标准学科分类代码: 510. 30

A high precision current-feedback instrumentation amplifier based on adaptive CLK and ripple reduction loop

Hu Wei, Wu Zhanpeng, Cheng Jiewen, Wei Rongshan

(School of Physics and Information Engineering, Fuzhou University, Fuzhou 350108, China)

Abstract: The current-feedback instrumentation amplifier chip is extensively employed in weak signal detection due to its high precision and high common-mode rejection ratio. Conventional CFIA utilizes chopping techniques to reduce $1/f$ noise and offset voltage, enhancing the amplifier's precision. However, the resultant ripple significantly limits the accuracy improvement. Addressing this, an innovative adaptive CLK ripple reduction loop CFIA ARCFIA is proposed. It employs a ripple reduction loop RRL to reduce the ripple in conventional chopping amplifiers. In addition, with the aid of an Adaptive CLK ACLK, it reduces the power spectral density of the input-referred noise in chopping switch. Experimental results show that ARCFIA achieves a low offset voltage below $1.4 \mu\text{V}$ and an input-referred noise of $17.2 \text{ nV}/\sqrt{\text{Hz}}$, while the ripple is reduced to a level below the ARCFIA's input-referred noise. This reduction in offset, noise, and ripple leads to improved accuracy. Furthermore, ARCFIA shows potential for application in high-precision measurement systems within complex environments.

Keywords: high precision; low noise; low offset; reduction ripple; adaptive clk; current-feedback instrumentation amplifier

0 引 言

仪表放大器 (instrumentation amplifier, IA) 应用于温度、生物、电流检测等高精度信号感知^[1-3], 待放大信号的幅度小, 信号所处环境复杂, 故需 IA 具有低噪声、低失

调、高共模抑制比 (common mode rejection ratio, CMRR)、电源抑制比 (power supply rejection ratio, PSRR) 等特性。传统双极型 IA^[4] 相比 CMOS 型 IA 具有更优的噪声和失调性能, 但由于 CMOS 工艺制程的成本优势、以及引入的斩波^[5] 或自调零技术^[6], 使得 CMOS 型 IA 在精密应用中更具优势。然而, 斩波技术引入的斩波波纹和自调零技

术造成的噪声折叠,限制了精度的进一步提高^[7]。

国内外为降低 IA 噪声、解决斩波波纹问题,常采取如下 5 种方法:1) 文献[8]中提到 Rob Burt 等通过在信号路径加入开关电容陷波滤波器,对波纹进行滤除,该滤波器可针对特定频率的波纹进行过滤,从而将 75 mV 的波纹抑制到 150 μ V。但陷波器在信号通路中会引入额外的 90°相移,恶化放大器的稳定性,且其抑制能力依赖时钟准确性;2) Pertijs 等^[9]通过自调零技术和斩波技术配合使用,将折叠在低频的噪声调制到高频,并由自调零技术降低了初始失调电压,从而降低所产生的波纹。但使用自调零技术的放大器不能连续工作,需要 ping-pong 结构交替工作来保证放大器的连续输出,使得功耗和面积翻倍;3) Kusuda 等^[10]在斩波放大器中使用自动校正反馈电路环路进行波纹抑制,但该环路增益较低,减小失调波纹效果有限,仅将 14 mV 波纹降低 1/100 到 140 μ V。4) Qu 等^[5]采用逐次逼近型模数转换器对波纹进行采样、转换、存储为对应的补偿信号,将波纹降低至 1/130,若要将抑制能力提高,需要更高位数的模数转换器,这将大大提升芯片的面积和功耗。5) 传统斩波控制时钟信号的幅值固定,当输入共模电压变化,使开关管过驱动电压减小,导通电阻增大^[11],导致噪声贡献显著提高,限制了 IA 高精度应用。

为克服上述方法中抑制波纹效果不足、自调零引入噪声折叠和时钟幅值引起的噪声等限制 IA 精度提高的问题,本文提出一种基于波纹减少环路(ripple reduction loop, RRL)和自适应时钟(adaptive CLK, ACLK)的斩波电流反馈仪表放大器(adaptive CLK ripple reduction loop CFIA, ARCFIA):1) RRL 具有高环路增益,能将波纹从 100 mV 降低到 10 μ V,抑制程度为-80 dB;2) ARCFIA 工作是连续的,不需要额外信号通路,相比 ping-pong 结构节约了 50% 面积和功耗;且不存在采样过程,没有噪声折叠;3) ACLK 可优化输入斩波时钟信号,降低斩波器在共模输入范围内的噪声水平,可进一步提升 ARCFIA 精度。因此降低了失调电压、波纹、噪声,完成了 IA 精度的提升。

1 传统电流反馈仪表放大器

传统电流反馈仪表放大器(current-feedback instrumentation amplifier, CFIA)^[12]如图 1 所示,由输入跨导 G_{m1} 、反馈跨导 G_{m3} 、输出跨导 G_{m2} 、斩波器 CH_1 、 CH_2 、 CH_3 以及反馈电阻 R_1 、 R_2 组成。输入跨导 G_{m1} 和反馈跨导 G_{m3} 将输入电压 V_{IN} 和反馈电压 V_F 转换成相应电流,电流差值再通过反馈被 G_{m2} 的增益抵消。CFIA 的增益如式(1):

$$\frac{V_{OUT}}{V_{IN}} = \frac{G_{m1} G_{m2} r_{o1} r_{o2}}{1 + G_{m2} G_{m3} r_{o2} r_{o3} \frac{R_1}{R_1 + R_2}} \approx \frac{R_1 + R_2}{R_1} \quad (1)$$

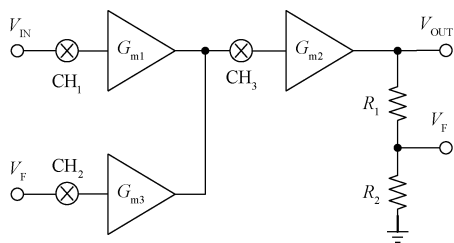


图1 电流反馈仪表放大器

Fig. 1 Current-feedback instrumentation amplifier (CFIA)

传统 CFIA 精度由失调电压、噪声决定,斩波和自调零两种技术^[9]可用于降低失调电压和噪声。斩波技术通过调制解调将信号和低频噪声、失调分离,从而降低失调和低频噪声,但残留的失调被跨导 G_{m1} 转化为失调电流后,被 CH_3 调制为斩波频率的波纹,该波纹与失调电压、斩波频等有关,具体原理与公式在 1.1 节 1) 中给出。波纹是限制 CFIA 精度的一个重要因素,因此本文将波纹减小作为 CFIA 精度提高的一个重要指标。通过验证得到,所提出的波纹抑制环路将传统的波纹从 100 mV 降低到 10 μ V,显著减小了波纹对 CFIA 的影响。

传统斩波时钟信号幅度是固定的,当输入共模电压变化时,输入开关导通电阻变化而导致噪声恶化,最终影响 CFIA 的精度,本文通过自适应的时钟幅度,降低了共模电压变化时的噪声增加,使放大器在各个共模电压下工作时都维持低噪声,从而将传统 CFIA 的精度又提升了。自调零技术也是降低放大器失调和低频噪声的方法,其通过采样前一周期的失调电压和低频噪声来抵消下一周期的偏移,但采样过程会引入折叠噪声,且信号处理非连续,需要 ping-pong 双通道,从而消耗额外的能量。因此本文采用斩波作为 CFIA 的失调和低频噪声减小方法,并采用波纹减小环路和自适应时钟完成对传统 CFIA 精度的进一步提升。提出的 ARCFIA。

1.1 电路组成

由上节分析可知,提升 CFIA 精度可分别从补偿失调电流^[13]和采用更灵活的时钟,来抑制波纹和限制输入开关噪声。因此,本文基于传统 CFIA,采用斩波技术,并新引入 RRL 和 ACLK 电路,提出如图 2 所示的 3 级 ARCFIA 结构。

1) 输入级 G_{m1} 和反馈级 G_{m4} 由相同的折叠共源共栅结构组成,通过在 G_{m1} 、 G_{m4} 输入端和输出端设置 CH_1 、 CH_2 、 CH_4 三个斩波器,将 G_{m1} 、 G_{m4} 的低频噪声和失调电压调制到高频,同时 G_{m1} 为 CFIA 提供较大的输入跨导和前级增益,以此来抑制后级噪声;

2) 中间级同样采用折叠共源共栅结构提高整体增益,减小闭环误差;

3) 输出级为 ClassAB 结构,用于拓展输出电压范围,

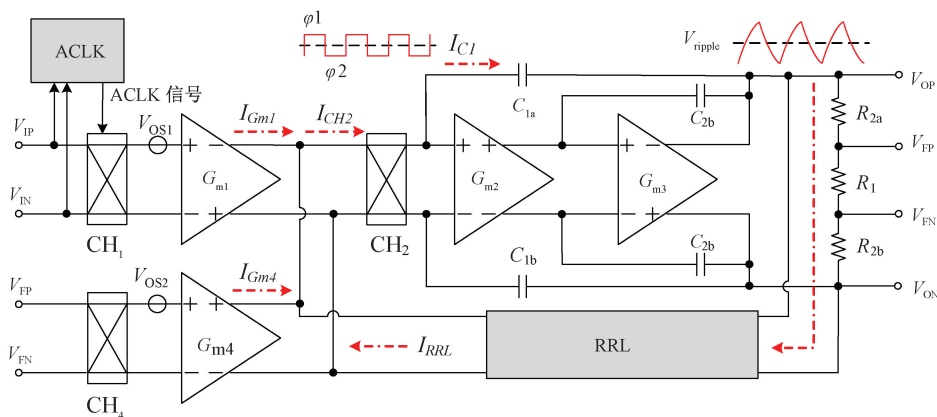


图2 ARCFA 整体电路(包括 RRL 和 ACLK)

Fig. 2 Overall ARCFA circuit (including RRL and ACLK)

并提高带载能力。通过由 C_{1a} 、 C_{1b} 、 C_{2a} 、 C_{2b} 组成的嵌套式米勒补偿网络,以保证系统的稳定性。由 R_1 、 R_{2a} 、 R_{2b} 反馈电阻完成 ARCFA 的增益设置。

4) 在输出端和 G_{m1} 、 G_{m4} 间加入 RRL,通过 RRL 感知输出端的波纹并产生对应的 I_{RRL} ,并对产生波纹的 I_{CH2} 进行补偿。RRL 模块具体电路将在 1.2 节介绍;

5) ACLK 模块根据输入共模电压,产生随输入共模电压自适应变化的 ACLK 信号来控制输入斩波器 CH_1 ,使其在共模电压变化时,维持导通电阻不变,即保证了其在共模电压输入范围内的低噪声贡献。ACLK 模块具体电路将在 1.3 节介绍。

(1) 纹波的产生斩波波纹主要来源于 G_{m1} 、 G_{m4} 的失调电压 V_{OS1} 、 V_{OS2} 。其通过跨导转换为失调电流 I_{Gm1} 和 I_{Gm4} , CH_2 对二者电流之和 I_{CH2} 进行斩波。斩波后的电流为 I_{C1} , ϕ_1 时刻, I_{C1} 对 C_{1a} 充电,输出向上的斜波; ϕ_2 时刻, I_{C1} 对 C_{1a} 放电,输出向下的斜波,所以在在一个斩波周期,输出端产生了峰峰值为式(2)的三角波^[14],其中 f_{ch} 为斩波频率, G_m 为 G_{m1} 、 G_{m4} 跨导值, V_{OS} 为 V_{OS1} 、 V_{OS2} 之和。

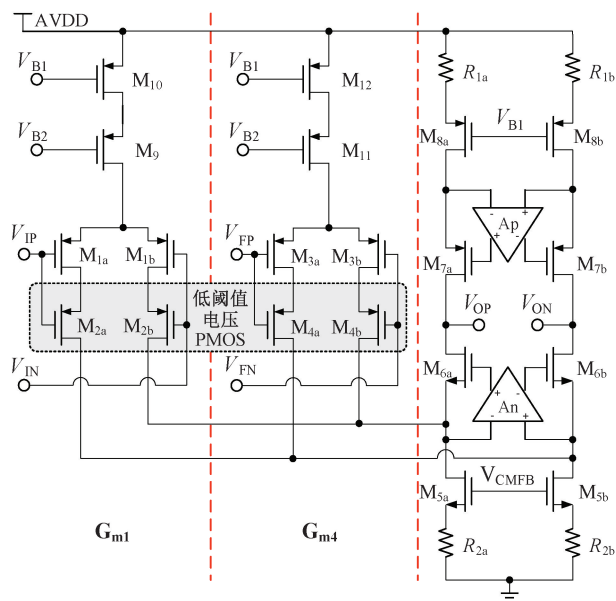
$$V_{ripple} = \frac{1}{C_{1a,b}} \int_0^{T_{ch}} I_{CH2} dT = \frac{G_m \times V_{OS}}{2C_{1a,b}f_{ch}} \quad (2)$$

(2) G_{m1} - G_{m4} 的电路实现

如图3所示为输入跨导 G_{m1} 和反馈跨导 G_{m4} 的电路原理图。为在共模电压变化下稳定输入跨导,输入管由 M_{1a} 、 M_{1b} 、 M_{2a} 、 M_{2b} 、 M_{3a} 、 M_{3b} 、 M_{4a} 、 M_{4b} 组成,其中 M_{2a} 、 M_{2b} 、 M_{4a} 、 M_{4b} 为低阈值电压管,以确保它们都工作在饱和区。由于共栅管的噪声被输入级增益抑制,因此只考虑共源管和输入对管的噪声,等效输入噪声表示为式(3),其中 K_N 、 K_P 分别为 N 管和 P 管的 $1/f$ 噪声系数, λ 为热噪声系数。

$$\overline{V_{noise,in}^2} = \left[\left(4K\lambda \frac{2}{g_{m1,2}} + \frac{g_{m5}}{g_{m1,2}^2} + \frac{g_{m8}}{g_{m1,2}^2} \right) + \right.$$

$$\left. \frac{K_N}{C_{ox}f} \left(\frac{2}{(WL)_{1,2}} + \frac{g_{m5}^2}{(WL)_s g_{m1,2}^2} \right) + \frac{K_P}{C_{ox}f} \frac{g_{m8}^2}{(WL)_s g_{m1,2}^2} \right] \quad (3)$$

图3 G_{m1} 和 G_{m4} 电路Fig. 3 Schematic of G_{m1} and G_{m4}

如 1.1 节所述, G_{m1} 和 G_{m4} 提高了输入跨导,同时扩大 MOS 管尺寸,以降低整体放大器的噪声。为进一步减小噪声,通过源退化电阻降低共源管 M_{5a} 、 M_{5b} 、 M_{8a} 、 M_{8b} 跨导,以减小共源管的失调与噪声贡献约 $(1+g_m R_s)$ 因此为提高跨导的减小倍数,由源退化电阻消耗的电倍。但共源管等效 g_m 的减小需要电压裕度支撑,如式(4)。其中 R_s 为源退化电阻, V_s 为电阻两端电压,压裕度会很严重。

$$g_m R_s = \frac{2I_D}{V_{dsat}} \frac{V_s}{I_D} = \frac{2V_s}{V_{dsat}} \quad (4)$$

如图4所示为 G_{m2} 和 G_{m3} 的电路原理图,其第2级

均采用折叠共源共栅架构来提高 ARCFIA 开环增益,并通过浮栅管 M_6 、 M_7 、 M_8 、 M_9 来偏置 ClassAB 输出级,其具有轨到轨输出摆幅。 G_{m2} 与 G_{m3} 输出间的补偿电容 C_1 、

C_2 、 C_3 、 C_4 对应图 2 中的 $C_{2a, b}$ 。由于第 2 级和第 3 级的噪声被输入级 G_{m1} 增益所抑制,可降低 G_{m2} 、 G_{m3} 的噪声设计要求,从而优化 ARCFIA 能耗和面积。

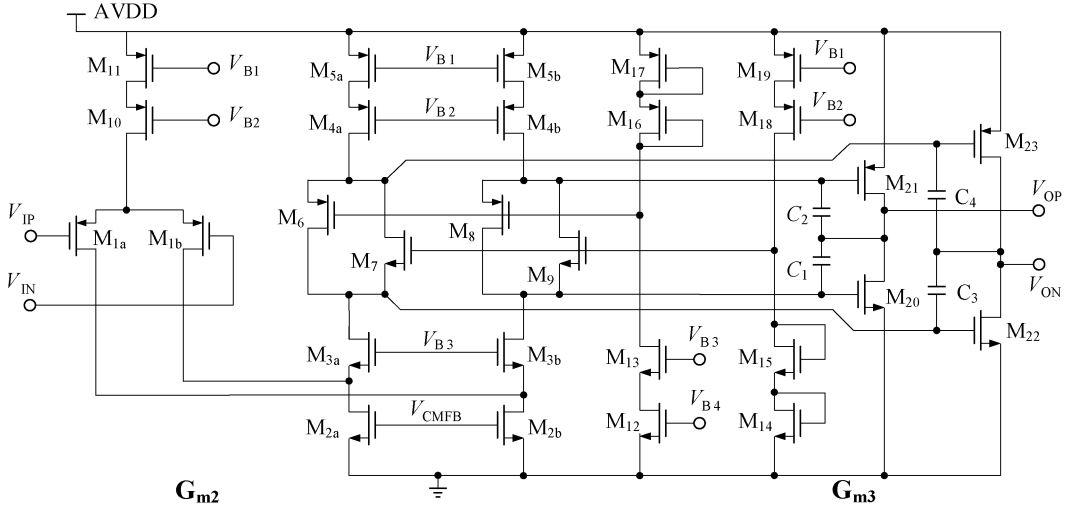


图 4 G_{m2} 和 G_{m3} 电路

Fig. 4 Schematic of G_{m2} and G_{m3}

1.2 波纹减小环路 RRL

1) RRL 功能说明 RRL 及波纹抑制过程如图 5 所示,其中 RRL 由 $C_{3a, b}$ 感知电容、斩波器 CH_3 、CB 共源共栅缓冲器、 C_{int} 积分电容、 G_{m5} 补偿跨导组成。RRL 首先通过 $C_{3a, b}$ 感知输出端的波纹,并将波纹转换为斩波频率的电流 I_3 ,其大小和斩波波纹的导数成正比,接着 CH_3 将斩

波频率的电流解调为 I_{CH3} ,并在 C_{int} 上进行积分, C_{int} 上的电压经过 G_{m5} 转换为相对应的直流补偿电流 I_{Gm5} ,最终通过该电流补偿 G_{m1} 和 G_{m4} 输出的失调电流。CB 通过增益自举放大器,在 C_3 左端形成虚地,同时 C_1 左端也为虚地,所以 CB 的输入电流和 C_1 的输入电流比可推导为式(5)。

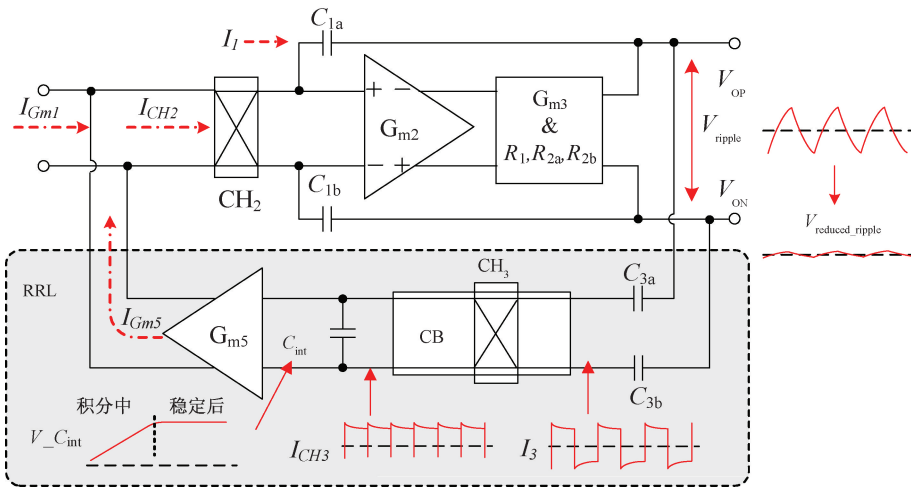


图 5 RRL 组成及波纹抑制过程

Fig. 5 RRL composition and ripple reduction process

$$I_3 = \frac{C_3}{C_1} I_1 \quad (5)$$

G_{m1} 、 G_{m4} 输出的失调电流之和 I_{os} 与 RRL 环路补偿的电流 I_{Gm5} 作差,差值 I_{CH2} 被 CH_2 斩波后对 C_1 充放电,

从而可得到减小后的波纹如式(6):

$$V_{reduced_ripple} = \frac{1}{2Cf_{ch}} \frac{I_{os}}{(1 + G_{m5} \times (C_3/C_1)R_{CB})} \quad (6)$$

由式(6)得出,RRL 将输出斩波波纹降低了约

$(1 + G_{m5}(C_3/C_1)R_{CB})$ 倍,提高 $G_{m5}(C_3/C_1)R_{CB}$ 可有效提高 RRL 对波纹的抑制能力,为电路设计提供了理论支撑。

2) RRL 电路实现

RRL 具体电路如图 6 所示。通过 1.1 节 1) 可知, RRL 环路性能由 G_{m5} 和 R_{CB} 决定,为提高抑制能力,采用增益自举放大器将 CB 的输出阻抗提高 A_n 倍。 C_{int} 和 G_{m5} 决定 RRL 的带宽,由于感知电容 C_3 直接连接到输出端,为过滤输出信号的影响, RRL 的带宽要远低于斩波频率,所以 C_{int} 被设置为 40 pF 以使 RRL 的 GBW 降低至 400 Hz,可将 CH_1 调制后的输出信号过滤。

由于放大器 A_n 和 A_p 的失调电压被 CH_1 、 CH_2 斩波为高频的方波并对电容充放电,以 A_n 为例,若输入端连接至 A 点,则失调电压 V_{OSN} 通过 CH_1 后形成的方波将对感知电容 $C_{3a, b}$ 充放电,从而形成斩波频率的失调电流被 CH_1 调制回直流电流,最后作用到 C_{int} ,产生了误差。将输入端连接至 B 点,并在 A_n 输出端设置和 CH_1 相同的斩波器以维持增益自举放大器的负反馈环路。失调电压 V_{OSN} 通过 CH_1 后形成的方波将对 A 点寄生电容充放电,形成高频电流,由于 A 点寄生电容仅由 $M_{3a, b}$ 源电容和 CH_1 的部分寄生电容组成,相比 $C_{3a, b}$ 更小,产生的高频电流也更小。并且 40 kHz 的电流被 C_{int} 过滤,进一步降低 V_{OSN} 的影响。同时,避免 RRL 引入额外的噪声,对 RRL 的噪声贡献源进行分析。其噪声主要由 $M_{1a, b}$ 、 $M_{2a, b}$ 以及 $M_{5a, b}$ 贡献。尤其是 $M_{2a, b}$ 、 $M_{5a, b}$ 的 $1/f$ 噪声经过两次的斩波调制到低频,将会影响放大器的低频噪声性能。

C_{int} 的过滤,最终由 G_{m5} 和 G_{m1} 作用到输入端,所以 $M_{2a, b}$ 的等效输入参考噪声可推导为式 (7),其中 $G_{m, M2}$ 为 $M_{2a, b}$ 的跨导:

$$V_{noise, M2, RTI} = V_{noise, M2} \frac{G_{m5} \times G_{m, M2}(R_{CB}(1/sC_{int}))}{G_{m1}} \quad (7)$$

由式 (7) 可知,降低 G_{m5} 可有效降低 RRL 噪声,但降低 G_{m5} 的同时, RRL 的增益也随之下降,意味着抑制波纹的能力下降,并且 G_{m5} 必须要有输出足够补偿电流的能力,否则抑制的效果也会受制。所以在 $M_{1a, b}$ 的源端加入源退化电阻 R_1 、 R_2 ,以保证 G_{m5} 能输出足够的补偿电流,又将 G_{m5} 跨导值降低,进而减小 RRL 对 ARCFIA 的噪声贡献。

综上,通过降低 RRL 带宽、提高 CB 输出阻抗、减小 G_{m5} 跨导的方法,可有效减小波纹而不影响原电路的噪声性能。

1.3 ACLK 功能说明和电路实现

由于输入斩波开关的白噪声会直接表现在输入端,对放大器的噪声贡献较大,考虑采用自适应时钟 ACLK 进行电路优化。为使斩波开关的噪声贡献降到足够小,需要将 MOS 管的宽度 W 增大来获得低的导通电阻。但当 W 增大后,由电荷注入和时钟馈通引起的剩余输入失调电压和输入偏置电流^[15]影响会显著增加。若在输入共模变化时保持开关过驱动电压不变,则可通过单管开关来实现宽输入范围以及低噪声。

如图 7 所示为 ACLK 电路原理图,其中 V_{ICM} 为缓冲器采集得到的输入共模电压。自适应时钟工作于两个状态:

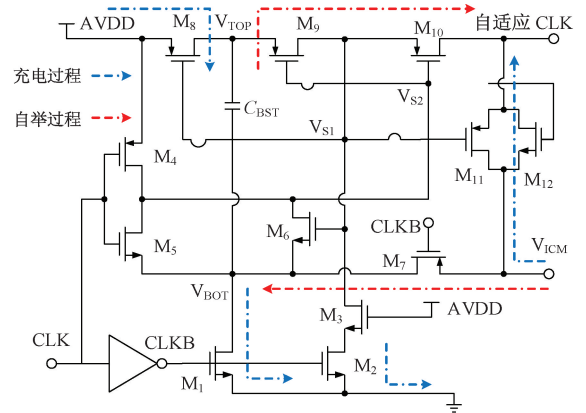
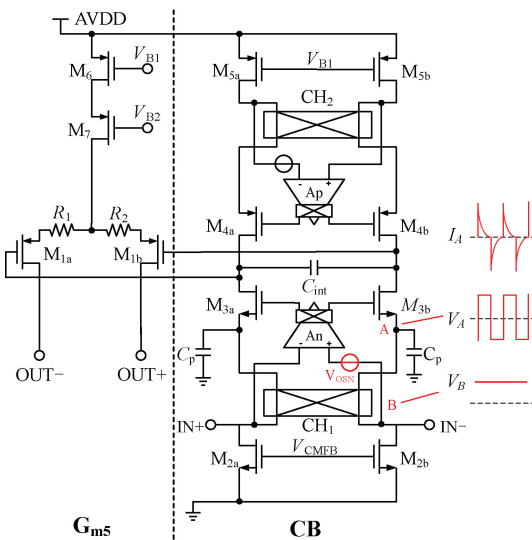


图 7 ACLK 电路

Fig. 7 Schematic of ACLK

1) 当 CLK 为低时工作于充电状态,即此时 V_{S2} 被拉高到 AVDD, M_{12} 导通使自适应 CLK 与 V_{ICM} 相连, M_1 、 M_2 导通,将 V_{BOT} 、 V_{S1} 拉低到地, M_8 导通将 V_{TOP} 充电到 AVDD,从而完成充电过程;

2) 当 CLK 为高时工作于自举状态, M_1 、 M_2 关闭, M_7 导通,将 V_{BOT} 从地充电到 V_{ICM} ,同时 M_8 、 M_{11} 、 M_{12} 关闭,



V_{TOP} 被电容自举到 $AVDD+V_{ICM}$ 电压,并连接至自适应 CLK。

因此,时钟信号根据输入共模电压产生了自适应变化,即保持开关管过驱动电压不变,从而在共模电压变化时维持低导通电阻,降低了共模电压范围内输入斩波开关的等效输入噪声。

2 实验验证

为检验 ARCFIA 及其核心电路 RRL 和 ACLK 的功能和高精度表现,进行 ARCFIA 及其相应子电路模块的功能和性能对比实验,分别通过波纹抑制能力对比、噪声减小对比和失调对比,综合上述 3 个指标以考察 ARCFIA 的高精度性能。各实验采用旺宏 0.18 μm CMOS 工艺。如图 8 所示为 ARCFIA 电路版图,整体尺寸为 $930\text{ }\mu\text{m}\times 780\text{ }\mu\text{m}$,包括 ARCFIA 核心电路、输入输出 IO、芯片键合 PAD。

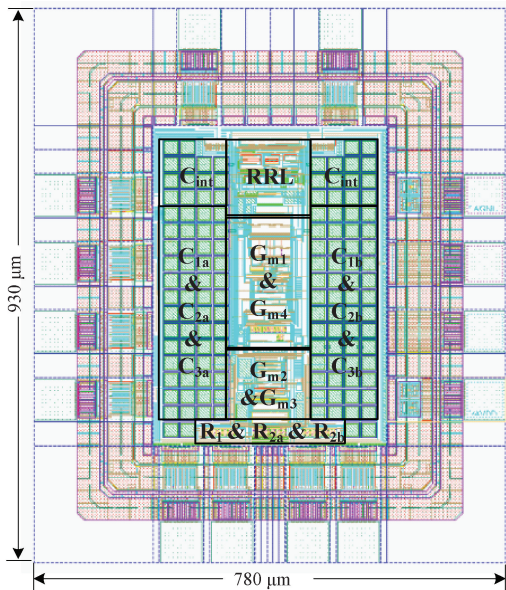


图 8 ARCFIA 整体版
Fig. 8 Overall ARCFIA layout

如图 9 所示为开启 RRL 和关闭 RRL 时 ARCFIA 的输出频谱,其中输入为 100 Hz 幅度 1 mV 的正弦信号 V_{IN} ,设置 ARCFIA 增益为 1 000 倍。输出频谱图在 100 Hz 处为 0 dB (对应幅度为 1 V 的输出信号),因此 ARCFIA 具有 1 000 倍放大功能。RRL 关闭时,斩波波纹在斩波频率处表现为 -20 dB 的尖峰,开启 RRL 后斩波波纹尖峰被减小至低于 -100 dB,淹没在了噪声中,从而实现了纹波抑制的功能。

如图 10 所示为开启 RRL 后减小的波纹电压 V_{ripple} 峰峰值蒙特卡洛统计分析,其中 90% 的波纹电压峰峰值

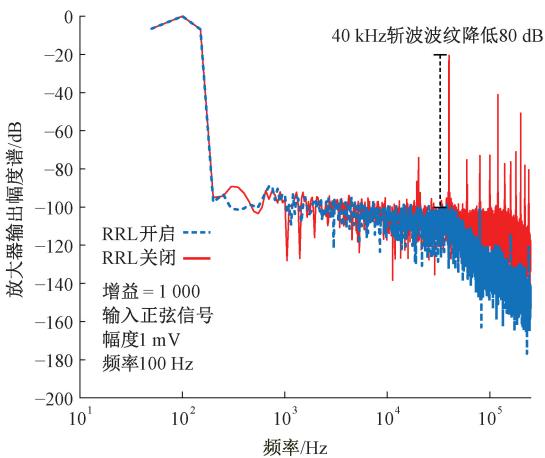


图 9 ARCFIA 输出频谱
Fig. 9 ARCFIA output spectrum

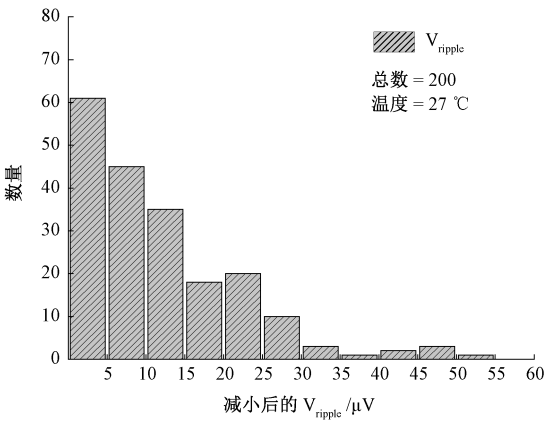


图 10 减小后的 V_{ripple} 统计分布
Fig. 10 Reduced V_{ripple} statistic distribution

被 RRL 减小至 25 μV 范围内,最差情况下波纹电压峰峰值也小于 55 μV ,证明了 RRL 对波纹的抑制能力。

如图 11 所示为使用 ACLK 与普通时钟的开关在不同共模输入下的噪声对比。当共模电压从 0 提高到 3.4 V 时,固定时钟控制的开关噪声提高到了 2.1 $\text{nV}/\sqrt{\text{Hz}}$,而 ACLK 控制的开关在共模范围内都表现为恒定的低噪声水平。进一步,如图 12 所示给出了 3.4 V 共模电压下的开启与关闭 ACLK 下的两组噪声谱密度对比,表明在高共模电压输入下,ACLK 的引入显著降低了噪声。

如图 13 和 14 所示分别为失调电压和失调电压温漂的蒙特卡洛统计分析。由于 ARCFIA 使用了斩波和波纹减少环路技术,放大器的整体失调被限制到 1.4 μV 以内,失调温漂也被降到 5 $\text{nV}/^\circ\text{C}$ 。

综上可看出,RRL 优化了斩波波纹,ACLK 降低了输入斩波开关的噪声贡献,从而明显改善了 ARCFIA 的噪

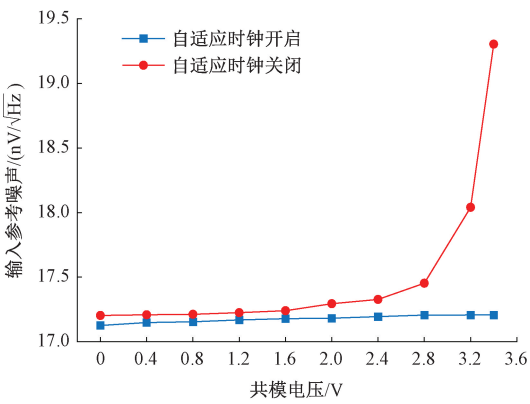


图 11 共模电压变化下 ARCFA 等效输入噪声
Fig. 11 ARCFA input-referred noise PSD versus common-mode voltage

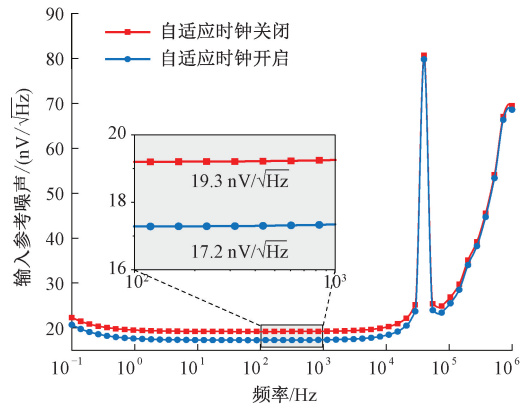


图 12 ARCFA 等效输入噪声谱密度
Fig. 12 ARCFA input-referred noise PSD with and without ACLK

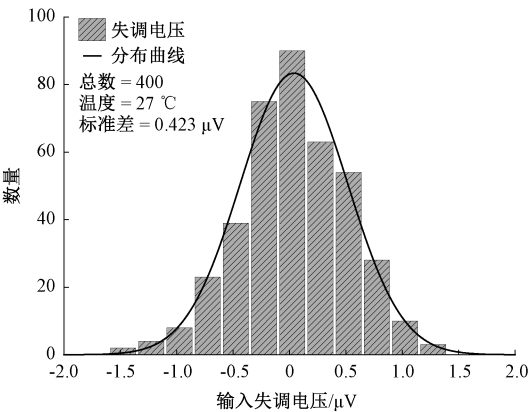


图 13 ARCFA 等效输入失调电压
Fig. 13 ARCFA input offset voltage

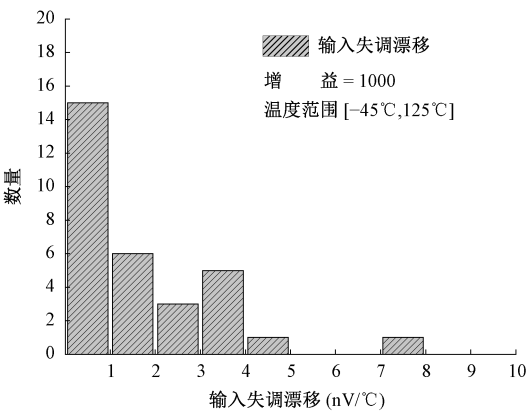


图 14 ARCFA 等效输入失调电压温漂
Fig. 14 ARCFA input offset voltage drift

3 讨 论

如表 1 所示为 ARCFA 与其他先进 IA 的性能对比,通过 RRL 和 ACLK 电路实现了波纹消除和输入斩波开关等效噪声减少。同时采用 180 nm CMOS 成熟工艺,有效降低了芯片设计成本、难度和时间。进一步地,对 ARCFA 的深入讨论总结如下:

- 1) ARCFA 实现了低至 17.2 nV/√Hz 的噪声性能和 1.4 μV 的失调电压,其噪声性能与其他先进 IA 可比较,同时失调电压远低于同类 IA^[16-18],满足精密测量应用;
- 2) RRL 超过 10 000 倍的波纹抑制能力将波纹电压峰峰值降低至 10 μV 以下,在表 1 所引用的同类 IA 中具有较大优势,同时对波纹的容限也更大,测试得到对于 400 mV 的波纹,该电路同样有 10 000 倍的抑制能力,将波纹抑制到 40 μV。因此,波纹被限制到和输入参考噪声一个级别,不会因波纹而降低 ARCFA 精度性能;
- 3) 通过 ACLK 电路,在共模输入电压范围内维持了恒定的低输入斩波开关噪声,这对比表 1 其他 IA 是独有的,使得 ARCFA 在共模电压变化时,精度不会因此降低;
- 4) 在确保低噪声和低失调的同时,表 1 中 ARCFA 的 CMRR 和 PSRR 维持在不低于 130 dB 的水平,对输入共模噪声和电源电压噪声具有足够的抑制能力,能够在更复杂的环境中维持高精度性能。

所提 RRL 环路,不仅适用于 ARCFA,其对波纹的感知和消除具有更普遍的应用,在其他精密放大器中同样可采用 RRL 环路进行波纹优化。

但需要指出,RRL 中部分 MOS 贡献的噪声未经过斩波,在低频段,会贡献明显 1/f 噪声。因此,降低 RRL 低频噪声对 ARCFA 拓展低频应用是有意义的。

声性能,最终提高了 ARCFA 精度。

表 1 本文 ARCFIA 与其他同类先进 IA 的性能对比
Table 1 Performance comparison with previous work

参考对比 IA	本文	文献[13]	文献[16]	文献[17]	文献[18]
单位增益带宽	800 kHz	900 kHz	1.92 MHz	3.1 MHz	300 kHz
输入参考噪声	17.2 nV/√Hz	21 nV/√Hz	15 nV/√Hz	22.7 nV/√Hz	13 nV/√Hz
失调电压	1.4 μV	2 μV	23.5 μV	5 μV	10 μV
减小后波纹	10 μV	24.4 μV	N/A	N/A	6 000 μV
电源电流	290 μA	143 μA	123 μA	200 μA	7 μA
共模抑制比	130 dB	137 dB	100 dB	130 dB	80 dB
电源抑制比	130 dB	120 dB	93.2 dB	N/A	84 dB
NEF *	7.53	9.6	6.1	6.1	1.3

* 噪声效率因子 $NEF = V_{noise,rms} \sqrt{2I_{tot}/4\pi kTV_T BW}$ [18], $V_{noise,rms}$ 为等效输入噪声均方根值, I_{tot} 为系统消耗总电流, k 为玻尔兹曼常数, T 为开氏温度, V_T 为热电压, BW 为系统带宽。

ARCFIA 有电流反馈仪表放大器的优点,同时优化了斩波波纹和噪声性能,因此可用于噪声环境下的微弱信号测量与放大,如温度信号、生物信号、微弱电流信号。具体如热电桥应用、高精密度数模转换器的前端放大器、心电图、血压计、生命体征监测仪等医疗设备。

应用于温度监测的高精度霍斯通电桥常采用仪表放大器。如图 15 所示为 ARCFIA 应用于高精度霍斯通电桥的电路原理图。电桥将热敏电阻的变化转变为电压值,这些电压值通过 ARCFIA 进行放大,以便后续数模转换器等系统的处理。

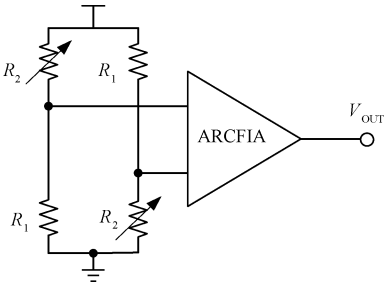


图 15 高精度霍斯通电桥应用

Fig. 15 High precision Halston bridge applications

为确保电桥测量的准确,热敏电阻以及用于读出它们的 IA 的特点应该是高精度,而 ARCFIA 在传统 CFIA 的基础上,进一步降低了波纹、噪声、失调电压,确保传感器电压读出的准确。采用 ARCFIA 的霍斯通电桥实验表明,ARCFIA 的低噪声、低失调、低波纹等高精度特性满足该电桥测量。

4 结 论

为解决传统 CFIA 中波纹和斩波开关噪声导致的失调和噪声问题,本文提出了一种基于 RRL 和 ACLK 的新

型高精度电流仪表放大器 ARCFIA。实验结果表明,通过高环路增益的 RRL,可将 ARCFIA 波纹抑制至噪声基底以下,同时通过斩波技术配合 ACLK 可将 $1/f$ 噪声转角推至 100 mHz,实现低至 17.2 nV/√Hz 的噪声 PSD、以及低于 1.4 μV 的失调电压和 5 nV/℃ 的漂移,从而确保 ARCFIA 在各温度应用场景下均可保持极低失调电压。此外,ARCFIA 还具有高于 130 dB 的 CMRR 和 PSRR,可在较差的共模电压和电源环境下维持自身高精度性能。因此,所提出的新型 ARCFIA 具有低噪声、低失调、低波纹特性,满足高精度指标,并且有一定潜力应用于复杂环境下的高精密信号感知与测量系统。

参考文献

[1] CORBACHO I, CARRILLO J M, AUSÍN J L, et al. Wide-bandwidth electronically programmable CMOS instrumentation amplifier for bioimpedance spectroscopy[J]. IEEE Access, 2022, 10: 95604-95612.

[2] 汪毅峰, 李江涛, 徐峥一, 等. 基于电容耦合式电极的非接触式 ECG 采集方法研究[J]. 仪器仪表学报, 2022, 43(2): 138-147.

WANG Y F, LI J T, XU ZH Y, et al. A non-contact ECG measurement method based on capacitance coupling electrodes[J]. Chinese Journal of Scientific Instrument, 2022, 43(2): 138-147.

[3] 冯宝亮, 史斌君, 左国坤, 等. 基于图案化柔性织物电极的非接触式多体位睡眠心电监测系统[J]. 仪器仪表学报, 2021, 42(7): 126-134.

FENG B L, SHI B J, ZUO G K, et al. A non-contact multi-positional sleeping ECG monitoring system based on patterned flexible fabric electrodes[J]. Chinese Journal of Scientific Instrument, 2021, 42(7): 126-134.

[4] ERDI G. Amplifier techniques for combining low noise, precision, and high-speed performance [J]. IEEE Journal of Solid-State Circuits, 1981, 16(6): 653-661.

- [5] QU T X, PAN Q J, ZENG X Y, et al. A 1.8 G Ω input-impedance 0.15 μ V input-referred-ripple chopper amplifier with local positive feedback and sar-assisted ripple reduction [J]. IEEE Journal of Solid-State Circuits, 2022, 58(3): 796-805.
- [6] ROOIJERS T, HUIJSING J H, MAKINWA K A A. An auto-zero-stabilized voltage buffer with a quiet chopping scheme and constant sub-pA input current [J]. IEEE Journal of Solid-State Circuits, 2021, 57(8): 2438-2448.
- [7] ENZ C C, TEMES G C. Circuit techniques for reducing the effects of op-amp imperfections: Autozeroing, correlated double sampling, and chopper stabilization [J]. Proceedings of the IEEE, 1996, 84(11): 1584-1614.
- [8] KUSUDA Y. Auto correction feedback for ripple suppression in a chopper amplifier [J]. IEEE Journal of Solid-State Circuits, 2010, 45(8): 1436-1445.
- [9] PERTIJS M A P, KINDT W J. A 140 dB-CMRR current-feedback instrumentation amplifier employing ping-pong auto-zeroing and chopping [J]. IEEE Journal of Solid-State Circuits, 2010, 45(10): 2044-2056.
- [10] KUSUDA Y. A 5.6 nV/ $\sqrt{\text{Hz}}$ chopper operational amplifier achieving a 0.5 μ V maximum offset over rail-to-rail input range with adaptive clock boosting technique [J]. IEEE Journal of Solid-State Circuits, 2016, 51(9): 2119-2128.
- [11] FANG L, GUI P. A low-noise low-power chopper instrumentation amplifier with robust technique for mitigating chopping ripples [J]. IEEE Journal of Solid-State Circuits, 2022, 57(6): 1800-1811.
- [12] CHOI G, YOU D, HEO H, et al. Current-reused current feedback instrumentation amplifier for low power leadless pacemakers [J]. IEEE Access, 2021, 9: 113748 - 113758.
- [13] FAN Q W, HUIJSING J H, MAKINWA K A A. A 21 nV/ $\sqrt{\text{Hz}}$ chopper-stabilized multi-path current-feedback instrumentation amplifier with 2 μ V offset [J]. IEEE Journal of Solid-State Circuits, 2011, 47(2): 464-475.
- [14] ROOLLERS T, HUIJSING J H, MAKINWA K A A. 3.2 A chopper-stabilized amplifier with a relaxed fill-in technique and 22.6 pA input current [C]. 2023 IEEE International Solid-State Circuits Conference (ISSCC), 2023: 2-4.
- [15] PARK Y, CHA J H, HAN S H, et al. A 3.8 μ W 1.5 NEF 15 G Ω total input impedance chopper stabilized amplifier with auto-calibrated dual positive feedback in 110 nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2022, 57(8): 2449-2461.
- [16] YOO M, KWON Y, KIM H, et al. Low-noise resistive bridge sensor analog front-end using chopper-stabilized multipath current feedback instrumentation amplifier and automatic offset cancellation loop [J]. IEEE Access, 2022, 10: 12385-12394.
- [17] XIE P, DUAN Q, MENG Z, et al. A low-noise, low-power, and chopper-stabilized, current-feedback instrumentation amplifier for current sensing application [C]. 2019 IEEE 4th International Conference on Integrated Circuits and Microsystems (ICICM), 2019: 162-165.
- [18] AHMED M, MOHAMAD S, BERMAK A. A nested-chopped current-feedback instrumentation amplifier for MEMS flow sensors [C]. 2016 IEEE 59th International Midwest Symposium on Circuits and Systems (MWSCAS), 2016: 1-4.

作者简介



胡炜, 2006 和 2009 年于西安电子科技大学分别获得学士和硕士学位, 2019 年于福州大学获得博士学位, 现为福州大学副研究员, 主要研究方向为模拟集成电路设计、存算一体芯片设计。

E-mail: whu@fzu.edu.cn

Hu Wei received his B. Sc. and M. Sc. degrees in microelectronics engineering from Xidian University, Xi'an, R. P. China, in 2006 and 2009, and the Ph. D. degree in College of Physics and Information Engineering, Fuzhou University, Fuzhou, China, in 2019. He is currently an Associate Professorial Fellow with Fuzhou University. His research interests include design of analog integrated circuits, and In-memory computing.



吴展鹏, 2022 年于福州大学获得学士学位, 现为福州大学集成电路工程硕士研究生, 主要研究方向为 CMOS 模拟集成电路。

E-mail: wzpeng312@163.com

Wu Zhanpeng received his B. Sc. degree from Fuzhou University in 2022. He is currently pursuing his master degree in integrated circuit engineering at Fuzhou University. His main research interest includes CMOS analog integrated circuit.



魏榕山 (通信作者), 2003 和 2008 年于清华大学分别获得学士和博士学位。现为福州大学教授。主要研究方向为模拟集成电路设计。

E-mail: wrs08@fzu.edu.cn

Wei Rongshan (Corresponding author) received the B. Sc. and Ph. D. degrees in Microelectronics from Tsinghua University, Beijing, China in 2003 and 2008, respectively. He works as a Professor in Fuzhou University. His research interest is analog circuits design.