

DOI: 10.19650/j.cnki.cjsi.J2107394

MRR故障对二进制全光全加器的性能影响研究*

朱爱军^{1,2}, 古展其^{1,2}, 胡聪^{1,2}, 许川佩^{1,2}, 李智^{1,2,3}

(1. 桂林电子科技大学电子工程与自动化学院 桂林 541004; 2. 广西自动检测技术与仪器重点实验室 桂林 541004;
3. 桂林航天工业学院 桂林 541004)

摘要:针对现有的二进制全光全加器所需微环谐振器(MRR)数量较多的问题,首次提出了3个MRR串联结构的全光全加器。针对MRR对温度的波动和制程偏差非常敏感,容易产生故障,建立了MRR故障模型,设计了全光全加器(OFA)的可靠性指标平均误差距离,分析了MRR单故障模型对OFA性能的影响。插入损耗(insertion loss, IL)的实验结果表明,提出的OFA结构总体上优于现有的OFA结构;相比现有的方案,提出的OFA结构的MRR硬件开销最多减少70%,最少减少50%;平均误差距离的实验结果表明,方案1和方案2的平均误差距离较大,本文提出方案的平均误差距离适中;多位二进制全加器中,最高位在单故障模型下的,平均误差距离的绝对值均随着多位二进制全加器的位数增加而增大;最低位在单故障模型下的,平均误差距离的绝对值均随着多位二进制全加器的位数增加保持不变;实物验证和基于Modelsim平台的实验验证了MRR故障对全加器的性能影响的正确性。

关键词:全光全加器;微环谐振器;故障模型

中图分类号: TH701 TN256 TP391.72 **文献标识码:** A **国家标准学科分类代码:** 510.30

Performance impact of MRR fault to binary optical full adder

Zhu Aijun^{1,2}, Gu Zhanqi^{1,2}, Hu Cong^{1,2}, Xu Chuanpei^{1,2}, Li Zhi^{1,2,3}

(1. School of Electronic Engineering and Automation, Guilin University of Electronic Technology, Guilin 541004, China;
2. Guangxi Key Laboratory of Automatic Detecting Technology and Instruments, Guilin 541004, China;
3. Guilin University of Aerospace Technology, Guilin 541004, China)

Abstract: Aiming at the problem of large number of micro ring resonator (MRR) required by current all-optical full adder, an optical full adder with three Cascaded MRR structures is proposed for the first time. In view of the fact that MRR is sensitive to temperature fluctuation and process variation, the MRR fault model is established. The mean error distance of reliability metric of optical full adder (OFA) is designed, and the influence of MRR single fault model on OFA is analyzed. Simulation results of insertion loss show that the proposed OFA architecture is superior to existing OFA architecture in general. Compared with the current scheme, the hardware overhead of the proposed OFA architecture is reduced between 50% and 70%. Experimental results show that the average error distance of scheme 1 and scheme 2 is large, while the average error distance of the proposed scheme is moderate. For the multi-bit binary full adder, the absolute value of the average error distance increases with the number of bits of the multi-bit binary full adder in the single fault model with the highest bit. For the single fault model with the lowest bit, the absolute value of the average error distance remains unchanged with the number of bits of the multi bit binary full adder. Physical verification and experiments based on Modelsim platform verify the correctness of the effect of MRR fault on the performance of full adder.

Keywords: optical full adder; micro ring resonator; fault model

收稿日期:2021-01-16 Received Date: 2021-01-16

* 基金项目:国家自然科学基金(61861012)、广西自然科学基金联合资助培育项目(2018GXNSFAA138115)、广西自动检测技术与仪器重点实验室基金(YQ21106)项目资助

0 引言

硅光子学是集成光子学领域的研究前沿与热点^[1-6]。众所周知,集成光学是在硅片上集成光学器件,基于互补金属氧化物兼容工艺,实现光学信息处理。计算具有电磁干扰小、带宽高、传输损耗低等优点。当前的逻辑运算主要有以下几种方案:基于马赫-森德干涉的逻辑运算^[7]、基于半导体光放大器的逻辑运算^[8]和基于光子晶体的逻辑运算^[9]。

然而,以上几种方案都有一个共同的问题:它们的制造工艺与当前的商业 CMOS 工艺不兼容。幸运的是,硅光学由于其固有的高带宽,COMS 兼容的制造工艺和高运算速度等特征,正发展成一个新的研究热点^[10-11]。显然,采用硅光集成光学技术实现逻辑运算是一种很有前途和吸引力的方案。基于硅光集成的微环谐振器(micro ring resonator, MRR),能够采用标准制作工艺,与 CMOS 制作工艺兼容,在逻辑运算中得到广泛的运用。实际上,已经有若干种基于硅光集成器件的逻辑的相关报道^[12-16]。Wu 等^[17]提出一种基于 MRR 的半加器,其具有 10 Kb/s 的速度。Tian 等^[18]提出了一种基于两个级联 MRR 的半加器。Kumar^[19]提出了一种与非逻辑运算,并且在其基础上提出了基于四个级联的 MRR 的半加器。然而,以上文献仅仅研究了基于 MRR 的半加器逻辑运算。Kumar 等^[20]设计了几种基于 MRR 的组合逻辑运算和时序逻辑。该文献采用了 7 个 MRR 设计了一个全光全加器。但是,该全加器的缺点是,需要使用过多的 MRR 器件。现有的研究均未考虑 MRR 故障对二进制全加器的性能影响。众所周知,MRR 对制程偏差和温度波动比较敏感,容易产生红移故障和蓝移故障。MRR 故障显然大大降低了计算器件的可靠性。因此,首次提出了一种基于 3 个 MRR 级联的全光加法器,以减少 MRR 硬件开销,并提高器件的可靠性,建立了 MRR 的故障模型,首次设计了在 MRR 单故障模型下的性能评估指标 Error-Distance 和 Mean-Error-Distance,评估器件在单故障模型下的可靠性。

1 基于微环谐振器的光开关理论分析

微环谐振器开关由特定波长谐振的谐振环和光波导组成。微环谐振器开关根据波导的相对位置有平行和交叉两种。为实现光信号在微环和光波导之间的光功率传导^[21],建立了 1×2 平行开关和 1×2 交叉开关的模型,如图 1 所示。

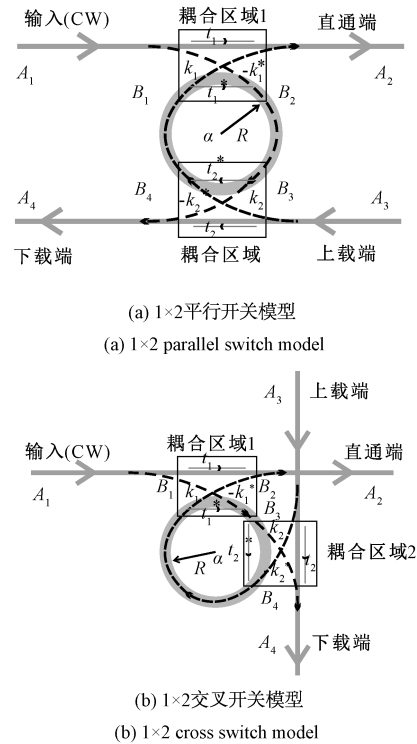


图 1 两种开关结构的模型

Fig. 1 Models of two kinds of MRR switch structures

根据文献[21]可知,图 1(a)中的耦合区域 1 中的波导和微环之间的关系可以通过式(1)和(2)来表示。

$$A_2 = t_1 A_1 + k_1 B_1 \tag{1}$$

$$B_2 = -k_1^* A_1 + t_1^* B_1 \tag{2}$$

同理对于耦合区域 2 有:

$$A_4 = t_2 A_3 + k_2 B_3 \tag{3}$$

$$B_4 = -k_2^* A_3 + t_2^* B_3 \tag{4}$$

若忽略耦合区域中的传输损耗,则系数 t 和 k 有以下关系:

$$|t_i|^2 + |k_i|^2 = 1 \tag{5}$$

根据文献[22]可得传输效率:

$$\frac{P_{Through}}{P_{Input}} = \left| \frac{A_2}{A_1} \right|^2 = \frac{t_1^2 - 2\alpha t_1 t_2 \cos\theta + \alpha^2 t_2^2}{1 - 2\alpha t_1 t_2 \cos\theta + \alpha^2 t_1^2 t_2^2} \tag{6}$$

$$\frac{P_{Drop}}{P_{Input}} = \left| \frac{A_4}{A_1} \right|^2 = \frac{k_1^2 k_2^2 \alpha}{1 - 2\alpha t_1 t_2 \cos\theta + \alpha^2 t_1^2 t_2^2} \tag{7}$$

可得插入损耗(dB)为:

$$PowerLoss_1(a) = 10 \cdot \lg \left(\frac{t_1^2 - 2\alpha t_1 t_2 \cos\theta + \alpha^2 t_2^2}{1 - 2\alpha t_1 t_2 \cos\theta + \alpha^2 t_1^2 t_2^2} \right) \tag{8}$$

$$PowerLoss_0(a) = 10 \cdot \lg \left(\frac{k_1^2 k_2^2 \alpha}{1 - 2\alpha t_1 t_2 \cos\theta + \alpha^2 t_1^2 t_2^2} \right) \tag{9}$$

同理,图 1(b)中的插入损耗(dB)为:

$$PowerLoss_T(b) = 10 \cdot \lg \left(\frac{t_1^2 - 2\alpha^{\frac{3}{4}} t_1 t_2 \cos \frac{3\theta}{4} + \alpha^{\frac{3}{2}} t_2^2}{1 - 2\alpha^{\frac{3}{4}} t_1 t_2 \cos \frac{3\theta}{4} + \alpha^{\frac{3}{2}} t_1^2 t_2^2} \right) - Loss_{acc} \quad (10)$$

$$PowerLoss_D(b) = 10 \cdot \lg \left(\frac{k_1^2 k_2^2 \alpha^{\frac{1}{2}}}{1 - 2\alpha^{\frac{1}{4}} t_1 t_2 \cos \frac{\theta}{4} + \alpha^{\frac{1}{2}} t_1^2 t_2^2} \right) \quad (11)$$

以上理论分析,将对基于 MRR 的全加器的性能分析起到关键作用。

2 基于 MRR 的二进制全光全加器

二进制全光全加器是光子集成电路中计算的重要单元,其功能是将两位的二进制和来自低位的进位信号相加,输出一位的加法结果和一位的进位输出。将符合要求的光信号通过输入端口输入后,待调制的电信号作为调制信号作用在 3 个微环谐振器上,从而改变 MRR 的谐振波长。理论上,3 个 MRR 的谐振波长完全一致。假设调制电压低电平谐振,否则不谐振。

由微环谐振器(MRR)和 Y 分支耦合器作为核心组成的二进制全光全加器可以实现任意两个二进制数求和的功能,并且可以处理低位和进位,输出本位加法进位。二进制全光全加器设计如图 2 所示。

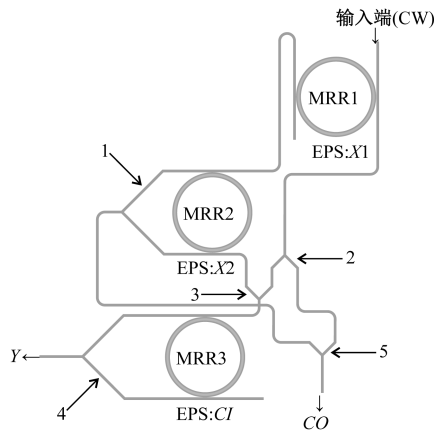


图 2 一种基于微环谐振器的二进制全光全加器
Fig. 2 A binary optical full adder based on MRR

二进制全光全加器根据 $X1, X2, CI$ 的输入信号共有 8 种工作状态,相应的真值表如表 1 所示。

其中, CI 表示低位进位, CO 表示加法进位。根据真值表,不同情况下各逻辑表述如下:

第 1 种情况: $X1 = '0', X2 = '0', CI = '0'$; 当 3 个环都加低电平,这时三者都处于谐振状态, Y 和 CO 均无光

信号输出,如等式: $0+0+0=00(X1+X2+CI=YCO)$;

第 2 种情况到第 8 种情况:同理分析即可。

以上分析可得: $CI+X1+X2=YCO$; 其中, YCO 表示逻辑与。

表 1 二进制全光全加器真值表

Table 1 Binary optical full adder truth table

$X1$	$X2$	CI	Y	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

3 MRR 故障对二进制全光全加器的影响

光片上网络成为片上系统新的发展趋势^[23-24],而计算是光片上网络的关键部件。二进制全光全加器是全光计算的关键,而 MRR 是二进制全光全加器的核心器件。然而 MRR 对温度的变化非常敏感而产生故障。同时,由于 MRR 对精度的要求也非常高,因此在制作 MRR 的过程中很容易出现尺寸偏差而导致 MRR 产生故障的情况。单个 MRR 带来的故障,可能会给整个系统的信息传输造成信息错传、信息丢失的错误^[25],使得二进制全光全加器的可靠性及完整性下降。因此,如何分析 MRR 故障对二进制全光全加器的影响,是提高其性能和可靠性的关键。

3.1 MRR 故障模型

本课题对 MRR 存在的固有偏差而导致的两种故障进行分析,建立滞 1 和滞 0 故障模型。

定义 1:滞 1 故障模型,在输入端传输信号且 MRR 处于“关”状态;下载端应收到“0”,但是因为故障接收到了“1”,如图 3 所示。

定义 2:滞 0 故障模型,在输入端传输信号且 MRR 处于“开”状态;下载端应收到传输信号,但是因为故障没有收到传输信号,如图 4 所示。

3.2 MRR 单故障对二进制全光全加器的影响

1) MRR1 呆滞 0 故障

图 5 是当且仅当 MRR1 呆滞 0 的单故障模型的示意图,其它 MRR 无故障。根据 MRR 的故障模型,得到 MRR1 呆滞 0 故障下的二进制全光全加器真值表,如表 2。

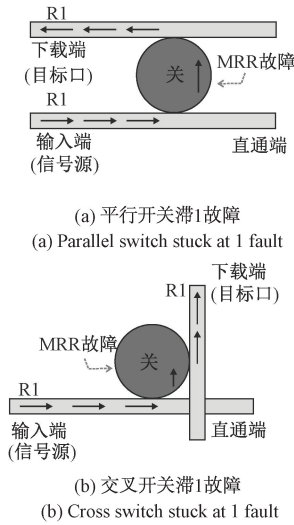


图 3 滞 1 故障
Fig. 3 Stuck at 1 fault

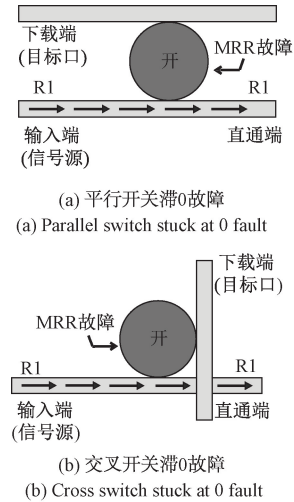


图 4 滞 0 故障
Fig. 4 Stuck at 0 fault

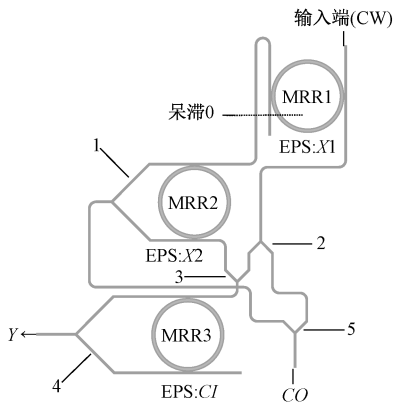


图 5 MRR1 呆滞 0 单故障模型
Fig. 5 Single fault model of MRR1 stuck at 0 single fault

表 2 MRR1 呆滞 0 故障下的二进制全光全加器真值表
Table 2 Binary optical full adder truth table of MRR1 stuck at 0 fault

$X1$	$X2$	CI	Y	CO
0	0	0	1	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

根据表 2 的真值表,可以得到 MRR1 呆滞 0 故障下的输出 Y 和 CO 的逻辑函数,用最小项之和表示:

$$Y = \sum m(0,3,4,7) \quad (12)$$

$$CO = \sum m(1,2,3,5,6,7) \quad (13)$$

根据 MRR1 呆滞 0 故障下的输出 Y 和 CO 的逻辑函数,可以得到相应的卡诺图如图 6 所示。

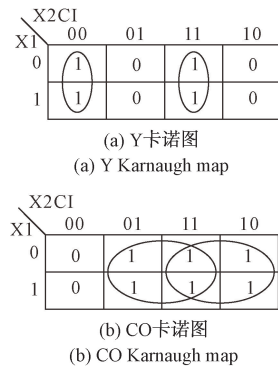


图 6 MRR1 呆滞 0 单故障下的输出卡诺图
Fig. 6 Output Karnaugh map of MRR1 stuck at 0 single fault

由 MRR1 呆滞 0 故障下的输出 Y 和 CO 的卡诺图,可以得到 MRR1 呆滞 0 单故障下的输出 Y 和 CO :

$$Y = \overline{X2}CI + X2CI = X2 \odot CI \quad (14)$$

$$CO = CI + X2 \quad (15)$$

2) MRR1 呆滞 1 故障

图 7 是当且仅当 MRR1 呆滞 1 的单故障模型的示意图,其它 MRR 无故障。根据 MRR 的故障模型,同理可以得到 MRR1 呆滞 1 故障下的二进制全光全加器真值表。

由真值表可得:

$$Y = \sum m(1,2,5,6) \quad (16)$$

$$CO = \sum m(3,7) \quad (17)$$

由 MRR1 呆滞 1 故障下的输出 Y 和 CO 的卡诺图,

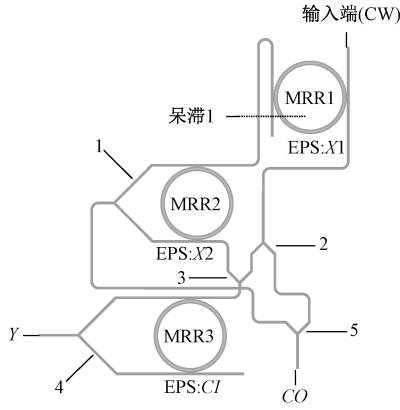


图7 MRR1 呆滞1单故障模型

Fig. 7 Single fault model of MRR1 stuck at 1 single fault

可以得到 MRR1 呆滞1单故障下的输出 Y 和 CO 的化简逻辑函数:

$$Y = \overline{X2CI} + X2\overline{CI} = X2 \oplus CI \quad (18)$$

$$CO = X2CI \quad (19)$$

3) MRR2 呆滞0故障

根据 MRR 的故障模型,同理可以得到 MRR2 呆滞0故障下的二进制全同光全加器真值表,根据真值表,可以得到 MRR2 呆滞0故障下的输出 Y 和 CO 表示:

$$Y = \sum m(0,2,5,7) \quad (20)$$

$$CO = \sum m(1,3,4,5,6,7) \quad (21)$$

由 MRR2 呆滞0故障下的输出 Y 和 CO 的卡诺图,可以得到 MRR2 呆滞0单故障下的输出 Y 和 CO 的化简逻辑函数:

$$Y = X1CI + \overline{X1}\overline{CI} = X1 \odot CI \quad (22)$$

$$CO = X1 + CI \quad (23)$$

4) MRR2 呆滞1故障

根据 MRR 的故障模型,同理可以得到 MRR2 呆滞1故障下的二进制全光全加器真值表,根据真值表,可以得到 MRR2 呆滞1故障下的输出 Y 和 CO,表示:

$$Y = \sum m(1,3,4,6) \quad (24)$$

$$CO = \sum m(5,7) \quad (25)$$

由 MRR2 呆滞1故障下的输出 Y 和 CO 的卡诺图,可以得到 MRR2 呆滞1单故障下的输出 Y 和 CO 的:

$$Y = X1\overline{CI} + \overline{X1}CI = X1 \oplus CI \quad (26)$$

$$CO = X1CI \quad (27)$$

5) MRR3 呆滞0故障

根据 MRR 的故障模型,同理可以得到 MRR3 呆滞0故障下的二进制全光全加器真值表,根据真值表,可以得到 MRR3 呆滞0故障下的输出 Y 和 CO,表示:

$$Y = \sum m(0,1,6,7) \quad (28)$$

$$CO = \sum m(2,3,4,5,6,7) \quad (29)$$

由 MRR3 呆滞0故障下的输出 Y 和 CO 的卡诺图,可以得到 MRR3 呆滞0单故障下的输出 Y 和 CO 的化简:

$$Y = \overline{X1X2} + X1X2 = X1 \odot X2 \quad (30)$$

$$CO = X2 + X1 \quad (31)$$

6) MRR3 呆滞1故障

根据 MRR 的故障模型,同理可以得到 MRR3 呆滞1故障下的二进制全光全加器真值表,根据真值表,可以得到 MRR3 呆滞1故障下的输出 Y 和 CO 的逻辑函数,用最小项之和表示:

$$Y = \sum m(2,3,4,5) \quad (32)$$

$$CO = \sum m(6,7) \quad (33)$$

由 MRR3 呆滞1故障下的输出 Y 和 CO 的卡诺图,可以得到 MRR3 呆滞1单故障下的输出 Y 和 CO 的化简逻辑函数:

$$Y = X1\overline{X2} + \overline{X1}X2 = X1 \oplus X2 \quad (34)$$

$$CO = X1X2 \quad (35)$$

4 实验验证与结果

为了评估 MRR 单故障模型对本文设计的二进制光学全加器的影响,设计了评估指标 Error-Distance,定义如下,

$$ED(a,b) = a - b = \sum_i a[i] * 2^i - \sum_j b[j] * 2^j \quad (36)$$

其中, a 为 MRR 故障全光全加器的输出, b 为无故障全光全加器的输出。

对于一个给定的输入,由于 MRR 故障分布具有随机性,假设满足一定的分布,则光学全加器的输出也服从某一个分布。假设对一给定输入,光学全加器的无故障输出为 b ,而在 MRR 故障下则输出 $c_j (1 \leq j \leq r)$,则对应给定输入的平均输入误差距离 d_i 可以定义如下:

$$d_i = \sum_j ED(c_j, b) \times p_j \quad (37)$$

其中, p_j 是输出 c_j 的概率。当光学全加器的输入不确定时,因此每个输入都以一定的概率。假设输入的矢量集为 $a_i (1 \leq i \leq t)$,对应的每个输入矢量的概率为 $q_i (1 \leq i \leq t)$,因此平均误差距离 d_m 定义如下:

$$d_m = \sum_i d_i \times q_i \quad (38)$$

其中, d_i 是输入 $a_i (1 \leq i \leq t)$ 的输出误差距离,可以由上述公式计算得到。

1) 若 OFA 结构的输入信号服从均匀分布,即任意一

个输入矢量 $Input_i$, 其出现的概率为:

$$Probabililty (Input_i) = 1/2^j \quad (39)$$

其中 $1 \leq i \leq 2^j, j = k, k$ 为 OFA 结构输入的端口数。

2) 若 OFA 结构的输入信号服从正态分布, 即任意一个输入矢量 $Input_i$, 其出现的概率为

$$P(x) = \frac{1}{\sqrt{2\pi}\sigma} \exp\left(-\frac{(x-\mu)^2}{2\sigma^2}\right) \quad (40)$$

4.1 现有基于 MRR 的全光全加器

为了说明提出的二进制全光全加器的优越性, 与现有基于 MRR 的光学全加器进行比较。方案 1, 基于文献[19], 采用 10 个 MRR 实现了全光全加器, 如图 8 所示。

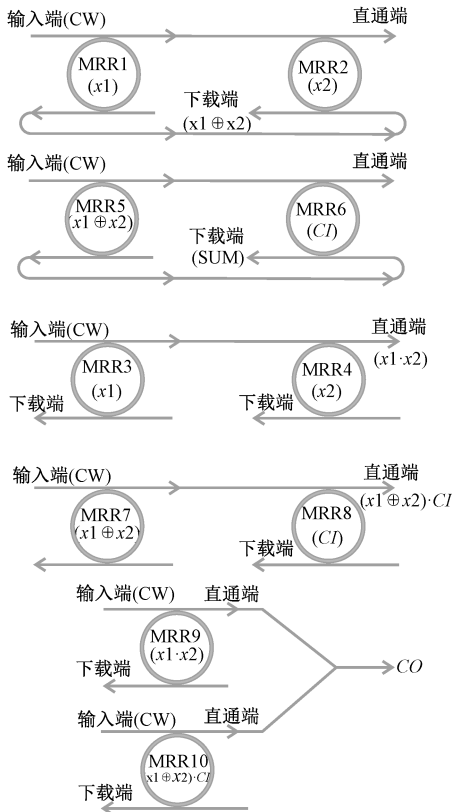


图 8 方案 1 全光全加器^[19]

Fig. 8 Optical full adder of scheme 1^[19]

方案 2, 基于文献[18], 采用 6 个 MRR 实现了全光全加器, 如图 9 所示。

方案 3, 文献[20]提出了一种采用 7 个 MRR 构成的光学全加器, 如图 10 所示。

它的设计思想是, 采用最小项之和的形式来获得加法的结果 SUM 和进位 CO, 即:

$$SUM = \sum m(1, 2, 4, 7) \quad (41)$$

$$CO = \sum m(3, 5, 6, 7) \quad (42)$$

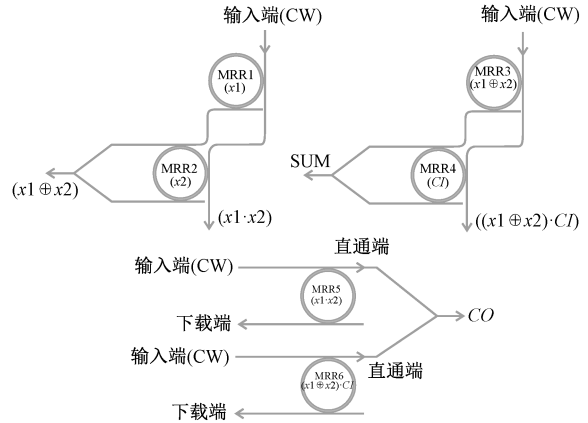


图 9 方案 2 全光全加器^[18]

Fig. 9 Optical full adder of scheme 2^[18]

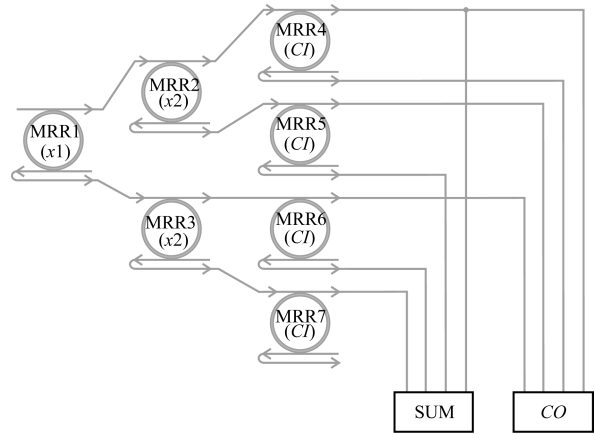


图 10 方案 3 全光全加器^[20]

Fig. 10 Optical full adder of scheme 3^[20]

4.2 实验结果

为了评估本文提出的二进制光学全加器的性能及故障影响, 设计了验证评估算法, 算法描述如下:

1. 首先设置选择第 i 个评估的 OFA, $1 \leq i \leq 4$ 。
2. 根据表 3 初始化 OFA 插入损耗各个仿真参数。
3. For $j=1:8$
4. 初始化 $X_1 X_2 CI = 000$
5. 确定在此情况下 3 个开关的状态, 统计所评估的 OFA 经过的路径, 计算该情况下的 IL。
6. $X_1 X_2 CI = X_1 X_2 CI + 1$
7. END For
8. 对所获得的 IL 进行排序, 获得最好 IL 和最差 IL, 统计得到平均 IL。
9. $i = i + 1$
10. 4 种方案 评估完否, 如否则转至 3)。
11. 选择第 k 个待评估故障影响的 OFA, $1 \leq k \leq 4$ 。
12. 获得待评估故障影响的 OFA 的 MRR 个数 m 。

- 13. For $t=1:m$
- 14. 对于第 t 个 MRR, 设置为滞 0 故障。
- 15. 对 OFA 结构的输入信号选择服从分布函数。
- 16. 按照公式 (38), 计算第 t 个 MRR 滞 0 故障的平均误差距离。
- 17. 对于第 t 个 MRR, 设置为滞 1 故障。
- 18. 对 OFA 结构的输入信号选择服从分布函数。
- 19. 按照式 (38), 计算第 t 个 MRR 滞 1 故障的平均误差距离。

- 20. END For
- 21. $k=k+1$
- 22. 4 种方案评估完否, 如否则转至 12。
- 23. 输出性能评估结果。

1) 插入损耗

全光全加器的一个很重要的指标是插入损耗。为了对本文 OFA 与现有的进行比较, 首先需要光学开关的插入损耗参数, 本文采用的参数如表 3 所示。

表 3 光学开关插入损耗仿真参数^[22]
Table 3 Simulation parameters of optical switch insertion loss^[22]

dB

参数	值	参数	值
交叉波导插入损耗	0.15	1×2 交叉波导耦合时远端插入损耗	0.715 0
弯曲波导插入损耗	0.005	2×2 交叉波导直通时插入损耗	0.176 4
1×2 交叉波导直通时近端插入损耗	0.163 2	2×2 交叉波导耦合时插入损耗	0.393 2
1×2 交叉波导耦合时近端插入损耗	0.393 2	1×2 平行波导直通时插入损耗	0.013 2
1×2 交叉波导直通时远端插入损耗	0.163 2	1×2 平行波导耦合时插入损耗	0.404 1

由于在 OFA 结构中, 不同的传输路径将导致不同的插入损耗, 因此将本文提出的 OFA 与现有的 OFA 结构, 在最好情况插入损耗、最差情况插入损耗和平均插入损耗进行比较, 各种不同结构 OFA 的插入损耗如表 4 所示。

表 4 插入损耗实验结果比较

Table 4 Comparison of insertion loss experimental results

	文献[19]的 OFA 结构	文献[18]的 OFA 结构	文献[20]的 OFA 结构	本文的 OFA 结构
最好插入损耗	0.443 7	0.732 8	0.039 6	0.176 4
排名	4	3	1	2
最差插入损耗	1.251 9	1.541 0	0.821 4	0.821 4
排名	2	3	1	1
平均插入损耗	0.896 7	1.163 2	0.479 4	0.515 5
排名	3	4	1	2

本文提出的 OFA 结构相比文献[20]的 OFA 结构, 在最好情况插入损耗和平均插入损耗方面, 略微高; 但提出的 OFA 的 MRR 硬件开销远远小于文献[20] OFA 结构的。

运行所设计的性能评估算法, 所得结果如图 11 所示。

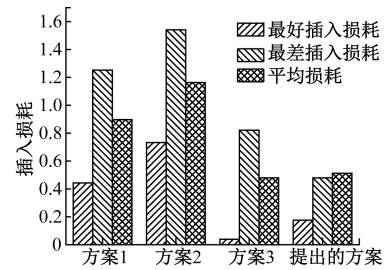


图 11 各种方案 IL 对比

Fig. 11 Comparison of IL in different schemes

图 11 的结果表明, 本文提出的 OFA 结构和文献[20]的 IL 均比文献[18]和文献[19]的小。

2) MRR 开销

为了对 MRR 开销进行比较, 设计了硬件开销指标 $Reduce_i$, 用以评估本文提出的 OFA 结构与现有的结构, 如下:

$$Reduce_i = \frac{MRR_{schem_i} - MRR_{proposed}}{MRR_{schem_i}} \times 100\% \quad (43)$$

其中, MRR_{schem_i} 表示第 i 种方案中使用的硬件开销 MRR 数量, $i=1, 2, 3$; $MRR_{proposed}$ 是本文提出的 OFA 结构的硬件开销 MRR 数量。

根据式 (43), 计算得到本方案相比其他 3 种方案的 MRR 硬件开销减小量, 图 12 为本方案与其他 3 种方案的 MRR 硬件开销对比。与第 1 种方案相比, $Reduce_1$ 等于 70%, 表明本文提出的 OFA 结构能够减少 70% 的 MRR 硬件开销。与第 2 种方案相比, $Reduce_2$ 等于 50%,

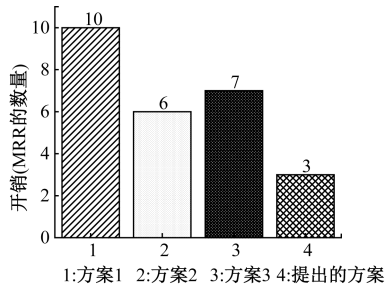


图 12 MRR 硬件开销
Fig. 12 Hardware overhead of MRR

表明本文提出的 OFA 结构能够减少 50% 的 MRR 硬件开销。与第 3 种方案相比,Reduce₃ 等于 57%,表明本文提出的 OFA 结构能够减少 57% 的 MRR 硬件开销。

3) MRR 故障的对二进制光学全加器的性能影响评估

若输入为均匀分布,本文提出的 OFA 结构具有 3 个输入端口, X1, X2 和 CI, 因此 $j=k=3$ 。2³ 种输入,它们的概率均相等,为 1/8。

若输入为均匀分布,运行所设计的性能评估算法,可得各种方案下各单故障滞 0 模型下的平均误差距离比较如图 13 所示。

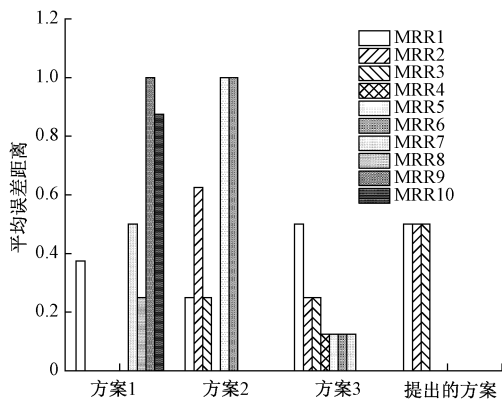


图 13 均匀分布输入的单故障滞 0 模型下的各方案平均误差距离

Fig. 13 Mean error distance in MRR single fault stuck at 0 model under uniform distribution input

若输入为均匀分布,运行所设计的性能评估算法,可得各种方案下各单故障滞 1 模型下的平均误差距离比较如图 14 所示。

若输入为 $u=4, \sigma=1$ 的标准正态分布,运行所设计的性能评估算法,可得各种方案下各单故障滞 0 模型下的平均误差距离比较如图 15 所示。

若输入为 $u=4, \sigma=1$ 的标准正态分布,运行所设计的性能评估算法,可得各种方案下各单故障滞 1 模型下的平均误差距离比较如图 16 所示。

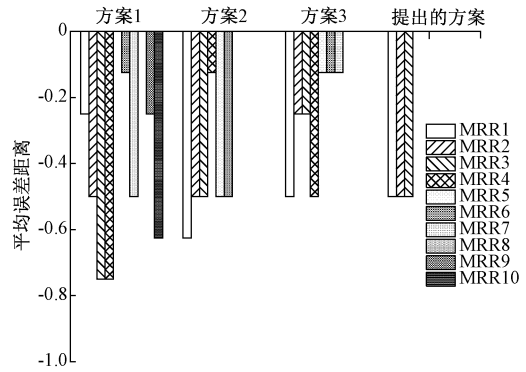


图 14 均匀分布输入的单故障滞 1 模型下的各方案平均误差距离

Fig. 14 Mean error distance in MRR single fault stuck at 1 model under uniform distribution input

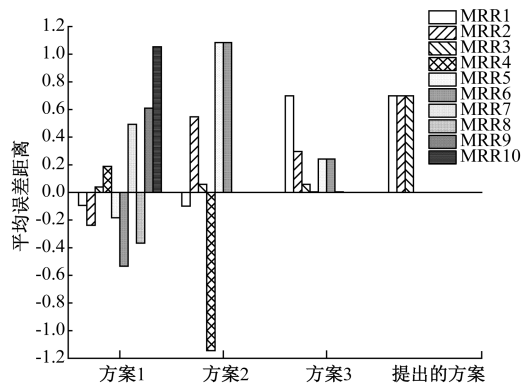


图 15 正态分布输入的单故障滞 0 模型下的各方案平均误差距离

Fig. 15 Mean error distance in MRR single fault stuck at 0 model under normal distribution input

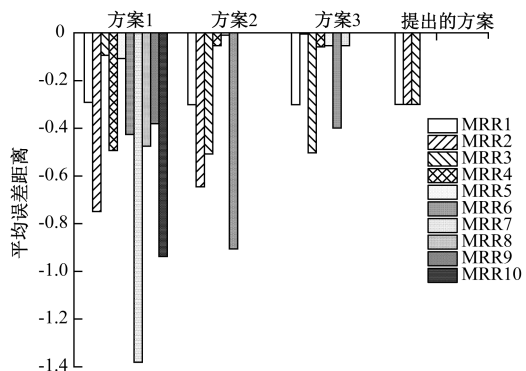


图 16 正态分布输入的单故障滞 1 模型下的各方案平均误差距离

Fig. 16 Mean error distance in MRR single fault stuck at 1 model under normal distribution input

图 13~16 的实验结果表明,方案 1 和方案 2 的平均

误差距离较大,本文提出的方案的平均误差距离适中。

多个一位二进制光学全加器串联,可以构成多位二进制全光全加器。假设每个二进制光学全加器中只有 MRR1 呆滞 0 故障下,可以计算获得平均误差距离。最低位的二进制全光全加器的 CI 接低电平。

图 17 的结果表明,最高位的全加器为单故障模型下的多位二进制全加器,呆滞 0 单故障模型下的平均误差距离随着多位二进制全加器的位数增加而增大;最高位的全加器为单故障模型下的多位二进制全加器,呆滞 1 单故障模型下的平均误差距离随着多位二进制全加器的位数增加其绝对值也增大,其方向是负向增大。

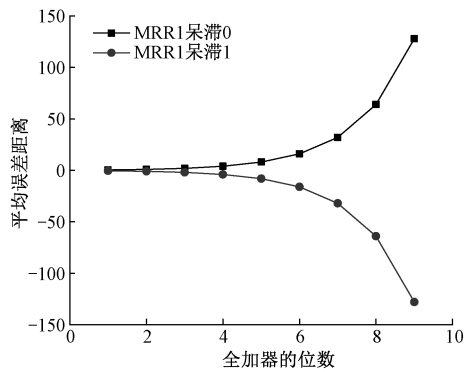


图 17 多位二进制全光全加器最高位单故障模型下的平均误差距离

Fig. 17 Mean error distance of highest bit single fault model for multi-bit binary all-optical full adder

图 18 的结果表明,最低位的全加器为单故障模型下的多位二进制全加器,呆滞 0 单故障模型下的平均误差距离随着多位二进制全加器的位数增加保持不变;最低位的全加器为单故障模型下的多位二进制全加器,呆滞 1 单故障模型下的平均误差距离随着多位二进制全加器的位数增加保持不变。

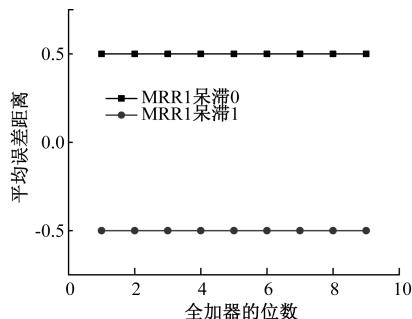


图 18 多位二进制全光全加器最低位单故障模型下的平均误差距离

Fig. 18 Mean error distance of lowest bit single fault model for multi-bit binary all-optical full adder

4) 基于 Modelsim 平台的实验验证

本节对提出的二进制光学全加器结构进一步验证。图 19 为本文提出的全加器在 Modelsim 平台下的故障模拟器。

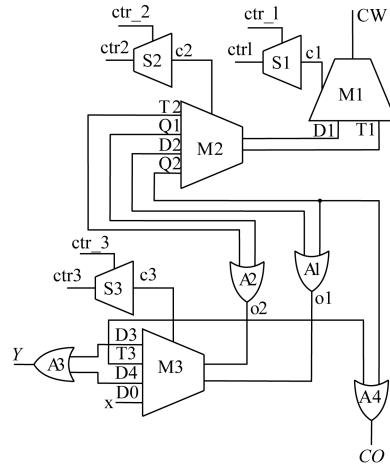


图 19 本文所提出的全加器在 Modelsim 平台下的故障模拟器

Fig. 19 Fault simulator of proposed binary all-optical full adder in ModelSim

其中 M1 为单输入双输出选择器,对应于光学全加器模型的 MRR1, M2 和 M3 为双输入四输出选择器,对应于模型的 MRR2 和 MRR3; S1, S2, S3 为上述选择器的控制器,对应于模型中的谐振状态; A1, A2, A3, A4 为或门。

当从输入端口 CW 持续输入连续的信号“1”时,通过改变每个选择器的工作状态从而实现模拟每个微环的谐振状态。如分别对控制器输入“0”,“1”,“0”信号时,相当于使谐振器 MRR1 和 MRR3 处于谐振状态, MRR2 处于不谐振状态,从而在输出口 Y 和 CO 得到对应的输出。当持续给控制器输入不同的信号时,输出口 Y 和 CO 得到的信号如图 20 所示。

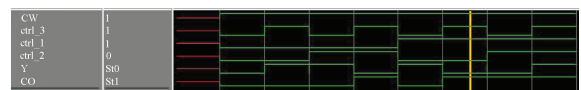


图 20 无故障下的输入不同控制信号时 CO 和 Y 端口的输出信号

Fig. 20 Output signals of port CO and port Y under different control signals at fault-free state

当微环谐振器发生呆滞 0 和呆滞 1 故障时,分别对应于结构中的控制器输入控制信号为“0”时,而实际的控制器的执行动作不谐振,即控制器认为输入的控制信号为“1”;同理,当控制器输入控制信号为“1”时,而控制器执行动作谐振,即控制器认为输入了控制信号“0”,即发生了呆滞 1 故障。图 21 展示了 3 个微环谐振器分别发生呆滞 0 和呆滞 1 故障时,在输入不同控制信号时, CO 和 Y 端口的输出情况。

图 21(a)、(b)、(c) 分别为 MRR1, MRR2 和 MRR3 发生呆滞 0 故障时的信号输出图; 图 21(d)、(e)、(f) 分别为 MRR1, MRR2, MRR3 发生呆滞 1 故障时的信号输出图。

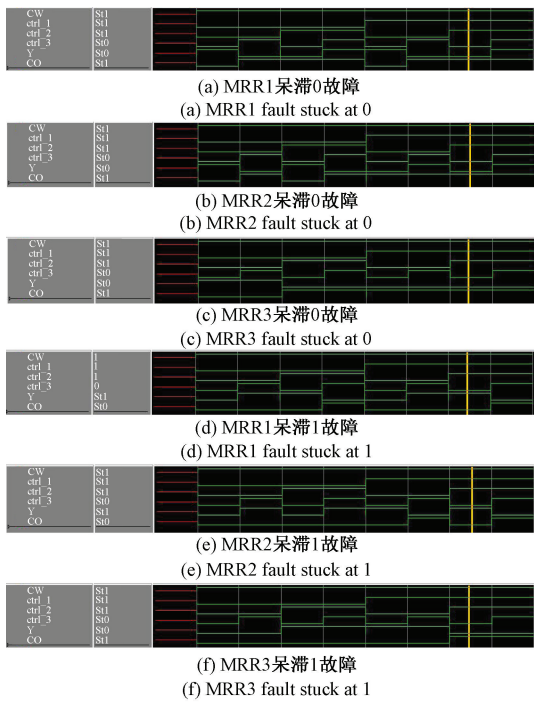


图 21 单 MRR 故障下的输入不同控制信号时 CO 和 Y 端口的输出信号

Fig. 21 Output signals of port CO and port Y under different control signals at single MRR fault

同时, 图 22 为方案 3 的全光全加器在 Modelsim 平台下的故障模拟器。

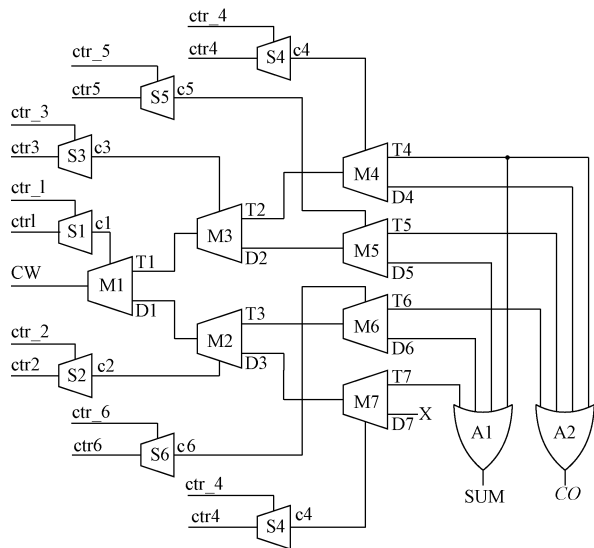
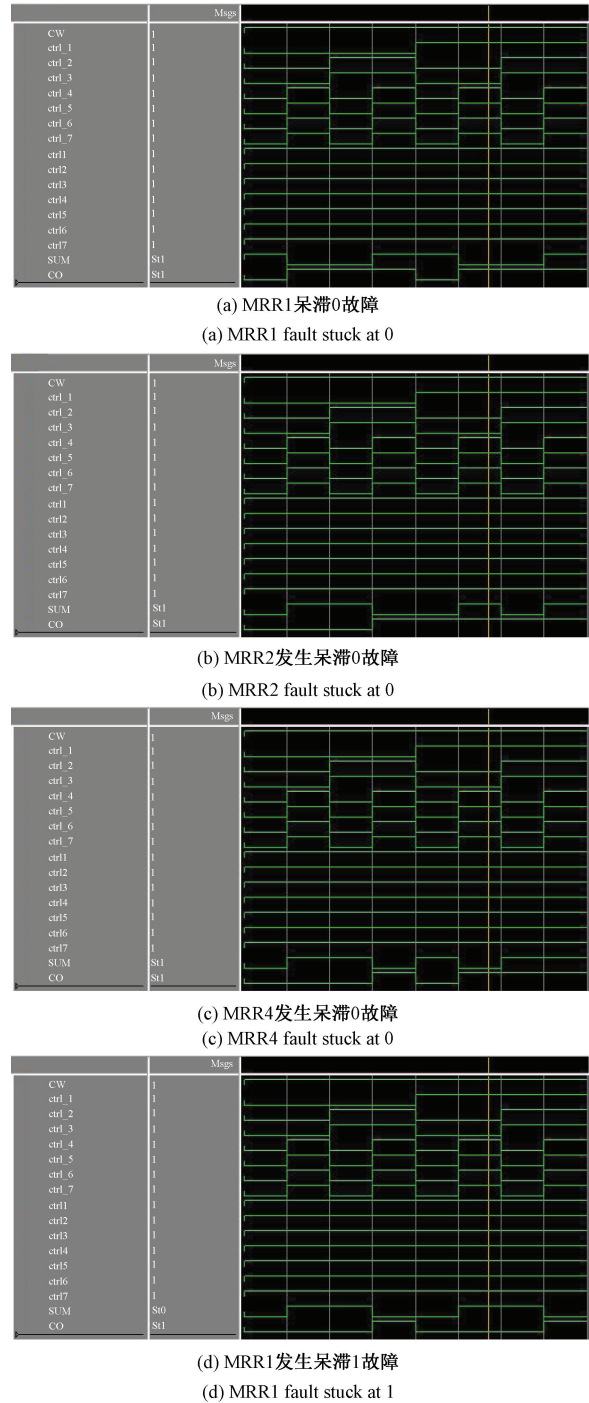


图 22 方案 3 提出的全加器在 Modelsim 平台下的故障模拟器

Fig. 22 Fault simulator of proposed binary all-optical full adder in scheme 3 in ModelSim

图 22 所示的 M1-M7 对应于全加器模型的微环谐振器 MRR1-MRR7, S1-S7 为 M1-M7 的谐振控制器。A1 和 A2 为四输入的或门电路, 输出分别为结果端口 SUM 和进位端口 CO。

当光信号持续向模型的 CW 口输入信号时, 通过改变 S1—S7 的输出信号 c1—c7 从而达到控制 M1—M7 的谐振状态的目的。同理, 由于故障的存在, SUM 和 CO 端口的值并不能达到预期的效果。限于篇幅, 本文只对 MRR1, MRR3 和 MRR4 作别作故障模拟, 结果如图 23 所示。

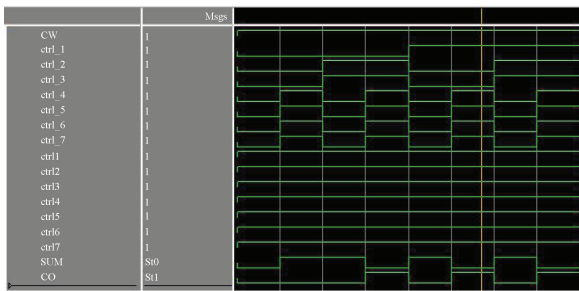


(a) MRR1 呆滞 0 故障
(a) MRR1 fault stuck at 0

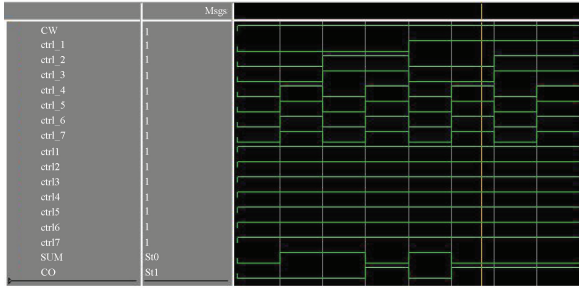
(b) MRR2 发生呆滞 0 故障
(b) MRR2 fault stuck at 0

(c) MRR4 发生呆滞 0 故障
(c) MRR4 fault stuck at 0

(d) MRR1 发生呆滞 1 故障
(d) MRR1 fault stuck at 1



(e) MRR2发生呆滞1故障
(e) MRR2 fault stuck at 1



(f) MRR4发生呆滞1故障
(f) MRR4 fault stuck at 1

图 23 单 MRR 故障下的输入不同控制信号时 CO 和 SUM 端口的输出信号

Fig. 23 Output signals of port CO and port SUM under different control signals at single MRR fault

图 23(a)、(b)、(c) 分别为 MRR1, MRR2 和 MRR4 发生呆滞 0 故障时的信号输出图;图 23(d)、(e)、(f) 分别为 MRR1, MRR2 和 MRR4 发生呆滞 1 故障时的信号输出图。

图 21 和图 23 的单 MRR 故障下的时序图与理论分析相符,验证了 MRR 故障对全加器的性能影响的正确性。

5) 实物验证

为进一步验证全光全加器原理以及仿真的正确性,本节对上述仿真结构进行了实物验证,实物验证图如图 24 所示。

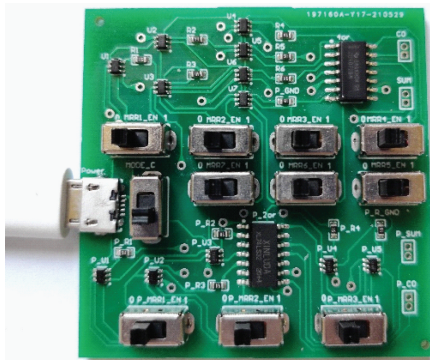


图 24 实物验证图

Fig. 24 Physical circuit diagram

图 24 中的 CO 和 SUM 端口分别为方案 3 的进位输出端口和本位和输出端口, P_CO 和 P_SUM 为提出的方案的进位输出和本位和输出端口。

表 5 和 6 分别为方案 3 在电路的供电电压和输入电平信号均为 5.15 V, U1 即 MRR1 分别发生呆滞 0 和呆滞 1 故障时,输出端口 SUM 和 CO 在模拟开关 U1-U7 处于不同开关状态下的电压值。其中,状态为 0 表示处于换路状态,即对应微环谐振器的谐振“开”;状态为 1 表示处于直通状态,对应于微环谐振器的谐振“关”。输出电压值高于 4.50 V 可视为高电平信号“1”;输出电压值低于 2.80 V 可视为低电平信号“0”。

表 5 方案 3 在 MRR1 发生呆滞 0 故障的电压输出
Table 5 Voltage output of MRR1 fault stuck at 0 in the scheme 3

开关状态			电压值/V	
U1	U2—U3	U4—U7	SUM	CO
0	0	0	5.15	1.73
0	0	1	1.40	5.15
0	1	0	1.53	5.15
0	1	1	5.15	5.15
1	0	0	5.15	1.73
1	0	1	1.40	5.15
1	1	0	1.53	5.15
1	1	1	5.15	5.15

表 6 方案 3 在 MRR1 发生呆滞 1 故障的电压输出
Table 6 Voltage output of MRR1 fault stuck at 1 in the scheme 3

开关状态			电压值/V	
U1	U2—U3	U4—U7	SUM	CO
0	0	0	1.35	1.45
0	0	1	5.15	1.49
0	1	0	5.15	1.41
0	1	1	1.56	5.15
1	0	0	1.36	1.45
1	0	1	5.15	1.49
1	1	0	5.15	1.41
1	1	1	1.56	5.15

表 7 和 8 分别为相同条件下, U1 即 MRR1 分别发生呆滞 0 和呆滞 1 故障时,输出端口 P_SUM 和 P_CO 在模拟开关 U1-U3 不同开关状态下的电压值。

表7 提出的方案在MRR1发生滞0故障的电压输出
Table 7 Voltage output of MRR1 fault stuck at 0 in the proposed scheme

开关状态			电压值/V	
U1	U2	U3	P_SUM	P_CO
0	0	0	4.69	2.74
0	0	1	2.67	4.69
0	1	0	2.66	4.66
0	1	1	4.66	4.64
1	0	0	4.69	2.74
1	0	1	2.67	4.69
1	1	0	2.66	4.66
1	1	1	4.66	4.64

表8 提出的方案在MRR1发生滞1故障的电压输出
Table 8 Voltage output of MRR1 fault stuck at 1 in the proposed scheme

开关状态			电压值/V	
U1	U2	U3	P_SUM	P_CO
0	0	0	2.38	2.36
0	0	1	4.61	2.52
0	1	0	4.60	2.45
0	1	1	2.48	4.59
1	0	0	2.38	2.36
1	0	1	4.62	2.52
1	1	0	4.60	2.45
1	1	1	2.48	4.59

由实验测量得到的数据可知,全加器输出端的实际测量结果与仿真的结果一致,验证了仿真的准确性,从而进一步说明了全加器故障理论的正确性。

5 结 论

针对现有全光加法器存在MRR数量较多的缺点,首次提出了3个MRR串联结构的全光加法器,建立了MRR故障模型,设计了OFA的可靠性指标平均误差距离,分析了MRR单故障模型对OFA的性能影响。平均误差距离的实验结果表明,方案1和方案2的平均误差距离较大,本文提出方案的平均误差距离适中;多位二进制全加器中,最高位在单故障模型下的,平均误差距离的绝对值均随着多位二进制全加器的位数增加而增大;实物验证和基于Modelsim平台的实验验证了MRR故障对全加器的性能影响的正确性。后续的工作将进一步建立

MRR新的故障模型,评价其对全光逻辑器件的性能影响。

参考文献

- [1] FOSTER M, TURNER A, SHARPING J, et al. Broad-band optical parametric gain on a silicon photonic chip Baehr-Jones [J]. Nature, 2006, 441(7096): 960-963.
- [2] 朱爱军,赵春霞,胡聪,等. 基于细粒度的光片上网络MRR制程漂移容错研究[J]. 仪器仪表学报, 2019, 40(2): 249-256.
ZHU AI J, ZHAO CH X, HU C, et al. Fine-grained tolerance of MRR process variation in photonic network on chip [J]. Chinese Journal of Scientific Instrument, 2019. 40(2): 249-256.
- [3] ZHU A J, CHEN D, HU C, et al. A fault check graph approach for photonic router in network on chip [C]. Asian Test Symposium, 2018.
- [4] WANG X, GU H X, WANG K, et al. MNDM: MEMS-based N-dimensional modular hybrid data center network [J]. Optics Communications, 2018, 427: 163-169.
- [5] ZHU A J, XU C P, LI Z, et al. Hybridizing grey wolf optimization with differential evolution for global optimization and test scheduling for 3D stacked SoC [J]. Journal of Systems Engineering and Electronics, 2015, 26(2), 317-328.
- [6] ZHU A J, LI Z, XU C P, et al. Wrapper scan chain design algorithm for SoC test based on biogeography optimization [J]. Chinese Journal of Scientific Instrument, 2012, 33(12): 2774-2780.
- [7] STURM C, TANESE D, NGUYEN H S, et al. All-optical phase modulation in a cavity-polariton Mach-Zehnder interferometer [J]. Nature Communications, 2014, 5: 1-7.
- [8] MA S, CHEN Z, SUN H, et al. High speed all optical logic gates based on quantum dot semiconductor optical amplifiers [J]. Optics Express, 2010, 18(7): 6417-6422.
- [9] LIU W, YANG D, SHEN G, et al. Design of ultra compact all-optical XOR, XNOR, NAND and OR gates using photonic crystal multi-mode interference waveguides [J]. Optics and Laser Technology, 2013, 50: 55-64.
- [10] CAULFIELD HJ, DOLEV S. why future supercomputing requires optics [J]. Nature Photonics, 2010, 4(5): 261-263.
- [11] DONG P, CHENG YK, DUAN GH, et al. Silicon photonic devices and integrated circuits [J]. Nanophotonics, 2014, 3(5): 215-218.
- [12] XU Q, LIPSON M. All-optical logic based on silicon

- micro-ring resonators [J]. *Optics Express*, 2007, 15(3): 924-929.
- [13] QIU C, YE X, SCOREF R, et al. Demonstration of reconfigurable electro-optical logic with silicon photonic integrated circuits [J]. *Optics Letters*, 2012, 37(19): 3942-3944.
- [14] YANG L, ZHANG L, GUO C, et al. XOR and XNOR operations at 12.5 Gb/s using cascaded carrier-depletion microring resonators [J]. *Optics Express*, 2014, 22(3): 2996-3012.
- [15] TIAN Y, ZHANG L, JI R, et al. Demonstration of a directed optical encoder using microring-resonator-based optical switches [J]. *Optics Letters*, 2011, 36(19): 3795-3797.
- [16] YANG X, HU X, YANG H, et al. Ultracompact all-optical logic gates based on nonlinear plasmonic nanocavities [J]. *Nanophotonics*, 2017, 6(1): 365-376.
- [17] WU X, DENG L, MENG Y. Demonstration of a silicon photonic circuit for half-add operations using cascaded microring resonators [J]. *IEEE Photonics Journal*, 2017, 9(1): 1-10.
- [18] TIAN Y, YANG L, XU Q. Demonstration of a directed optical encoder using microring-resonator-based optical switches [J]. *IEEE Photonics Technology Letters*, 2012, 9(1): 643-645.
- [19] KUMAR A. Implementation of all-optical NAND logic gate and half adder using the micro-ring resonator structures [J]. *Optical and Quantum Electronics*, 2016, 48(10): 1-12.
- [20] KUMAR A, KUMAR S, RAGHUWANSHI K. Implementation of some high speed combinational and sequential logic gates using micro-ring resonator [J]. *Optik*, 2016, 127: 1-9.
- [21] YARIV A. Universal relations for coupling of optical power between microresonators and dielectric waveguides [J]. *Electronics Letters*, 2000, 36(4): 321-322.
- [22] GUO P X, HOU W G, GUO L. Designs of low insertion loss optical router and reliable routing for 3D optical network-on-chip [J]. *Science china-Information Science*, 2016, 59(10): 1-17.
- [23] OUYANG Y, LI Z, XING K, et al. Design of low-power winoc with congestion-aware wireless node [J]. *Journal of Circuits Systems and Computers*, 2018, 27(9): 1-18.
- [24] XIANG D, LIU X. Deadlock-free broadcast routing in dragonfly networks without virtual channels [J]. *IEEE*

Transactions on Parallel and Distributed Systems, 2016, 27(9): 2520-2532.

- [25] 朱爱军,陈端勇,许川佩,等. 光片上网络 MRR 故障检测方法研究[J]. *电子测量与仪器学报*, 2017, 31(8): 1200-1205.

ZHU AI J, CHEN DY, XU CH P, et al. Research of MRR fault detection in photonic network on chip [J]. *Journal of Electronic Measurement and Instrumentation*, 2017, 31(8): 1200-1205.

作者简介



朱爱军,2015 年于西安电子科技大学获博士学位,现为桂林电子科技大学硕士研究生导师,桂林电子科技大学副教授。主要研究方向为集成电路测试理论与技术,工程优化方法等。

E-mail: zbluebird@guet.edu.cn

Zhu Aijun received his Ph. D. degree from Xidian University in 2015. He is currently an associate professor and a master advisor at Guilin University of Electronic Technology. His main research interests include integrated circuit testing theory and technology.



胡聪(通信作者),2003 年于桂林电子工业学院获学士学位,2006 年于桂林电子科技大学获得硕士学位,2017 年于西安电子科技大学获得博士学位,现为桂林电子科技大学研究员,主要研究方向为集成电路测试、自动测试系统和深度学习。

E-mail: hucong@guet.edu.cn。

Hu Cong (Corresponding author) received his B. Sc. degree in 2003 from Guilin Institute of Electronic Technology, M. Sc. degree from Guilin University of Electronic Technology in 2006 and Ph. D. degree from Xidian University in 2017. Now, he is a research fellow at Guilin University of Electronic Technology. His main research interests include integrated circuit test, automatic test system and deep learning.



李智,2003 年于电子科技大学获博士学位,现为西安电子科技大学博士研究生导师,桂林电子科技大学教授,桂林航天工业学院教授。主要研究方向为智能仪器系统。

E-mail: cclizhi@guet.edu.cn

Li Zhi received his Ph. D. degree from University of Electronic Science and Technology in 2003. He is currently a Ph. D. advisor at Xidian University, and a professor at Guilin University of Electronic Technology and Guilin University of Aerospace Technology. His main research direction includes intelligent instrument system.