

# 基于 FPGA 的 DDR 存储器突发读取设计技术

栗永强<sup>1,2</sup> 张永坡<sup>1,2</sup> 布乃红<sup>1,2</sup>

(1. 中国电子科技集团公司第四十一研究所 蚌埠 233006; 2. 电子信息测试技术安徽省重点实验室 蚌埠 233006)

**摘要:**针对大规模采集数据读取时间较长的问题,特别是 PCI 总线接口的微处理器,采用单周期读取方式时,将会严重影响采集数据的实时处理。通过在 FPGA 中设计 PCI 接口控制器和 DDR 控制器,将 PCI 总线接口协议转换到内部自定义局部总线,采用双端口 FIFO 作为时序同步控制缓冲器,同步内部局部总线和 DDR 控制器,从而解决了微处理器对 DDR 存储器突发读取的时序同步问题,实现了大规模采集数据的快速上传。

**关键词:**DDR 存储器;PCI 总线;时钟同步;DDR 控制器

**中图分类号:** TN2      **文献标识码:** A      **国家标准学科分类代码:** 510.604

## Design technology of burst reading to DDR memory based on FPGA

Li Yongqiang<sup>1,2</sup> Zhang Yongpo<sup>1,2</sup> Bu Naihong<sup>1,2</sup>

(1. The 41st Institute of China Electronics Technology Group Corporation, Bengbu 233006, China;  
2. Key Laboratory of Electronic Measurement Technology, Bengbu 233006, China)

**Abstract:** The reading of large-scale acquiring data will consume long time. Especially, while single period to read data is chosen, microprocessor interface of PCI bus will influence real-time dealing of acquiring data seriously. In this paper, PCI interface controller and DDR controller is designed in FPGA and the protocol of PCI bus transformed to user-defined local bus of interior. The double interface FIFO is taken as the control buffer of clock synchronization, which used to synchrony local bus of interior and DDR controller. Thereby, the problem of clock synchronization is solved between microprocessor and DDR memory and the rapid uploading of large-scale acquiring data is realized.

**Keywords:** DDR memory; PCI bus; clock synchronization; DDR controller

### 1 引言

随着电子科技的不断发展,超大规模集成电路的密度和性能也快速提升,在航天雷达、遥感测绘、远程监控等越来越多的应用需要高采样率、大容量的数据采集系统来满足其要求。在存储介质方面,静态 RAM 虽然操作简单,但容量有限、价格昂贵。早期的动态 RAM 包括, FPM DRAM 和 EDO DRAM,受工艺影响,它们的最高工作频率都不超过 50 MHz,很快就被 SDR 存储器所取代,SDR 存储器在一个时钟周期内只进行一次数据的读/写,DDR 存储器允许在时钟的上升沿和下降沿各进行一次数据读/写,可见在相同的数据总线宽度和工作频率下,DDR 存储器的数据传输速率更高。DDR 存储器凭借其容量大、速度快、价格低廉的优点,被广泛应用于工业、军事等数据采集

系统中。在本文中,为了满足单通道采样率 1.25 GSa/s,分辨率 8 bit 的 ADC 采集数据存储要求,选择大容量 DDR 存储器作为存储介质<sup>[1]</sup>。大容量存储数据的后期处理对数据上传提出了更高的要求,为了提高采集数据的上传速率,实现采集缓存数据的快速读取,本文通过在 FPGA 中设计 PCI 接口控制器、高速同步处理单元以及 DDR 控制器<sup>[2]</sup>,从而达到对 DDR 存储器的突发读取。

### 2 突发读取系统方案设计

突发读取系统原理如图 1 所示,主要由 CPU 系统、FPGA、DDR 存储器组成。

CPU 系统采用半长卡工控机,通过 PCI 局部总线和 FPGA 通信,其 PCI 总线工作时钟为 33 MHz,数据总线宽度 32 位,作为主设备。

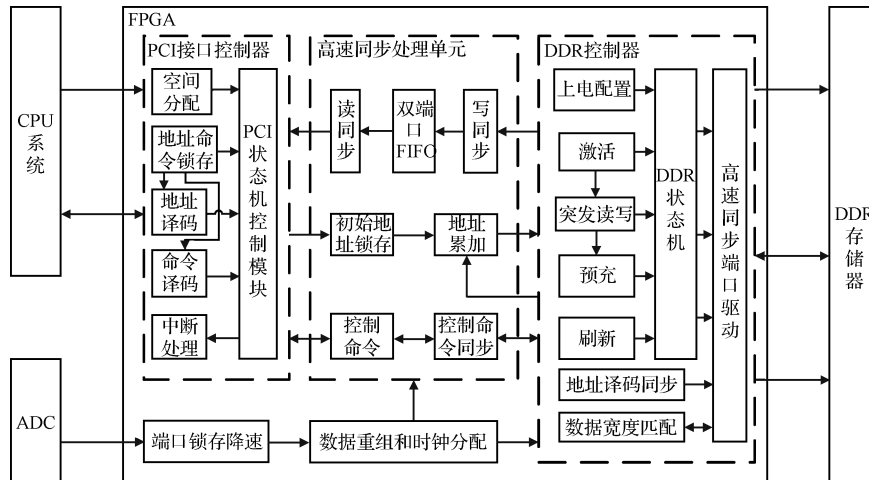


图1 突发读取系统原理

ADC采用NI公司的ADC083000,分辨率8 bit,输入时钟1.25 GHz,ADC转换后差分输出625 MHz高速数据流和同步时钟到FPGA。

FPGA作为从设备是突发读取系统设计的核心,采用XILINX公司的V6系列高性能FPGA进行设计开发,FPGA主要完成采集降速处理、PCI接口控制器设计、高速同步处理、DDR控制器等的设计。由于ADC输出的数据流和时钟频率较高,需要通过端口降速后,才能满足FPGA逻辑处理要求,经过降速处理后,同步时钟降速为156.25 MHz,用作内部处理系统时钟,采集数据降速后总线宽度为 $8\times 8$ 位,和系统时钟同步。降速数据在采集门控信号有效时缓存到DDR存储器,采集门控结束后,CPU系统启动对存储器的突发读取。PCI接口控制器在FPGA中完成<sup>[3]</sup>,这样可以节约成本,降低印制板布线的复杂性,同时将其他逻辑与PCI接口逻辑集成在一个芯片上,实现了系统的紧凑性设计。高速同步处理单元采用双端口FIFO设计,主要解决异步时钟的同步问题。DDR控制器主要完成对DDR存储器逻辑和时序的控制,通过采用状态机设计,解决了刷新、预充、激活、读写的时序竞争问题<sup>[3]</sup>。

DDR存储器选择ISSI公司的IS43LR32160B芯片,该芯片工作时钟频率166 MHz,管脚数据总线速率工作到333 Mbps,总线宽度32 bit。存储容量为512 Mbit,采用4BANK结构方式,刷新周期为64 ms,必须在64 ms内对所有的行单元刷新一次。DDR存储器的突发长度支持2、4、8、16,为了提高突发传输效率,在本案中突发长度配置为16。

### 3 突发读取系统关键技术设计

#### 3.1 PCI接口控制器设计

PCI接口控制器<sup>[4]</sup>主要完成上电配置、地址空间分配、地址译码等功能。译码功能模块工作在地址周期,包括命令译码、地址译码和命令/地址锁存等3项功能,译码

电路对来自CPU系统的命令 $PCI\_cbe[3..0]$ 进行译码,并向状态机控制模块发出是配置读写还是存储器读写命令,同时锁存地址。配置寄存器是一个容量为256字节并具有特定记录结构或模型的地址空间,该空间包括头标区和设备有关区两部分。状态机控制模块是PCI接口控制器设计的核心,主要用来控制从设备和PCI总线的时序,实现PCI总线时序到FPGA内部总线的转换,状态机控制模块同步时钟采用PCI总线时钟。

状态机设计的成功与否关系到整个系统能否可靠的运行。主设备对从设备的读取可以归结为两次握手,状态机必须要正确设计这两次握手,才能保证整个电路可靠运行。首先是 $PCI\_devsel\_1$ 响应信号,译码电路进行正确译码,给状态机发出正确控制信号,说明主设备正在对其进行读取,状态机发出 $PCI\_devsel\_1$ 信号给主设备,表示接收这次读取。然后是 $PCI\_trdy\_1$ 数据应答信号,状态机根据锁存的命令和地址,判断主设备的 $PCI\_irdy\_1$ 是否有效,由主设备发起的读取, $PCI\_irdy\_1$ 通常有效, $PCI\_irdy\_1$ 有效表示主设备已经准备好数据的接收和发送,如果从设备也准备好接收和发送,状态机电路驱动 $PCI\_trdy\_1$ 有效。表1给出了状态机的状态名、状态变量和说明,如图2所示给出了PCI状态机的工作流程。

表1 状态机的状态说明

| 状态名       | 状态变量 | 说明   |
|-----------|------|------|
| Idle      | 0000 | 空闲状态 |
| Con_wait  | 0001 | 配置等待 |
| Con_wait1 | 0010 | 配置等待 |
| Configure | 0011 | 配置   |
| Read_wait | 0100 | 读等待  |
| Burst_rw  | 0101 | 突发读写 |
| Rw_wait   | 0110 | 读写等待 |
| Rw_wait1  | 0111 | 读写等待 |
| Backoff   | 1001 | 操作完成 |

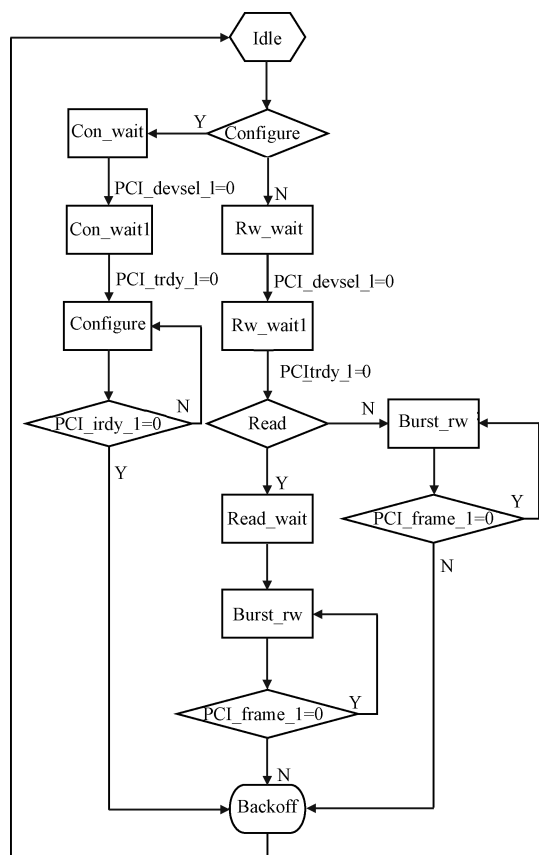


图 2 PCI 状态机工作流程

### 3.2 高速同步处理单元设计

高速同步处理单元主要完成 CPU 系统读取总线速率到 DDR 存储器读取总线速率的转换, 由于对 DDR 读取的速率较快, CPU 系统总线速率较慢, 必须要进行地址总线、数据总线、控制总线的相位同步才能够满足要求。在本文中, 采用 FPGA 自带高速 FIFO 来缓存 CPU 的读取数据, FIFO 采用双端口设计<sup>[5]</sup>, 写端口和系统时钟同步, 为高速端口; 读端口和 PCI 总线时钟同步, 为低速端口。

FIFO 主要用来实现 CPU 系统突发读采集数据时的数据缓存,当 CPU 系统发送突发读取命令时,高速处理单元作为连接桥梁,需要同时启动对 PCI 接口控制器的响应和对 DDR 存储器的访问。由于这时 FIFO 单元为空,不能从 FIFO 中读取数据,这时需要置 Target\_ready 为高电平,使得 PCI 接口控制器进入突发等待状态。同时发送 CPU\_frame\_l 为低电平,启动对 DDR 控制器的访问请求,DDR 控制器的数据准备好,将发送 CPU\_trdy\_l 反馈信号,当检测到 CPU\_trdy\_l 信号有效时,读取数据缓存到 FIFO 中,然后启动对 PCI 接口控制器的响应,置 Target\_ready 为低电平,响应 CPU 系统突发读取数据。一次从 DDR 存储器读取数据长度为 256 个数据,缓存到 FIFO 中,为了使读端子和写端子总线与长度匹配,读端子总线

宽度为 32 位,深度为 128,写端口总线宽度为 64,深度为 64,一次突发读存储器数据长度为 256,将 FIFO 写半满。为了突发读数据的连续性,当读端口数据剩余长度为 32 时,启动突发读 DDR 存储器读取。CPU 系统根据处理数据的长度给出 PCI\_frame\_l 控制信号,当检测到 PCI\_frame l 为高电平时,读取访问结束。

### 3.3 DDR 控制器设计

DDR 控制器由多个控制组件构成,包括激活组件、刷新组件、预充组件、配置组件、读写组件、状态机组件等。状态机访问采用 3 级结构访问模式,即访问请求、访问应答、访问结束。访问请求由各个组件单元发出,当状态机检测到访问请求有效时,并且自己处于访问初始状态时,进入工作状态,同时给出访问应答,DDR 存储器的工作命令只占用一个时钟周期,但总的时钟周期根据访问命令不同,占用不同的时钟周期<sup>[6]</sup>。在给出访问应答后,进入空操作状态,等待访问结束命令。访问请求组件单元检测到访问应答握手信号后,根据自己状态需要占用时钟周期,给出访问结束命令到状态机,状态机检测到访问结束后,结束本次访问,进入到初始状态。状态机访问采用先到先得原则,一旦占用其他访问将会被屏蔽<sup>[7]</sup>。如图 3 所示为 DDR 控制器突发读取的原理。

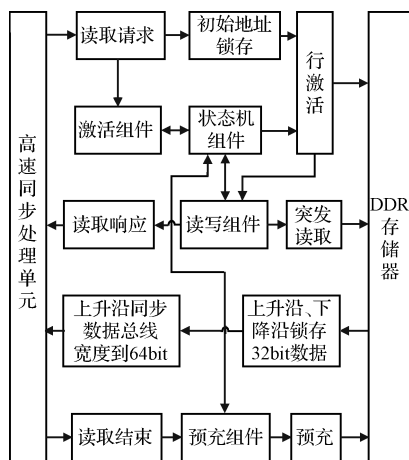


图 3 DDR 控制器突发读取原理

DDR 控制器检测到读取请求 CPU\_frame\_L 为低电平时,锁存起始地址,同时启动对存储器的激活访问,状态机组件检测到激活请求后,发出激活命令到 DDR 存储器,激活命令占用 3 个时钟周期<sup>[8]</sup>。激活命令结束后启动对存储器突发读取,同时发出 CPU\_trdy\_l 反馈信号到高速同步处理单元,通知 FIFO 准备接收数据。DDR 存储器延迟两个时钟周期后,输出数据,通过在 FPGA 端口采用上升沿、下降沿锁存 32 bit 数据,将 DDR 数据有效接收,在内部采用同步时钟的上升沿对锁存后的数据展宽到 64 bit,和 FIFO 端口总线宽度一致。FIFO 写半满后,启动对 DDR 存储器的预充,一次突发读取结束。

#### 4 设计仿真与应用

PCI 规范中定义了 3 种读写操作,即 Memory、I/O 读写及配置读写。PCI 的 Memory 读写分为单周期和突发读写两种模式,而 I/O 的读写只有单周期模式,本方案不支持 I/O 读写,只支持 Memory 和配置的读写。Memory 单周期读写速度慢,对于海量存储数据,读取周期较长。突发读取速度快,能够快速实现存储数据的上传<sup>[9]</sup>。根据本文的设计思想,在图 4 中给出了 Memory 映射方式下的突发读取仿真时序。采用突发读取方式,系统工作速率达到 132 MB/s,相比单周期工作方式下约 1 MB/s 的传输速率,大大提高了采集数据处理的实时性,实现了大容量采集数据的快速读取。采用突发读取方式 DDR 存储器峰值读取速率达到 1.25 GB/s,接近极限速率 1.332 GB/s,DDR 存储器的高吞吐率特性得到了充分利用<sup>[10]</sup>。

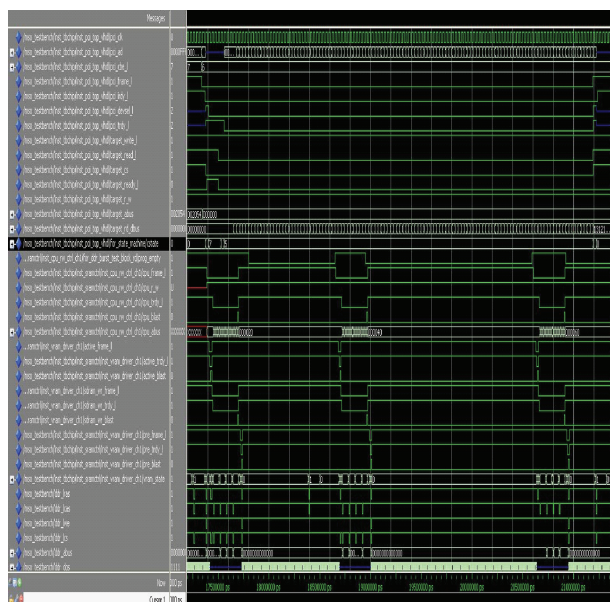


图 4 突发读取仿真时序

本设计方法已经在数字示波器和混合信号分析仪中得到了广泛应用,性能稳定可靠。经过优化设计,在电子信息测试技术安徽省重点实验室项目“高速实时数字信号采集与大容量存储技术”中得到了推广,成功解决了 10 GSa/s 采样率下大容量存储快速读取要求的技术难题。

#### 5 结 论

本文介绍了一种基于 FPGA 实现 CPU 系统对 DDR 存储器突发读取的方法,核心设计在 FPGA 中完成,使用 ISE 平台设计开发,采用 VHDL 语言编程,通过设计、仿真、调试,解决了 PCI 接口控制器、高速同步处理及 DDR 控制器等技术问题,整体设计占用资源少,可修改性、可移植性强<sup>[11]</sup>,为推广应用提供了方便。

#### 参 考 文 献

- [1] 宋鹏飞,王厚军,曾浩. 高速深存储数据采集系统研究与设计[J]. 仪器仪表学报,2011,32(4): 903-912.
- [2] 张松,李筠. FPGA 的模块化设计方法[J]. 电子测量与仪器学报,2014,28(5): 560-565.
- [3] 李均盛,王省书,胡春生,等. 基于 FPGA 的 PCI 从接口设计[J]. 工业控制计算机,2010,23(1): 79-88.
- [4] 麻志鹏,沈小林. PCI 总线接口的 FPGA 设计与实现[J]. 计算机与数字工程,2011,39(2): 184-186.
- [5] 李玉发,孙靖国,李涛. 一种高速大容量异步 FIFO 的实现方法[J]. 航空计算技术,2015,45(5): 114-120.
- [6] 王维平,张正炳,贺东芹. 基于 FPGA 的 DDR 控制器设计[J]. 长江大学学报:自然科学版,2011,8(2): 90-93.
- [7] 赵欣博,陈星. DDR 与 FPGA 的高速接口设计[J]. 电子测量技术,2008,32(11): 187-188.
- [8] 赵雪莲,杨新涛. SDRAM 测试方法的研究和实现[J]. 国外电子测量技术,2008,27(5): 12-15.
- [9] 姚蕊蕊,张兴敢,魏耀. 基于 PCI 总线的雷达信号模拟器设计[J]. 电子测量技术,2011,34(10): 64-68.
- [10] 王晓娇,张治中. 高速数据采集卡 DDR 控制器的设计与实现[J]. 电视技术,2013,37(5): 64-67.
- [11] 翁颖方,徐德民,苗胜. 动态部分可重构方法在 SDRAM 控制器中的应用[J]. 电子技术应用,2009,35(4): 153-155.

#### 作 者 简 介

栗永强,1977 年出生,高级工程师,主要研究方向为数据采集系统设计、高速数字电路设计等。

E-mail: lyqlk@126.com