

拼接镜面望远镜位移促动器高精度反馈研究

徐云霞^{1,2,3} 陆启帅² 姚富金^{2,3} 韩 硕^{2,3}(1. 南京信息工程大学电子与信息工程学院 南京 210044; 2. 中国科学院南京天文光学技术研究所 南京 210042;
3. 中国科学院大学 北京 100049)

摘要: 针对拼接镜面望远镜位移促动器编码器协议封闭, 现有解码方案功耗大、体积大等问题, 提出了一种基于 SoC-FPGA 技术的高精度位置反馈系统, 实现 EnDat2.2 协议的开放式解码, 以满足国产化替代对于小型化、低功耗与高集成度的需求。采用 Zynq-7000 平台构建 PS-PL 协同处理架构。PS 端以双核 Cortex-A9 核心完成系统控制与通信调度; PL 端以硬件逻辑实现曼彻斯特编解码与 CRC-5 校验。设计以 ADM1485 和 ADuM1301 为核心的驱动接口电路, 增强抗干扰能力。并利用 IDELAYE2 模块进行动态时序补偿, 解决物理链路差异导致的数据相位偏移问题。实验表明, 系统位置反馈精度达到 368 nm。大规模错误注入测试表明, CRC-5 校验在 0.2% 错误率下的检测成功率达 99.99%, PCB 体积约减少 31.6%, 功耗水平下降超 11 倍。成功实现了 EnDat2.2 协议的高可靠性解码, 为我国天文望远镜及高精度数控装备的位移控制小型化、低功耗与高集成度提供了关键技术支撑, 具有重要的工程应用价值和自主推广意义, 未来可进一步优化算法以提升极端环境下的稳定性。

关键词: 位移促动器; 高精度位置反馈; 编码器解码; EnDat2.2

中图分类号: TP273; TN79 **文献标识码:** A **国家标准学科分类代码:** 510.8030

Research on high-precision feedback for displacement actuators
in segmented mirror telescopesXu Yunxia^{1,2,3} Lu Qishuai² Yao Fujin^{2,3} Han Shuo^{2,3}(1. School of Electronics and Information Engineering, Nanjing University of Information Science and Technology,
Nanjing 210044, China; 2. Nanjing Institute of Astronomical Optics & Technology, Chinese Academy of
Sciences, Nanjing 210042, China; 3. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: Aiming at the problems such as the closed encoder protocol of the displacement actuator of the spliced mirror telescope and the high power consumption and large volume of the existing decoding schemes, a high-precision position feedback system based on SoC-FPGA technology is proposed to realize the open decoding of the EnDat2.2 protocol, in order to meet the requirements of miniaturization, low power consumption and high integration for domestic substitution. The PS-PL collaborative processing architecture is constructed using the Zynq-7000 platform. The PS end uses the dual-core Cortex-A9 core to complete system control and communication scheduling. The PL end implements Manchester codec and CRC-5 verification through hardware logic. Design a driver interface circuit centered on ADM1485 and ADuM1301 to enhance the anti-interference capability. And the IDELAYE2 module is utilized for dynamic timing compensation to solve the problem of data phase offset caused by physical link differences. Experiments show that the position feedback accuracy of the system reaches 368 nm. Large-scale error injection tests demonstrate that the CRC-5 verification achieves a detection success rate of 99.99% at a 0.2% error rate, while the PCB volume is reduced by approximately 31.6% and the power consumption is lowered by more than 11 times. This solution successfully realizes high-reliability decoding of the EnDat2.2 protocol, providing crucial technical support for the miniaturization, low power consumption and high integration of displacement control systems in China's astronomical telescopes and high-precision numerical control equipment. It holds significant engineering application value and potential for independent promotion. Future work may further optimize algorithms to enhance stability under extreme conditions.

Keywords: displacement actuator; high-precision position feedback; encoder decoding; EnDat2.2

0 引言

为突破传统单镜面望远镜在口径上的局限性, 拼接镜

面主动光学技术通过多块子镜动态拼接及实时姿态调节, 显著降低制造难度并提升抗干扰能力(如重力、温度、风载), 成为实现大口径高分辨率观测的核心方案。该技术已

推动主镜口径为 10 m 的凯克望远镜(keck telescope, Keck)、主镜口径为 4 m 的大天区面积多目标光纤光谱望远镜(large sky area multi-object fiber spectroscopic telescope, LAMOST)等望远镜的成功应用,并推动主镜口径为 25 m 的巨型麦哲伦望远镜(giant Magellan telescope, GMT)、主镜口径为 30 m 的三十米望远镜(thirty meter telescope, TMT)、主镜口径为 6.5 m 的詹姆斯·韦伯空间望远镜(James Webb space telescope, JWST)等新一代超大型设备建设^[1-3]。然而,无论是超大型望远镜还是空间望远镜,其高分辨率成像能力都极易受到环境干扰导致的微位移影响。例如,在空间环境中,望远镜在发射阶段经历的严苛动力学环境及其在轨运行时面临的热循环、微重力变化,都会导致光学组件发生微位移,引发焦平面偏移(离焦),从而严重劣化成像质量^[4]。因此,高精度的位移控制与补偿机制是各类先进光学系统的共同核心需求。在此类系统中,微位移促动器作为子镜共焦共相的关键执行部件,需兼具纳米级分辨率与毫米级行程,以超高精度与响应速度补偿动态形变,并在多镜面协同、高负载及复杂环境(如温度、压力波动)下维持系统稳定性,为天文观测清晰度与可靠性提供核心支撑。

编码器协议是实现位移促动器高精度位置闭环反馈的核心链路。然而,当前主流厂商协议如编码器数据协议(encoder data, EnDat)、双向串行同步协议(bidirectional serial synchronous, BiSS)的封闭性导致促动器系统开发受限于专用接口芯片高成本、低扩展性等缺点,且多协议兼容性差,直接影响促动器的实时控制精度与动态响应能力(如重力、风载补偿滞后)。目前国外厂商海德汉、欧姆龙等通过垄断协议与高集成技术占据高端市场,其编码器虽能支撑促动器的 nm 级定位需求,但协议壁垒限制了国产望远镜系统的自主可控性^[5-7]。近年来,国内研究机构开始探索国产化解决方案,例如孙大海等^[8]提出了基于现场可编程门阵列(field programmable gate array, FPGA)的双路 EnDat2.2 接口设计,该方案采用 Altera 公司 FPGA 平台和 SN75176B 接口芯片,实现了双路独立解码功能,在替代进口板卡方面具有重要价值。然而,该方案存在以下局限:其基于纯 FPGA 的架构需维持逻辑单元全时运行,导致静态功耗较高,在望远镜系统中可能引入额外的热负载,进而对局部热平衡及视宁度产生不利影响。另一典型方案如廖彩霞等^[9]基于复杂可编程逻辑器件(complex programmable logic device, CPLD)的设计,虽然在硬件成本控制方面表现良好,但由于 CPLD 在处理速度和资源容量上的固有限制,其在应对高速数据通信及复杂电磁干扰环境时仍存在不足,难以满足高动态、高可靠性场合下的实时解码需求。目前国内部分光电测量与运动控制系统仍采用海德汉原厂采集卡,包括 Delta Tau Data Systems 公司的 UMAC 在内的集成式运动控制器也多配套使用该方案。该类方案的优点在于长期运行的稳定性和可靠性,但其物理尺寸较大,结构不

利于嵌入至位移促动器内部进行高度集成,限制了系统在紧凑型光学设备中的应用。综上所述,现有国产化方案在功耗、体积与集成度等关键指标上,尚未完全达到拼接镜面望远镜对促动器控制单元所提出的高标准要求,且国产 FPGA 在处理复杂时序收敛能力相较于进口高端芯片略显不足^[10],亟需发展新一代低功耗、小型化、高集成度的 EnDat2.2 解码方案。

本研究针对上述现有方案的不足,提出一种基于片上系统(system on chip, SoC)与 FPGA 的开放式 EnDat2.2 解码架构,与现有其他 FPGA 方案相比,本研究的核心创新在于采用 SoC-FPGA 异构计算架构。该架构通过处理系统(processing system, PS)与可编程逻辑(programmable logic, PL)的协同分工,将协议解析、时序控制等实时任务在 PL 端以硬件逻辑高效执行,而系统调度、数据通信等复杂管理功能由 PS 端的 ARM 处理器完成,从而在保证高性能的同时,显著降低了系统功耗与逻辑资源占用。此外,本研究设计了具备动态时序补偿功能的驱动接口,并优化了硬件电路布局,旨在实现解决方案在小型化、低功耗与高集成度方面的突破。结合灵活的软硬件协同设计,本研究实现了编码器多协议适配,显著降低了系统开发成本与复杂度,提升了位置反馈的实时性与抗干扰能力,为我国拼接镜面望远镜的精密位移控制提供了自主、可靠且符合工程化需求的技术解决方案。

1 EnDat2.2 通信协议

1.1 EnDat2.2 模式指令

EnDat2.2 协议是从 EnDat2.1 版本上发展过来的,在 EnDat2.1 基础上扩展了 7 个模式指令,因此兼容了 EnDat2.1 的模式指令^[9]。传输的数据分为两类:基础位置值、带附加数据或参数的位置值。发送的信息类型由模式指令选择,模式指令决定被传输信息的类型。每个模式指令包括 3 bit。为确保可靠数据传输,每 bit 均采用冗余传输(反相或两次),如表 1 所示。如果编码器检测到一个错误的模式传输,它将发送一个出错信息。EnDat2.2 接口还能在传输位置值的同时在附加数据中传输参数值。因此它能保证将当前位置值始终提供给控制环,甚至请求参数时也不例外。

1.2 EnDat2.2 时序分析

以“编码器发送置值和附加信息 1 或 2 数据包格式 111000”时序举例说明,图 1 为包含位置信息和附加信息的数据传输模式。EnDat2.2 的数据传输在时钟信号第 1 个下降沿启动,编码器实时采集位置信息并支持附加数据发送,由主机请求信号多重参考系码(multiple reference system, MRS),选择附加信息数据传输类型。附加数据随位置值可传输一个或多个,以 30 bit 字长封装,首 bit 为低电平,1 bit 起始位,2 bit 错误反馈,末端以循环冗余校验(cyclic redundancy check, CRC)结束,确保传输完整性^[11]。

表 1 传输位置时序
Table 1 Transmission position sequence

编号	模式指令	模式/bit					
1	编码器传输位置	0	0	0	1	1	1
2	选择存储区	0	0	1	1	1	0
3	编码器接收参数	0	1	1	1	0	0
4	编码器传输参数	1	0	0	0	1	1
5	编码器接收复位	1	0	1	0	1	0
6	编码器传输测试值	0	1	0	1	0	1
7	编码器接收测试指令	1	1	0	0	0	1
8	编码器传输位置值及附加信息	1	1	1	0	0	0
9	编码器传输位置值并接收存储区选择	0	0	1	0	0	1
10	编码器传输位置值并接收参数	0	1	1	0	1	1
11	编码器传输位置值并发送参数	1	0	0	1	0	0
12	编码器传输位置值并接收出错复位	1	0	1	1	0	1
13	编码器传输位置值并接收测试指令	1	1	0	1	1	0
14	编码器接收通信指令	0	1	0	0	1	0

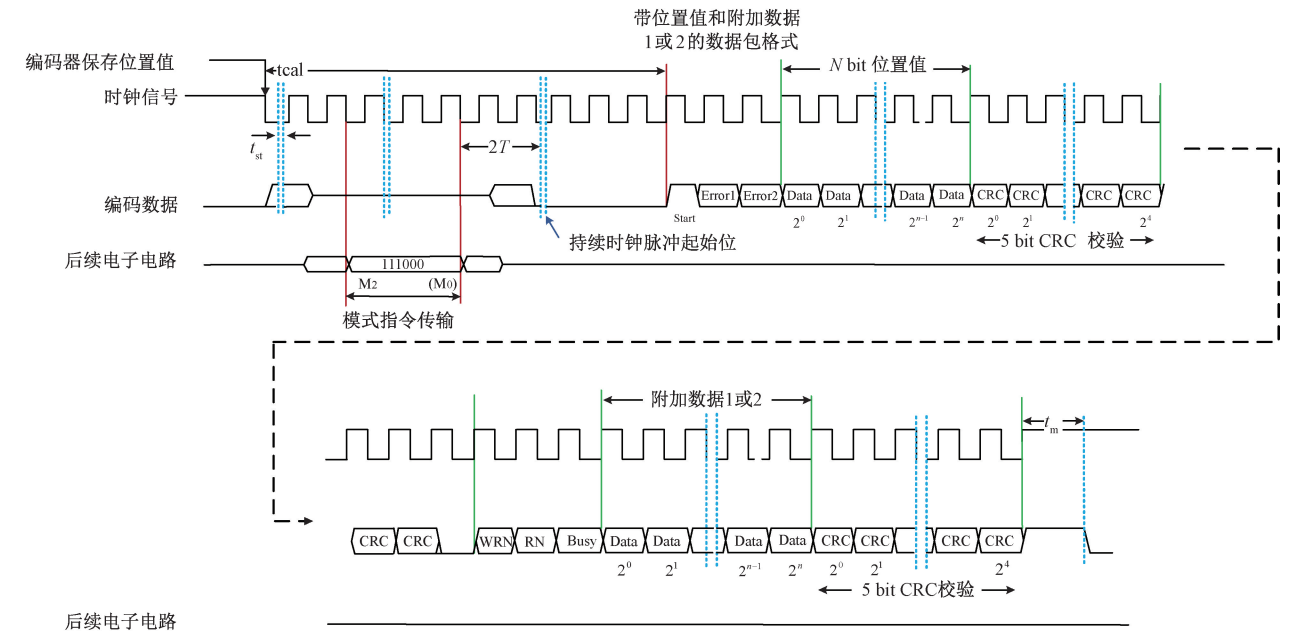


图 1 含位置值与附加信息 1 和 2 的数据传输模式
Fig. 1 Data transmission mode containing position values and additional information 1 and 2

模式指令指示编码器发送“位置值”或“错误位置信息”。附加信息可以在多次采样中发送,数据传输期间需要时钟信号保持高电平,低电平则终止本次通信^[12-13]。为增强数据安全性,EnDat2. 2 提供错误信息 1 和 2,两个出错信息必须相互独立地处理,可精准定位故障类型及位置,强化系统容错能力与数据安全性,适用于高可靠性伺服控制场景。

2 FPGA 编码器接口硬件设计

2.1 Zynq-7000 平台架构设计

本设计采用 Xilinx Zynq-7000 系列 SoC 构建编码器接

口的异构计算架构,其硬件系统架构如图 2 所示。

该架构充分利用了处理系统 PS 与可编程逻辑 PL 的协同优势;PS 端基于双核 ARM Cortex-A9 处理器,集成双倍数据速率三代同步动态随机存取存储器(double data rate 3 synchronous dynamic random-access memory,DDR3 SDRAM)控制器实现数据缓存与任务调度,通过多功能输入/输出接口(input/output interface, I/O)接口扩展 UART、CAN 等工业通信协议^[14];中断系统采用通用中断控制器(general interrupt controller, GIC)架构,支持串行外设接口(serial peripheral interface, SPI)外设中断与软件

生成中断(software generated interrupt, SGI)的优先级管理,为 PL 到 PS 的异步事件提供低延迟响应机制。

在 PL 端,实现了 EnDat2.2 协议的物理层处理核心,包括曼彻斯特编解码器、CRC-5 校验模块和时序控制状态机。PS 通过高级可扩展接口精简总线协议(advanced extensible interface 4 lite, AXI4-Lite)总线对 PL 进行寄存器配置,设置工作时钟频率($8\text{ MHz} \pm 0.5\%$)和操作模式指令^[15]。状态机在检测到同步信号后启动数据传输流程:编码器返回的差分信号经过曼彻斯特解码后,进行 CRC 校验验证数据完整性,有效数据通过 32 bit 宽先入先出(first-in first-out, FIFO)缓冲后触发 SPI 中断。CPU0 在中断服务例程中通过高级可扩展接口全总线协议(advanced extensible interface 4 full, AXI4-Full)总线读取数据,并更新系统状态寄存器,以此增强系统的统一性和灵活性^[16]。

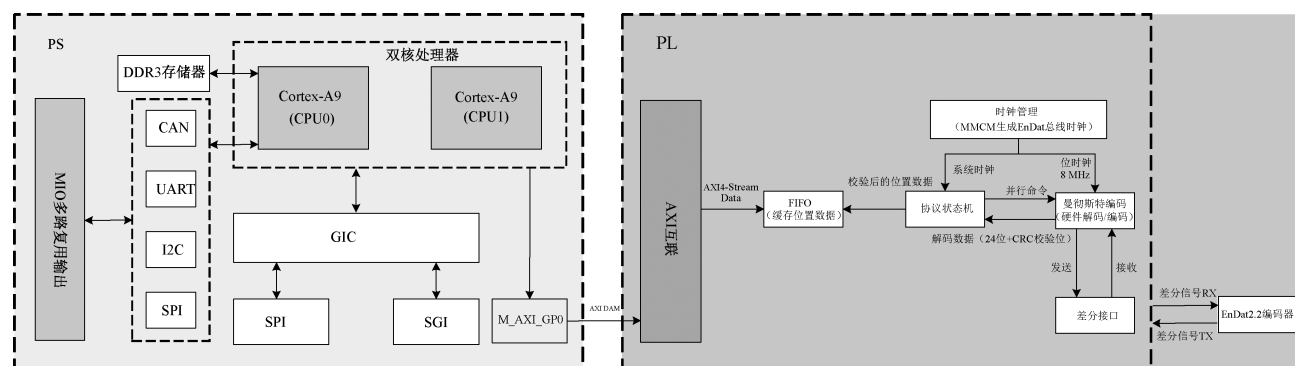


图2 编码器解码处理器架构

Fig. 2 Architecture of the encoder-decoder processor

2.2 EnDat2.2 驱动接口设计

为构建适用于工业高频干扰环境的高速可靠通信链路,本设计采用了基于 ADM1485 总线驱动芯片电气接口方案。该电路设计通过三级协同处理机制化解高速传输与强干扰之间的矛盾。

第1级:信号隔离与电平转换。采用 ADuM1301 数字隔离芯片(M1),利用磁耦合技术实现 FPGA 侧与总线侧的电气隔离,隔离耐压不低于 2.5 kV。其原副边设计为独立供电电压 2.7 ~ 5.5 V,完美适配 FPGA (3.3 V

LVC MOS)与 RS485 总线(5 V)的电平转换需求。其内部集成的双向闭环时钟架构与 PLL 锁相环,可动态补偿信号延迟($\leq 10\text{ ns}$),从源头抑制共模干扰^[18]。

第2级:差分总线驱动。核心驱动器 ADM1485(TR1)集成差分收发器,其 DE(数据使能)与 RE(接收使能,低电平有效)引脚由 FPGA 同步控制,可实现 20 ns 以内的快速收发切换,支持最高 12 Mbps 的传输速率^[19]。如图 3 所示,其差分输出端口(A、B)经由电阻电容网络进行阻抗匹配与滤波处理,有效保障信号完整性。

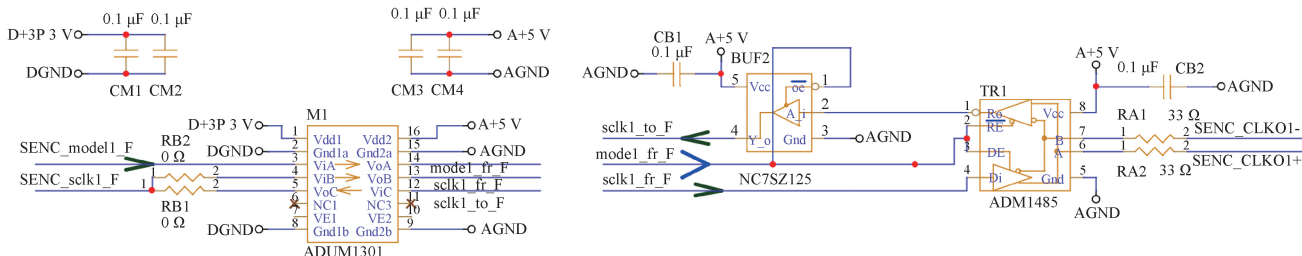


图3 驱动接口电路原理

Fig. 3 Schematic of the drive interface circuit

第 3 级: 动态总线保护。在总线侧引入 NC7SZ125 (BUF2) 三态缓冲门, 其使能端由 FPGA 监控逻辑动态控制。通信正常时, 该器件导通电阻极低, 保障信号无损传输; 一旦检测到总线冲突或强干扰脉冲, 则立即进入高阻态 (Z 状态), 迅速切断干扰路径, 从而有效应对 10 MHz~1 GHz 频段、场强高达 30 V/m 的工业射频干扰^[20]。

3 位置反馈系统软件设计

3.1 FPGA 接口模块架构

为实现高精度运动控制系统中控制器与绝对位置值编码器间高速、可靠的数据交互, 本设计基于 FPGA 构建了支持 EnDat2.2 与同步串行接口 (synchronous serial interface, SSI) 双向通信协议的通信接口系统。该

系统不仅提供了高效的数据传输通道, 更集成了 CRC 与实时状态监测机制, 兼具优异的抗干扰与故障诊断能力。图 4 所示为接口系统的核心架构, 其主要由协议处理模块、发送/接收模块、时序控制模块、相关寄存器组以及 FPGA 主控单元的逻辑接口模块组成^[21]。该架构设计的关键在于其高度的集成性与灵活性: 模块左侧定义了与外部编码器的物理层接口, 包括 EnDat2.2/SSI 协议共需的发送 (TX+/-)、接收 (RX+/-)、时钟 (CLK+/-) 差分信号线及使能 (EN) 控制线; 右侧为与 FPGA 内部逻辑连接的并行接口, 集成了控制信号、8 bit 地址总线与 16 bit 数据总线。这种差分信号与并行总线相结合的设计, 有效兼顾了远程传输的抗干扰需求与片内数据交互的高效性。

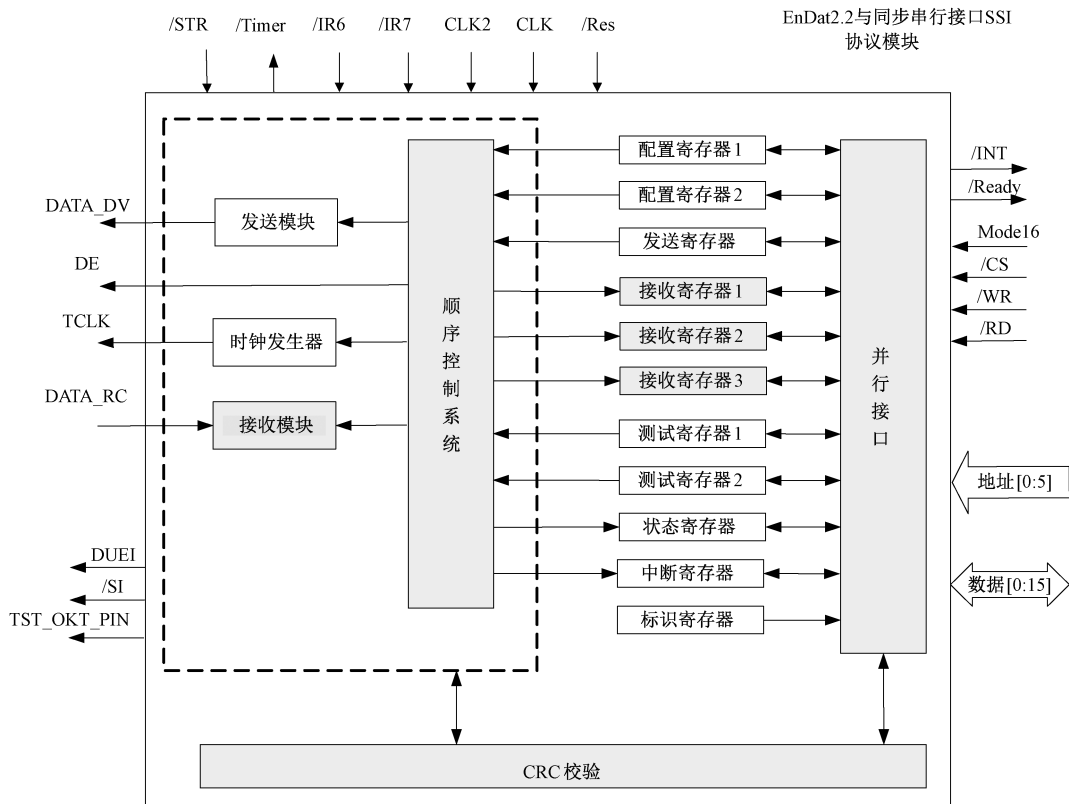


图 4 EnDat2.2 与 SSI 通信模块

Fig. 4 Diagram of the enDat2.2 and SSI communication module

系统工作时, 待传输数据、指令及配置参数分别写入发送、指令与配置寄存器。发送操作触发后, 时序控制模块作为系统“节拍器”, 协同各模块工作; 对于 EnDat2.2 协议, 协议处理单元将并行数据与指令转换为符合规范的串行数据流, 由发送模块驱动至物理总线; 同时, 时钟生成单元输出同步时钟脉冲。接收模块则对总线返回的串行数据进行采样与串并转换, 解析后的数据依据类型存入各状态寄存器。

需要特别指出的是, 本设计通过同一硬件架构高效兼容了两种协议: EnDat2.2 协议依靠指令响应机制与 CRC

实现双向通信与高可靠性。接收端通过对比接收到的 CRC 码与本地根据接收数据流计算生成的 CRC 码, 即可验证通信过程是否准确无误^[22]。而 SSI 协议则依赖于上述时序控制模块产生精确的时钟序列, 以主从问答的方式实现单向或双向数据采集, 其通信可靠性很大程度上由时序的稳定性保证^[23]。系统最终统一更新状态与中断寄存器, 并向 FPGA 主控发送中断信号, 完成一次完整的数据交互流程。

3.2 数据处理模块设计

数据处理模块是 EnDat2.2 协议解码系统的核心, 负

责将编码器输出的串行数据转换为可直接使用的并行数据,并通过多级对齐机制消除传输误差。该模块包含数据解析与数据训练两部分,其中数据训练通过相位对齐、字对齐机制,解决传输过程中因物理链路差异导致的同步问题,确保位置反馈数据的准确性。

1) 数据解析

数据解析的核心功能是将编码器输出的多通道串行差分数据进行解串处理,转换为并行数据格式。EnDat2.2 协议采用串行传输模式,编码器输出的位置值、附加信息等数据以差分信号形式通过 RS485 总线传输,其串行数据流需经串并转换后才能被 FPGA 主控单元处理。

具体实现中,FPGA 通过专用接收模块(如代码中的 data_in 移位寄存器)对串行数据进行缓存与解串;外部差分信号经 ADM1485 芯片转换为单端信号后,输入 FPGA 的 I/O 引脚,由串并转换逻辑按时钟节拍逐位接收,最终

拼接为 32 位并行数据(与 init_d_in_width 参数匹配)。该过程不仅提升了数据传输速率(最高支持 1 Mbps),还将串行数据的实时处理压力分散到并行逻辑中,为后续的对齐与校验提供基础。

2) 数据训练

由于编码器与 FPGA 之间的 PCB 走线长度差异、器件延迟等物理因素,解串后的数据可能存在时钟与数据不同步的问题,因此需要对齐机制消除上述误差^[24]。

相位对齐的目标是确保数据信号与时钟信号的边沿严格同步,避免因采样时刻偏差导致的误码。其核心原理是:当数据信号的跳变边沿与时钟信号的采样边沿(上升沿或下降沿)对齐时,采样值最稳定,可最大限度降低误码率。若存在相位偏移,并行数据可能出现“错位采样”,例如时钟上升沿采样时,数据尚未稳定跳变,导致 bit 值错误,如图 5 所示。

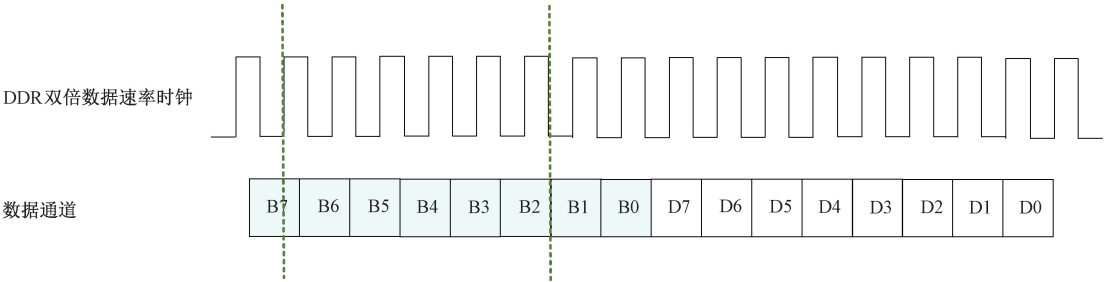


图 5 数据信号与时钟边未对齐

Fig. 5 Misalignment between data signal and clock edge

FPGA 可以通过 IDELAYE2 原语实现相位微调。IDELAYE2 是 FPGA 的 I/O 引脚集成的延迟单元,支持以 78 ps 为步长对输入信号进行延时调整,且时钟信号与数据信号可独立配置;外部输入的时钟信号(TCLK)通过 IDELAYE2 的 IDATAIN 引脚进入,经延时后与内部逻辑时钟同步^[25-26];数据信号(DATA_RC)通过同一 IDELAYE2 的 DATAIN 引脚进入,通过动态调整延迟值,使数据跳变边沿与时钟采样边沿对齐。

4 系统测试平台及环境

4.1 测试平台

实验平台以 Xilinx Zynq-7000 系列 XME0726 开发板为核心控制器,其搭载双核 ARM Cortex-A9 处理器(主频 800 MHz),配备 512 MB DDR3 内存,提供充足的数据处理与实时控制能力。集成的 RS485 物理接口用于连接编码器传感器,千兆以太网接口用于与上位机进行高速数据交互,如图 6 所示。

位置反馈单元选用海德 AT3018 高精度长度计,其测量范围为 0~300 mm,分辨率为 368 nm,输出为 EnDat2.2 协议格式的绝对位置信号。为模拟实际工况并评估系统动态性能,使用伺服电机驱动长度计作匀速直线运动。实时监测通过 Xilinx ViVado 内置的 ILA(integrated logic

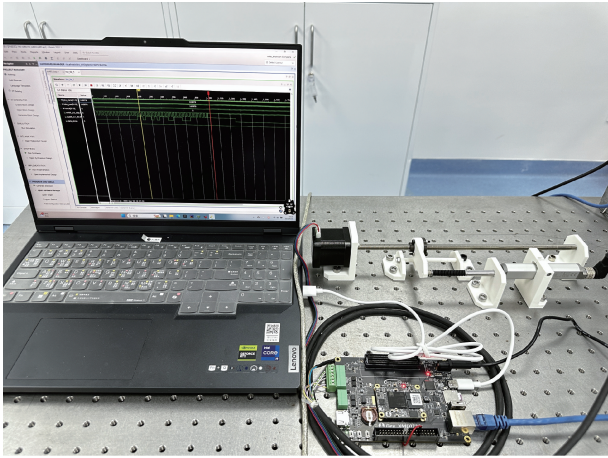


图 6 系统调试阶段测试环境

Fig. 6 Test environment for the system debugging phase

analyzer)实现,以捕获协议解码过程中的关键信号波形。

ILA 监测的“endat_if”模块的关键信号如图 7 所示。“rs485_rx1”接收来自长度计的串行数据,“rs485_tx1”发送主机指令;解码后的并行数据“abs_data[31:0]”(单圈位置)与“abs_pos[31:0]”(绝对位置)在初始状态下输出值为 128 854(十六进制 0x1F756),与预设多圈值为 0 的设置一致,表明协议解析功能正常,且数据帧完整无误。同时,

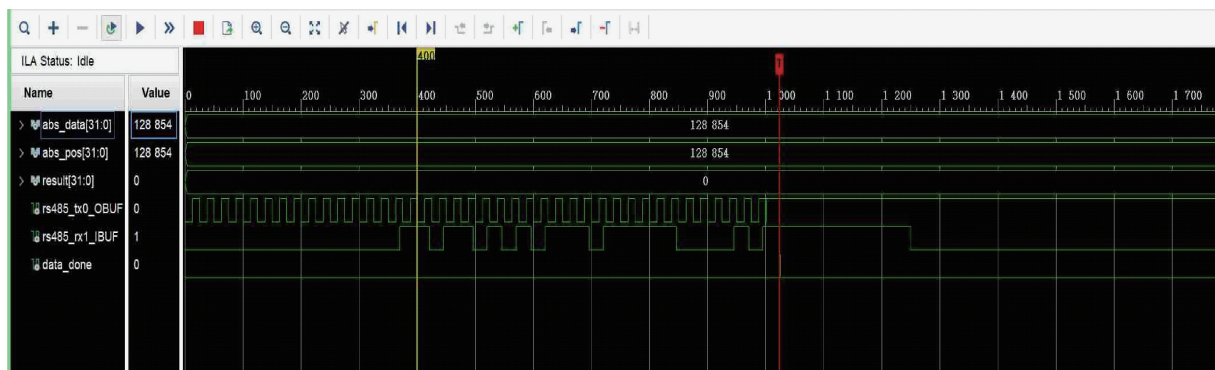


图 7 逻辑信号分析仪捕捉的位置值波形

Fig. 7 Waveform of position values captured by a logic analyzer

“data_done”信号在数据更新完成后被拉高,有效验证了状态机与时序逻辑设计的正确性,符合 EnDat2.2 协议要求的操作序列。

为定量分析系统在动态工况下的位置反馈性能,本研究设计了基于上位机的长时间数据采集与分析方法。通过配置开发板以太网接口,将解码得到的实时位置数据以 1 ms 的间隔发送至上位机。在 PC 端利用串口调试助手接收并记录原始十六进制数据,经格式转换后得到十进制位移值。最终,通过 MATLAB 对数据进行可视化与统计分析,其结果如图 8 所示。由图 8 可以看出位移随时间呈线性变化的稳定关系,有效验证了系统出色的跟踪稳定性与低噪声特性。

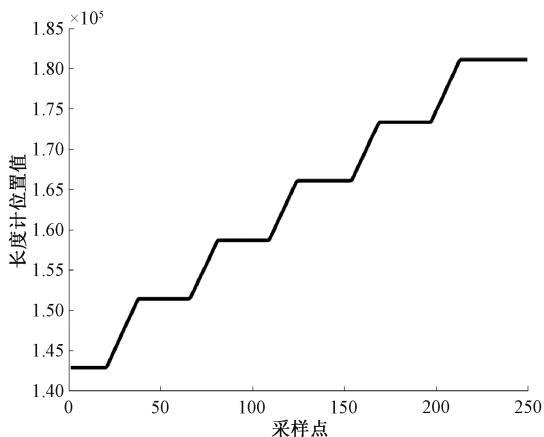


图 8 位移时间关系

Fig. 8 Displacement-time relationship

4.2 CRC 校验性能分析

为确保拼接镜面望远镜位移促动器位置反馈数据的绝对可靠性,本研究严格遵循 EnDat2.2 协议规范,实现了从硬件生成到软件验证的全流程 CRC 保障机制。如图 9 所示,协议 CRC 校验核心是一个基于线性反馈移位寄存器(linear feedback shift register, LFSR)的硬件电路。该电路通过模式信号 S 控制其工作状态:当 S=1 时,长度计发出的数据帧(包括位置值、错误标志位及附加信息等)被

串行移入 LFSR;当所有数据处理完毕后, S=0 时,电路切换至 CRC 输出模式,将计算得到的 5 位 CRC 校验码移出,此硬件电路高效模拟了多项式除法运算(例如 CRC-5 标准中 $G(x) = x^5 + x^2 + 1$),能够实时生成数据的“数字指纹”^[27]。

在数据传输开始时,发送端(海德汉长度计)利用硬件电路计算数据的 CRC 值并附加在帧尾。接收端(如本研究的 FPGA 解码系统)在收到数据后,使用与发送端完全相同的多项式规则,通过内置的校验逻辑对接收到的数据部分进行 CRC 重计算。最后,接收端将计算得到的 CRC 值与接收到的 CRC 值进行比较。若两者完全一致,则判定数据传输正确无误;若不一致,则表明传输过程中发生了错误,系统可据此触发错误处理机制。

4.3 与传统方案功耗集成度对比

为定量评估与验证本研究所提出的 SoC-FPGA 解码方案在功耗与体积方面的核心优势,本研究设计并执行了一套对比测试实验。实验以典型工业级解决方案——UMAC 运动控制器及其 EnDat 接口板卡为对照基准,采用 Fluke 381 高精度钳形电流表,对 12 V 直流供电的本研究系统与 220 V 交流供电的传统系统进行了在线电流测量,从而计算出实际运行功耗,由于 UMAC 搭载 4 块板卡,单块板卡均分功率需要除以 4。实时测量电流过程如图 10 所示。

最后,使用数显游标卡尺对双方核心板卡的关键尺寸进行了精确测量。SoC-FPGA 方案与 UMAC 板卡集成度和功耗综合对比,如表 2 所示。

实验数据明确显示,本研究方案在工作时功耗仅为 14.4 W,显著低于传统方案的 159~187 W,功耗水平降低超 11 倍;在体积上,本研究方案板卡(120 mm×90 mm×1.5 mm)相较于对照板卡(158 mm×100 mm×1.5 mm),PCB 体积减了约 31.6%。该对比实验结果充分证明,本研究设计的分布式、智能化、低功耗本地处理解码方案在降低系统总能耗、减少热管理和缩小体积方面具备显著优势。

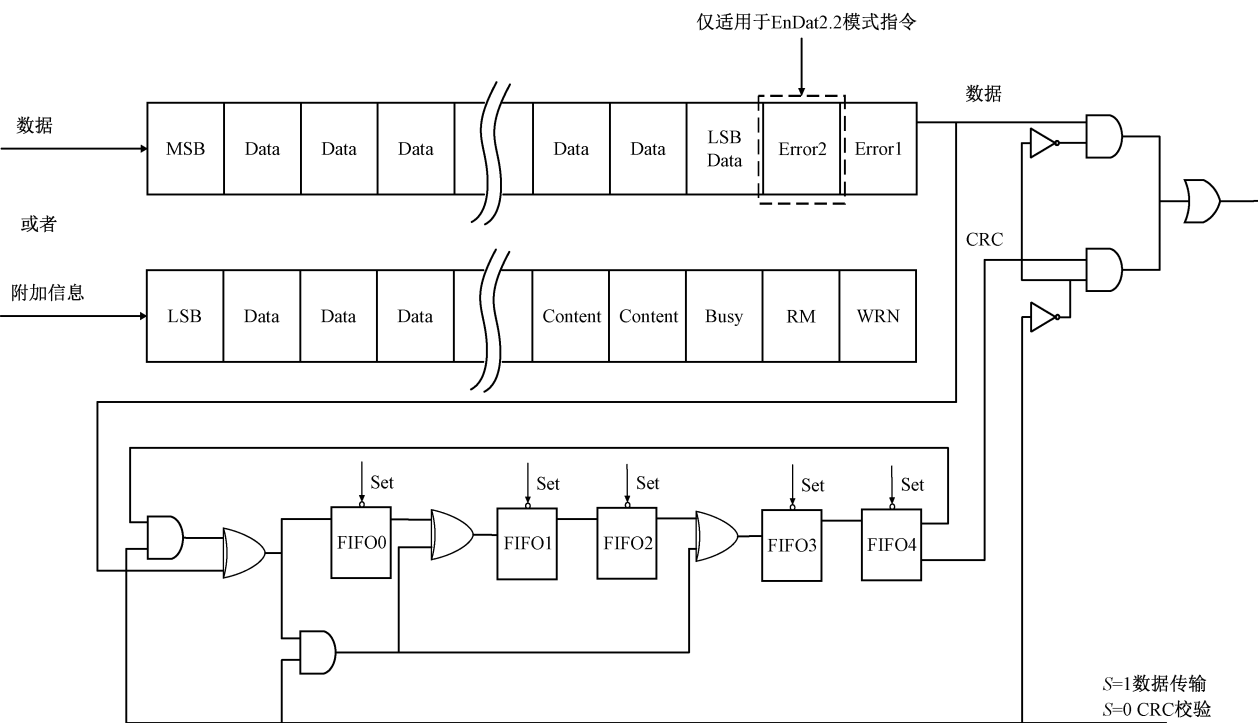


图 9 EnDat2.2 模式指令数据帧结构与循环冗余校验

Fig. 9 Frame structure of EnDat2.2 mode command data and its cyclic redundancy check



图 10 SoC-FPGA 方案与 UMAC 板卡实测电流对比

Fig. 10 Comparison chart of measured current between SoC-FPGA solution and UMAC board

表 2 SoC-FPGA 方案与 UMAC 板卡集成度和功耗综合对比

Table 2 Comprehensive comparison of integration and power consumption between SoC-FPGA solution and UMAC board

对比维度	UMAC 板卡(含 EnDat 接口)	SoC-FPGA 解码系统
体积大小/mm	158×100×1.5	120×90×1.5
供电规格/V	直流(DC),12	交流(AC),220
实测电流/A	1.2(DC)	3.4(AC,RMS)
计算功耗/W	14.4	159~187(功率因数按 0.85~1 估算)

5 结 论

本研究在 EnDat2.2 接口解码技术上的创新性主要体现在架构、时序、硬件和协议 4 个维度。在架构层面,突破

传统 FPGA 方案资源利用率低的局限,采用 Zynq-7000 平台的 PS-PL 协同架构实现数据采集与处理,通过双核 Cortex-A9 处理器(PS 端)实现系统调度与通信管理,由可编程逻辑(PL 端)专责曼彻斯特编解码等实时任务,PCB

面积约减少 31.6%，功耗水平下降超 11 倍。其时序同步机制引入 IDELAYE2 可编程延迟单元，以 78 ps 步长动态补偿物理链路差异，将时序误差控制在 $\pm 0.5\%$ 以内，显著优于固定时钟方案的 $\pm 1.5\%$ 误差水平。硬件设计上，采用基于 ADM1485 和 ADuM1301 的三级抗干扰电路，通过磁隔离、差分驱动和动态总线保护机制，在 10 MHz ~ 1 GHz 工业干扰环境下将误码率降至传统方案的 1/50。协议处理方面，专注于 EnDat2.2 的高效解码，通过优化 CRC-5 校验算法与帧解析逻辑，在 0.2% 错误注入条件下校验成功率达 99.99%。这些系统性改进使得本方案在 368 nm 精度指标下，同步实现小型化、低功耗与高集成度，为拼接镜面望远镜促动器提供了自主可控的高精度位置反馈解决方案。

然而，本研究仍存在一定的提升空间。未来可进一步优化数据处理算法，细分精度，以提高系统在极端复杂环境下的稳定性；同时，可拓展该方案对更多编码器协议的兼容性，使其能更好地适应不同场景下的应用需求，为我国天文观测技术的持续发展贡献更大力量。

参考文献

- [1] 刘炎森. 大型光学红外望远镜拼接镜面促动器技术研究[D]. 长春: 中国科学院大学(中国科学院长春光学精密机械与物理研究所), 2021: 1-2.
Liu Yansen. Research on technologies of micro-displacement actuator for large-aperture segmented optical/infrared telescope[D]. Changchun: University of Chinese Academy of Sciences(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences), 2021: 1-2.
- [2] 帅雨林, 牛冬生, 王海, 等. 高精度镜面位置控制的微位移促动器研究[J]. 天文研究与技术, 2023, 20(3): 250-257.
Shuai Yulin, Niu Dongsheng, Wang Hai, et al. Research on micro-displacement actuator for high precision mirror position control[J]. Astronomical Research and Technology, 2023, 20(3): 250-257.
- [3] 安其昌, 刘欣悦, 李洪文, 等. 大口径拼接望远镜离散口径测试方法[J]. 光学学报(网络版), 2025, 2(6): 4-12.
An Qichang, Liu Xinyue, Li Hongwen, et al. Sparse aperture testing method for large-aperture segmented telescopes[J]. Acta Optica Sinica (Online), 2025, 2(6): 4-12.
- [4] 单博闻, 辛宏伟, 陈长征. 空间太阳望远镜调焦机构的设计与分析[J]. 仪器仪表学报, 2021, 42(6): 1-8.
Shan Bowen, Xin Hongwei, Chen Changzheng. Design and analysis for focusing mechanism of space solar telescope[J]. Chinese Journal of Scientific Instrument, 2021, 42(6): 1-8.
- [5] 王昆延, 戴懿纯, 王斌, 等. 拼接望远镜的装调流程及共相调整技术[J]. 激光与光电子学进展, 2025, 62(20): 30-40.
Wang Kunyan, Dai Yichun, Wang Bin, et al. Alignment process and co-phase adjustment technology of segmented telescopes[J]. Laser & Optoelectronics Progress, 2025, 62(20): 30-40.
- [6] 李红伟. 空间主反射镜高精度拼接校检机构研究[D]. 成都: 电子科技大学, 2023: 3-6, 18.
Li Hongwei. Research on the high-precision segmented calibration mechanism of space primary mirror[D]. Chengdu: University of Electronic Science and Technology of China, 2023: 3-6, 18.
- [7] 霍银龙, 杨飞, 王富国. 大口径光学望远镜拼接镜面关键技术综述[J]. 中国光学(中英文), 2022, 15(5): 973-982.
Huo Yinlong, Yang Fei, Wang Fuguo. Overview of key technologies for segmented mirrors of large-aperture optical telescopes[J]. Chinese Optics, 2022, 15(5): 973-982.
- [8] 孙大海, 艾华. 基于 FPGA 双路 EnDat2.2 编码器的接口设计[J]. 液晶与显示, 2014, 29(5): 745-750.
Sun Dahai, Ai Hua. Design of dual-channel EnDat2.2 encoder interface based on FPGA[J]. Chinese Journal of Liquid Crystals and Displays, 2014, 29(5): 745-750.
- [9] 廖彩霞, 赖欢, 董佳. EnDat2.2 通讯协议接口的设计[J]. 四川兵工学报, 2015, 36(3): 125-128.
Liao Caixia, Lai Huan, Dong Jia. Design of EnDat2.2 communication protocol interface[J]. Journal of Ordnance Equipment Engineering, 2015, 36(3): 125-128.
- [10] 张强, 孙闻远, 田才艳. 基于全国产芯片的仪表着陆系统信号发射单元研制[J]. 电子测量技术, 2026, 49(8): 171-180.
Zhang Qiang, Sun Wenyuan, Tian Caiyan. Development of a signal transmitting unit for instrument landing system based on all-domestic chipset[J]. Electronic Measurement Technology, 2026, 49(8): 171-180.
- [11] DR. JOHANNES HEIDENHAIN GmbH. The EnDat 2.2 bidirectional interface for position encoders; technical information[EB/OL]. [2026-05-28]. https://endat.heidenhain.com/fileadmin/pdf/en/01_Products/Technische_Dokumentation/TI_EnDat_2-2_ID383942_en.pdf.
- [12] DR. JOHANNES HEIDENHAIN GmbH. Interfaces of HEIDENHAIN encoders[EB/OL]. [2026-05-28]. https://www.heidenhain.com/fileadmin/pdf/en/01_Products/Prospekte/PR_Interfaces_ID1078628_en.pdf.
- [13] 翟天祺, 李建春, 吴明剑. 基于 FPGA 设计 EnDat 接口绝对式编码器数据读出方案[J]. 微电机, 2018, 51(9): 38-40.
Zhai Tianqi, Li Jianchun, Wu Mingjian. Design of data readout scheme for absolute encoder of EnDat interface based on FPGA[J]. Micromotors, 2018, 51(9): 38-40.

- [14] 叶盟. 基于FPGA的图像声纳高速存储技术研究[D]. 哈尔滨: 哈尔滨工程大学, 2023: 8.
Ye Meng. Research on high-speed storage technology for image sonar based on FPGA[D]. Harbin: Harbin Engineering University, 2023: 8.
- [15] 于波, 刘双进, 张海涛, 等. 基于ZYNQ的图像采集加密传输系统设计与实现[J]. 化工自动化及仪表, 2025, 52(5): 744-753.
Yu Bo, Liu Shuangjin, Zhang Haitao, et al. Design and implementation of image acquisition and encryption transmission system based on ZYNQ[J]. Control and Instruments in Chemical Industry, 2025, 52(5): 744-753.
- [16] 王振, 黄春平, 陈威威. 基于FPGA的SATA图像采集系统的设计与实现[J]. 电子测量技术, 2025, 48(14): 26-34.
Wang Zhen, Huang Chunping, Chen Weiwei. Design and implementation of a SATA image acquisition system based on FPGA[J]. Electronic Measurement Technology, 2025, 48(14): 26-34.
- [17] 郑文学, 李佳音, 潘振铎, 等. 同源时钟信号的平衡电磁管道裂纹检测系统研究[J]. 电子测量与仪器学报, 2026, 40(3): 135-142.
Zheng Wenxue, Li Jiayin, Pan Zhenrong, et al. Research on balanced electromagnetic pipeline crack detection system based on synchronous clock signals[J]. Journal of Electronic Measurement and Instrumentation, 2026, 40(3): 135-142.
- [18] 朱文瑞, 周华, 董宇. 基于ZYNQ-7000和AD9361的软件无线电平台设计[J]. 现代电子技术, 2025, 48(13): 152-158.
Zhu Wenrui, Zhou Hua, Dong Yu. Design of software-defined radio platform based on ZYNQ-7000 and AD9361 [J]. Modern Electronics Technique, 2025, 48(13): 152-158.
- [19] 刘塔拉, 贾建禄, 吴庆林. 基于FPGA和绝对式长度计的EnDat2.2通信接口设计[J]. 电子技术与软件工程, 2018(9): 116-117, 147.
Liu Tala, Jia Jianlu, Wu Qinglin. Design of EnDat2.2 communication interface based on FPGA and absolute length gauge[J]. Electronic Technology & Software Engineering, 2018(9): 116-117, 147.
- [20] 李雅然, 韩靖雯, 王耀方延, 等. 基于FPGA的无线传感器应用评标系统的网络控制器设计[J]. 自动化与仪器仪表, 2024(11): 293-297.
Li Yaran, Han Jingwen, Wang Yaofangyan, et al. FPGA-based network controller design for bid evaluation system with wireless sensor applications [J]. Automation & Instrumentation, 2024(11): 293-297.
- [21] 孙大海. 基于FPGA和ARM设计EnDat2.2接口电路[D]. 长春: 中国科学院研究生院(长春光学精密机械与物理研究所), 2013: 42-44, 46, 49-50, 55-56.
Sun Dahai. Design of interface circuit for EnDat2.2 based on FPGA and ARM[D]. Changchun: Graduate University of Chinese Academy of Sciences (Changchun Institute of Optics, Fine Mechanics and Physics), 2013: 42-44, 46, 49-50, 55-56.
- [22] 杜冬, 尹学峰, 吉小军. 基于FPGA的脉冲信号发生/测试仪一体化设计[J]. 电子测量技术, 2015, 38(1): 64-68.
Du Dong, Yin Xuefeng, Ji Xiaojun. Integrated design of pulse signal generator/tester based on FPGA[J]. Electronic Measurement Technology, 2015, 38(1): 64-68.
- [23] 张旭, 段发阶, 孙广开, 等. 高轨卫星目指自准直测量光斑实时定位方法[J]. 仪器仪表学报, 2025, 46(8): 206-217.
Zhang Xu, Duan Fajie, Sun Guangkai, et al. Real-time light spot localization method for target-pointing measurement with autocollimators in high-orbit satellites[J]. Chinese Journal of Scientific Instrument, 2025, 46(8): 206-217.
- [24] 黎宝柱. 基于FPGA的可灵活变频数字发射机的设计与实现[D]. 广州: 华南理工大学, 2021: 25, 42, 68-70.
Li Baozhu. Design and implementation of a digital transmitter with flexible frequency conversion based on FPGA [D]. Guangzhou: South China University of Technology, 2021: 25, 42, 68-70.
- [25] 杨淑珍, 徐文尚, 解金旺, 等. 基于RS485总线的多台变频器远程监控系统的实现[J]. 电气应用, 2005, 24(12): 91-93.
Yang Shuzhen, Xu Wenshang, Xie Jinwang, et al. Implementation of remote monitoring system for multiple frequency converters based on RS485 bus[J]. Electrotechnical Application, 2005, 24(12): 91-93.
- [26] 王轩. 基于FPGA的全光谱工业相机系统的设计与实现[D]. 杭州: 浙江大学, 2020: 44-47.
Wang Xuan. Design and implementation of a full-spectrum industrial camera system based on FPGA[D]. Hangzhou: Zhejiang University, 2020: 44-47.
- [27] 张增波, 陈仲林, 肖刘. 基于FPGA的内置并行CRC校验的UART[J]. 自动化与仪表, 2013, 28(2): 30-32, 40.
Zhang Zengbo, Chen Zhonglin, Xiao Liu. Implementation of UART with parallel CRC based on FPGA [J]. Automation & Instrumentation, 2013, 28(2): 30-32, 40.

作者简介

徐云霞, 硕士研究生, 主要研究方向为FPGA、嵌入式系统设计。

E-mail: yxxu@niaot.ac.cn

陆启帅(通信作者), 硕士, 正高级工程师, 主要研究方向为嵌入式系统、望远镜控制。

E-mail: qslu@niaot.ac.cn

姚富金, 硕士研究生, 主要研究方向为望远镜副镜调整机构设计及控制。

E-mail: fjyao2023@niaot.ac.cn

韩硕, 博士研究生, 主要研究方向为大型望远镜结构设计。

E-mail: shan2023@niaot.ac.cn