

DOI:10.19651/j.cnki.emt.2518656

# 基于ZYNQ的抗干扰高速数据采集系统的设计

田毅隆<sup>1</sup> 马游春<sup>1</sup> 郭鑫<sup>2</sup>

(1. 中北大学极限环境光电动态测试技术与仪器全国重点实验室 太原 030051; 2. 中北大学信息与通信工程学院 太原 030051)

**摘要:** 针对空空导弹试验中传统数据采集系统在多通道同步传输、高速存储及抗干扰能力不足的问题,本研究设计了一种基于ZYNQ-7000系列与EMMC 5.1规范存储模块的抗干扰实时数据获取系统。本系统采用隔离式LVDS接口和RS422收发器提升信号抗干扰性,通过多通道采样率/波特率可调谐架构及混合编帧技术实现多源数据同步采集,并通过动态校准数据采样点,保证EMMC高速读写信号的时序稳定。另外,引入DDR3缓存优化突发数据处理。实验结果表明,单片EMMC系统写入速度达157.6 MB/s,读取速度达180.1 MB/s,上位机数据传输速率达40.78 Mb/s。通过硬件隔离、编帧优化与高速存储协同设计,增强了高动态环境下多源数据采集的实时性与抗干扰能力,为空空导弹性能评估提供了高可靠性的数据支撑。

**关键词:** ZYNQ;EMMC;抗干扰;数据采集;高速传输;FT232HL

中图分类号: TN911 文献标识码: A 国家标准学科分类代码: 510.4030

## The design of anti-interference real-time data acquisition technology based on ZYNQ

Tian Yilong<sup>1</sup> Ma Youchun<sup>1</sup> Guo Xin<sup>2</sup>

(1. State Key Laboratory of Extreme Environment Optoelectronic Dynamic Measurement Technology and Instrument, North University of China, Taiyuan 030051, China; 2. School of Information and Communication Engineering, North University of China, Taiyuan 030051, China)

**Abstract:** To address the limitations of traditional data acquisition systems in air-to-air missile testing, such as insufficient multi-channel synchronous transmission, high-speed storage, and anti-interference capabilities, this study designs an anti-interference real-time data acquisition system based on the ZYNQ-7000 series and an EMMC 5.1-compliant storage module. The system enhances signal robustness through isolated LVDS interfaces and RS422 transceivers, achieves synchronous multi-source data acquisition via a tunable multi-channel sampling rate/baud rate architecture and hybrid framing technology, and ensures timing stability for high-speed EMMC read/write operations through dynamic calibration of data sampling points. Additionally, DDR3 cache is integrated to optimize burst data processing. Experimental results demonstrate that the single EMMC system achieves a write speed of 157.6 MB/s, a read speed of 180.1 MB/s, and a host computer data transmission rate of 40.78 Mb/s. By synergizing hardware isolation, framing optimization, and high-speed storage design, significantly enhancing real-time performance and anti-interference capabilities for multi-source data acquisition in high-dynamic environments. This system provides high-reliability data support for evaluating air-to-air missile performance.

**Keywords:** ZYNQ;EMMC;anti-interference;data acquisition;high-speed transmission;FT232HL

## 0 引言

在现代军事领域,新一代空空导弹引信在恶劣环境中对隐身目标的高精度打击能力,依赖于精确的实时数据获取系统,以支持高精度的炸点控制性能试验评估<sup>[1-4]</sup>。在空空导弹试验中,数据采集系统面临诸多严苛挑战:高频电磁

脉冲( $>50 \text{ kV/m}$ )与共模噪声( $>1 \text{ V}$ )致使误码率攀升,极端温度波动( $-40^\circ\text{C} \sim 150^\circ\text{C}$ )引发时序抖动(Jitter $>100 \text{ ps}$ ),机械振动与瞬时过载( $>3000 \text{ g}$ )会导致信号中断。同时,传统的采集存储系统还存在信号传输抗干扰性差、存储设备写入速度慢和存储容量小等问题,使其在多通道数据采集<sup>[5-7]</sup>、高速数据存储和大容量存储<sup>[8-10]</sup>方面存在瓶颈,难

以满足新一代空空导弹的测试需求。目前相关研究局限于解决某单一需求,如王洋等<sup>[11]</sup>用 4 片 EMMC 实现 152 MB/s 写入、83 MB/s 读出速度,但未解决多通道同步问题,且硬件资源占用大,限制其在复杂采集场景的应用。Angadi 等<sup>[12]</sup>基于 ZYNQ 的以太网数据采集系统,依赖 FIFO 缓存和以太网实时传输,未明确持久化存储方案,容量和速度受限于 FPGA 片上资源,无法应对大数据洪峰。李金强<sup>[13]</sup>设计的 EMMC 采用 HS200 总线速度模式,理论最大传输速度 200 MB/s,实际仅 84 MB/s,远未充分发挥最大性能。

针对多通道数据采集、高速数据存储和大容量存储的需求,本文设计了一款基于 ZYNQ + EMMC 的抗干扰实时数据获取技术的设计,该系统可对被测试件性能试验中数字信号、环境参数和控制信号的抗干扰采集,实现采样率可调谐以及高速存储。通过对数据进行处理和分析,能够测定试件响应信号,评定其工作性能,可作为参数优化、故障分析和性能验证的重要数据支撑。

## 1 系统整体设计方案

整个采集存储系统主要由信号采集调理模块、数据存

储模块、USB 数据接口模块、FPGA 主控模块以及供电模块构成,其架构如图 1 所示。该系统首先对被试样品性能试验中数字信号、环境参数和控制信号进行采集,这些信号经过数据处理和转换后被暂存到 FIFO 中进行缓存。随后,系统进行混合编帧,把不同速率的数据混合成一路数据存进 FIFO 中进行位宽的转换,再通过 DDR3 缓存存入存储器中。与此同时,通过 PCM 发送模块,将编帧后的数据以串口形式发送给发射机模块。此外,USB 控制模块负责装置与上位机之间的命令参数下发和数据上传工作。主控芯片选用了 Xilinx 公司 ZYNQ-7000 系列中的一款 FPGA 芯片,该芯片具备丰富的逻辑资源,并集成了大量快速 Block RAM 与高效分布式 RAM<sup>[14]</sup>,能够满足多种应用对于存储容量及速度的严格要求。AD 采集模块选用 ADI 公司的 AD7985 作为 AD 转换芯片,该芯片采样率可高达 2.5 MSPS,功耗仅为 15.5 mW,用其控制模拟开关的切换和 ADC 数据转换。

## 2 关键技术研究

### 2.1 系统抗干扰设计

空空导弹在飞行过程中会面临恶劣的环境,如强电磁

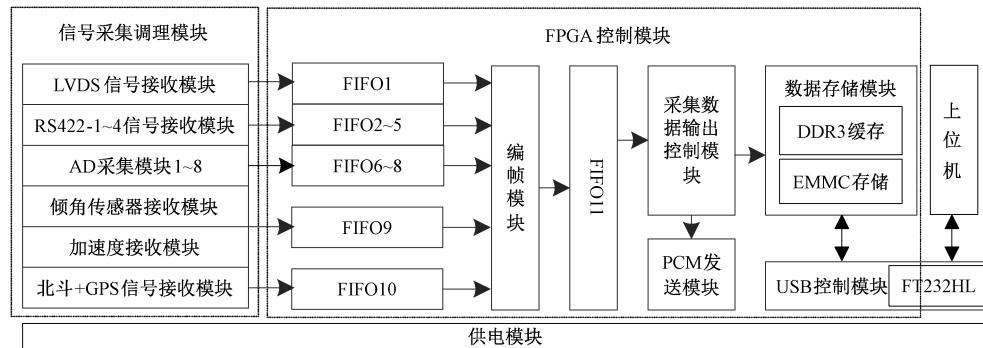


图 1 采集存储系统整体架构

Fig. 1 Overall architecture of the acquisition and storage system

干扰、温度变化等<sup>[15]</sup>。隔离式设计能够有效抵御这些干扰对信号造成的影响,从而确保信号的完整性与稳定性,这对于高精度测量与控制应用而言至关重要。同时,为了实现高速、高精度的数据传输,隔离式设计能够减少信号在传输过程中的衰减和失真,保证数据传输的质量和速度。其次,隔离式 LVDS 接口可以保护器件免受故障影响,提供安全隔离。例如,当 LVDS 背板系统的一个或多个插卡有遭受高电压瞬变的风险时,隔离 LVDS 接口可确保这类故障条件不影响系统中的其他电路。

在本设计中,RS422 接收端选用了 ADM2682E 作为接口芯片。该芯片由亚德诺半导体(Analog Devices Inc.)推出,其隔离电压为 5 kVrms,能有效隔离信号发送和接收端,避免干扰信号在不同电路模块间耦合。该芯片采用磁耦隔离技术,传输速度快、可靠性高,还优化了信号传输路

径,确保在高频电磁脉冲和共模噪声等复杂电磁环境下数据的准确传输。其 GND2 为 RS422/RS485 接收信号地 N,可独立连接每一路,且相互隔离,而且其最大传输速率 16 Mbps,满足系统采集要求。同样的,LVDS 接收端采用 TI 公司的 DS90LV032 接口芯片进行 LVDS 信号转换,转换后的信号再经过 ISO7760 隔离器进行信号隔离,隔离电压高达 5 kVrms,可有效防止高频电磁脉冲穿隔离层,侵入系统后端电路。电路前端电压通过 DC/DC 转换芯片提供电压,经过隔离后的信号直接进入 FPGA 进行同步或异步信号处理。本设计中选用 3 片 DS90LV032 进行 LVDS 信号接收,2 片 ISO7760 对接收信号进行隔离。经测试,该隔离电路在 1 MHz 频率下的共模抑制比(common mode rejection ratio, CMRR)约 100 dB,能大幅抑制幅度>1 V 的共模噪声,保证传输信号质量,确保采集数据的准确性。

隔离式 LVDS 接收信号接口电路如图 2 所示。

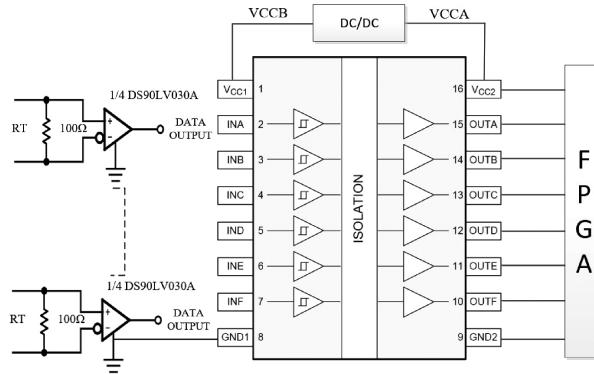


图 2 隔离式 LVDS 接收信号接口电路

Fig. 2 Isolated LVDS receiver signal interface circuit

## 2.2 多通道采样率/波特率可调谐设计

为了更好地适应不同型号的测试装备以及多样的测试环境,本设计采用了锁相环分频和模拟开关相结合的方式来实现模拟信号采样率以及数字信号波特率可调谐的目标。具体来说,根据实际试验情况,将不同类型的模拟信号及数字信号的时钟分为几个档位,如表 1 所示,每个档位的时钟信号输出至模拟开关。系统通过将主时钟分频得到的不同时钟信号与模拟开关的地址对应起来,并生成一个 ROM 表。每次配置时,可以通过软件配置读取地址对应的时钟信号,以此控制 ADC 采集过程中的数据转换时间。该方法的优势在于其灵活性,能够适应不同的测试需求。通过调整时钟信号的频率,可以精确地控制 ADC 的采样率,进而满足不同信号的采集需求。同时,使用模拟开关可以有效地切换不同的时钟信号,确保系统在不同工作模式下的稳定性和可靠性。

## 2.3 数据混合编帧

本设计是基于模拟信号、LVDS 接口、RS422 接口等传输的多类型数据的实时采集及同步存储等技术研究。将多通道、多种类的采集信息汇成一路数据,实时写入存储并高速传输至地面是软件设计中必须考虑的一个重点问题。常见的方案是给不同的数据类型分配不同的存储区域<sup>[16]</sup>,这种方式简单,但本模块采集数据种类多,需要 16 路

表 1 地址与采样率及波特率对应关系

Table 1 Correspondence between address, sampling rate, and baud rate

地址	模拟信号采样率	数字信号波特率
000	100 SPS	9 600 bps
001	1 KSPS	38 400 bps
010	10 KSPS	115 200 bps
011	50 KSPS	230 400 bps
100	100 KSPS	921 600 bps
101	200 KSPS	1 Mbps
110	500 KSPS	5 Mbps
111	1 MSPS	10 Mbps

模拟信号(按照量程分为 3 种信号输入)、4 路 RS422 数据、1 路同步 LVDS 数据、传感器信及北斗+GPS 信号进行采集,需要复杂的控制逻辑和严格的时序要求,才能进行不断的跳块写入,使用此方案影响传输速率和可靠性。

本研究提出了一种数据混合编帧格式,旨在优化数据处理流程。该格式充分利用了 FPGA 的并行处理优势,并利用双端口 FIFO 缓存机制实现跨时钟域数据通信。具体而言,发送端时钟域先将不同类型的数据添加独特的包头标识,然后写入各个 FIFO 中。在此基础上,引入同步脉冲机制,发送端在 FIFO 写入完成或数据块结束时生成同步脉冲信号,接收端通过触发器和时序逻辑捕捉脉冲,以同步数据采样。接收端时钟域根据 FIFO 水位检测和读取控制逻辑读取数据,并将存有多种数据的各个 FIFO 混合打包后进行存储,通过合理设置 FIFO 深度和阈值,实现不同速率时钟域间平滑数据传递。实验表明,这些措施有效降低了跨时钟域数据传输误码率(低于  $10^{-6}$ ),满足高精度数据采集系统的要求,显著增强了时序稳定性。当设备接收数据后,上位机会根据预设的打包编帧格式对数据进行解包,从而恢复原始数据。数据打包格式由帧头帧尾、帧计数和数据内容组成,详细信息如表 2 所示。此外,在数据拆解与分析过程中,帧格式可用于验证数据的正确性与完整性,从而显著提升系统的可靠性和实用性。

表 2 数据打包格式

Table 2 Data packaging format

帧头(2 Byte)	帧计数(4 Byte)	数据内容(1 014 Byte)	帧尾(2 Byte)
0x55AA/AB/AC	0x00000000~0xFFFFFFFF	模拟数据 1/2/3	EA9A/B/C
0x55BA/BB/BC/BD	0x00000000~0xFFFFFFFF	RS422_1/2/3/4 数据	EB9A/B/C/D
0x55CC	0x00000000~0xFFFFFFFF	LVDS 数据	EC90
0x55DD	0x00000000~0xFFFFFFFF	倾角传感器+加速度传感器	ED90
0x55EE	0x00000000~0xFFFFFFFF	北斗+GPS	EE90

具体组帧过程如下:组帧开始时,首先向 FIFO11 中写入帧头和帧计数信息,随后从 FIFO1 中读取数据内容并存

入 FIFO11 中。最后,将 2 字节的帧尾写入 FIFO3,标志该帧数据写入完成,同时将帧计数加 1,该数据帧的总长度为

1 022 字节。通过上述设计,系统实现了多源数据的同步组帧与时钟域匹配,确保了数据的完整性与传输效率,同时为后续的数据分析与处理提供了可靠的基础。

采用 Vivado 软件联合 ModelSim 仿真器对该模块进行仿真验证,编帧过程逻辑仿真图如图 3 所示。在仿真过程中,fifo\_1\_data 和 rd\_en\_1 则分别作为 FIFO1 的输出数据和

有效信号,用于输出初始采集的数据内容。这些数据按照预定的帧格式写入 FIFO1 中。从仿真图中可以看出该仿真结果与预期的组帧效果高度一致,验证了设计的正确性。此外,zhen\_cnt 信号用于记录数据帧的个数,每次组帧完成后自动加 1,这一特性进一步验证了组帧逻辑的准确性。上述仿真分析充分证明了组帧逻辑的正确性与可靠性。

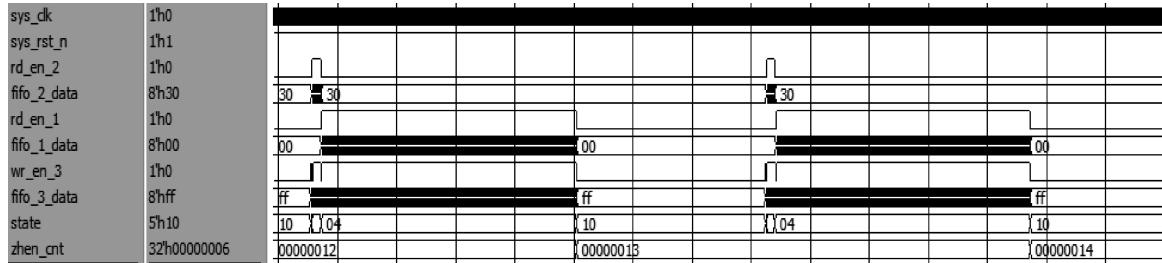


图 3 编帧过程逻辑仿真图

Fig. 3 Frame construction process logic simulation diagram

## 2.4 高速数据大容量存储设计

针对高精度实时数据获取装置对存储系统可靠性、低功耗与集成化的需求<sup>[17]</sup>,本系统选用了容量为 64 GB,型号为 FEMDRW064G-88A19 的江波龙公司的嵌入式多媒体卡(embedded multi-media card, EMMC)作为核心存储介质<sup>[18]</sup>。该芯片支持 JEDEC 标准 EMMC 5.1 规范<sup>[19]</sup>,能够在单芯片架构下达到 200 MB/s 的持续写入速度。但在实际使用时,EMMC HS200 模式无法达到理论传输速度,主要是由于 PCB 走线未严格遵循阻抗匹配导致信号完整性不足,以及供电不稳定、时钟精度等问题影响传输效率。另外,在协议配置上,数据捕获窗口与时钟边沿错位,引发误码率上升,也会降低数据传输速度。

为了实现 EMMC HS200 模式的理论峰值速度(200 MB/s),需要从硬件设计、协议配置以及系统优化 3 个方面进行协同优化。硬件层面,采用 1.8 V VCCQ 供电与 8 位总线接口,结合 50 Ω 阻抗匹配布线确保 200 MHz 时钟信号完整性,并通过主控芯片(ZYNQ)的时钟管理模块生成低抖动时钟;协议配置中,严格遵循 EMMC 5.1 规范,依次完成低速模式初始化、总线扩展(1 位→8 位)及 HS200 模式切换,并执行 cmd21 tuning 流程动态校准数据采样点,以匹配高速信号时序。系统优化方面,引入 DDR3 缓存作为数据中转层,通过 DMA 传输与零散数据整合机制减少 EMMC 擦写次数,结合中断优化策略降低传输延迟。具体设计如下:

基于对协议规范、存储速度需求以及板卡时钟资源的综合评估,本设计在 EMMC 初始化阶段采用 300 kHz 的时钟频率,以确保设备能够稳定完成初始化过程并正确响应命令。在数据传输阶段,时钟频率提升至 200 MHz,以满足高速数据传输的需求,同时兼顾系统的稳定性和性能优化。这种分阶段的时钟频率配置方案,既保证了初始化过程的可靠性,又充分发挥了 EMMC 设备在高频下的传

输潜力。

在 EMMC HS200 模式下,调谐过程是确保高速数据传输可靠性的核心步骤,具体步骤是先发送 cmd21(tuning\_request)命令触发调谐过程,随后遍历 0~32 个相位步进(步长 1/4 时钟周期),依次接收 EMMC 返回的 128 字节标准调谐块数据(0x00 与 0xFF 交替模式),通过对比预期数据模式统计误码率(bit error rate, BER),筛选出 BER=0 的连续相位区域并选择其中间值作为最优采样点,最终将相位参数写入主控时序寄存器中。HS200 模式配置及调谐过程如图 4 所示。

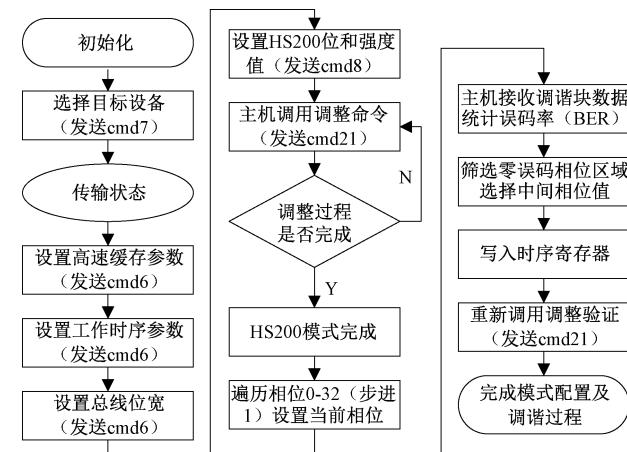


图 4 HS200 模式配置及调谐过程

Fig. 4 Configuration and tuning process of HS200 mode

尽管 EMMC 具备高速持续写入能力,但其固有延迟(约 500 μs)与突发数据处理效率仍可能制约实时性要求严苛的场景,如瞬时冲击信号采集。为解决这一问题,本设计引入美光科技(Micron Technology)生产的一款名为 MT41J128M16HA-125 的 DDR3 芯片作为数据中转层。该芯片的组织架构为 128 M(地址)×16(数据位宽),存储

容量为 2 GB。DDR3 控制器配置为 DDR3-1600 模式(时钟 400 MHz,CAS 延迟  $CL=6$ ),刷新周期为 64 ms。配置 ZYNQ 平台的 MIG 控制器时钟为 400 MHz,CAS 延迟 ( $CL=6$ )、 $t_{RCD}=27.5$  ns 等参数均满足芯片时序约束。此外,该芯片具备高速数据传输能力,其数据传输速率最高可达 1 600 MT/s,能够满足系统对高速缓存的需求。

通过 DDR 缓存暂存高频传感器瞬时数据(如加速度传感器 1 kHz 采样峰值),能够避免 EMMC 直接处理突发写入导致的队列拥塞,从而平滑数据流波动。此外,DDR 缓存为 FPGA 提供低延迟( $<10$  ns)的临时存储空间,确保关键数据(如触发信号)的实时存取与预处理,弥补 EMMC 接口延迟对系统实时性的影响。通过 EMMC 与 DDR 缓存的协同设计,系统在存储速度、寿命与实时性间实现平衡,为高精度数据获取装置提供了兼顾稳定性与高效能的存储架构。

在 ZYNQ 架构中,PL 端与 PS 端通过 AXI 总线实现通信与数据传输,读写操作相互独立,支持数据的双向传输。数据缓存流程如图 5 所示。当数据存储于 DDR3\_WR\_FIFO(FIFO1)时,MIG\_AXI 模块负责将 DDR3\_WR\_FIFO 中的数据写入 DDR3。当 RD\_DDR3\_FIFO 中的数据量低于设定阈值且满足成帧条件时,MIG\_AXI 模块会将 DDR3 中的数据写入 DDR3\_RD\_FIFO。

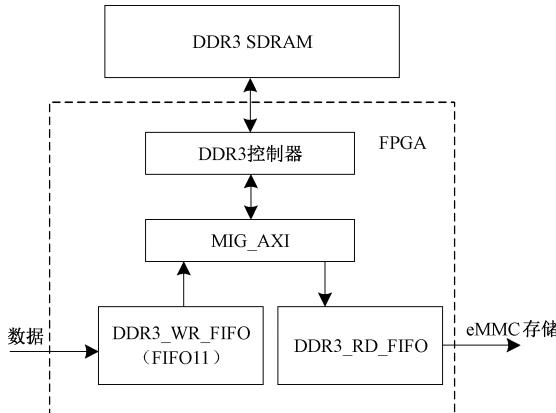


图 5 DDR3 控制模块及数据流向图

Fig. 5 DDR3 control module and data flow diagram

## 2.5 USB 通讯模块设计

相较于专用的 USB 接口芯片,USB/FIFO 桥接芯片在电路设计上更为简单,芯片配置也更加便捷。因此,本设计选用 FTDI 公司生产的 FT232HL 芯片桥接 FPGA 与上位机,进行遥测舱的参数控制及装订,并通过该接口进行存储数据的回读及擦除操作。并实现基于 USB2.0 协议的高速通信。另外,FT232HL 无需额外开发固件或修改驱动程序且配置方式灵活,使用 FTDI 公司提供的 FT\_prog 程序,可直接对 FT232HL 的工作模式进行配置。完成配置后,需通过编写上位机程序实现 USB 与上位机的数据通信,能够显著缩短软件开发周期。

上位机对 USB 设备的读写流程如图 6 所示。首先,上位机会向 USB 设备发送唤醒指令,随后重置 USB 数据缓存区,并对设备的工作状态进行设定。然后上位机发送读数据指令,若此时数据缓存区为空,则上位机读取 FPGA 的上传数据,同时对数据进行分析。最后,将分析后的数据在上位机界面中显示。

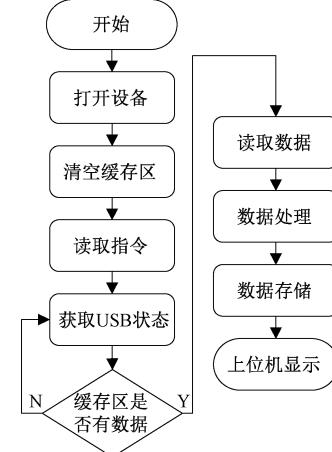


图 6 USB 设备的读写流程图

Fig. 6 Flowchart of USB device read and write process

## 3 系统验证与分析

### 3.1 数据读写速度测试与分析

在完成初始化操作后,EMMC 随即转入传输模式。处于传输模式时,EMMC 阵列可执行数据写入、读取以及擦除等操作。数据传输功能测试是阵列控制器实现的关键所在,也是测试工作的重中之重。测试过程中,采用 chipscope 在线抓图方式进行检测。

在测试流程中,数据写测试先开展,涵盖功能写数据的验证与写入速度验证两个环节。系统采用多块写模式,每次写入 16 块数据,每块数据量为 512 B。EMMC 多块写命令发送的波形图如图 7 所示。其中,tx\_cmd 表示发送的命令,rx\_r1 为接收到的响应,emmc1\_datain 是 EMMC 芯片的第一块写数据。具体过程如下:FPGA 首先发送写块数设置命令 cmd23,参数为 0x5700\_0000\_101d,设定一次写入 16 块,响应为 0x1700\_0000\_901d,表明响应正确。随后,发送多块写命令 cmd25,参数为 0x5900\_0000\_0003。经过短暂等待,接收到响应,响应值为 0x1900\_0009\_80b3,同样正确。此时设备进入数据传输状态,开始依次发送从 00 到 FF 的递增数据,emmc1\_datain 数据呈现从 00 开始的递增序列。综合分析可知,EMMC 数据写的命令发送时序与预计多块数据写操作一致,完全符合设计要求。在写速度测试中,在 FPGA 内部设置了一个 32 bit 的时钟计数器 emmc\_wrcnt,该计数器用于记录从多块写操作开始到完成一次多块写编程所用的时钟周期数。通过 chipscope 抓取一次多块写过程,包括 EMMC 编程时间,测得 emmc\_

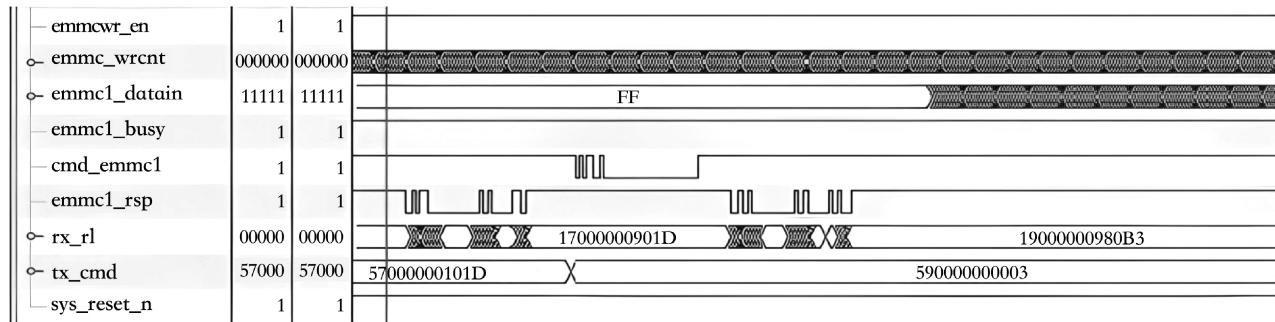


图 7 EMMC 写命令发送波形图

Fig. 7 Waveform diagram of EMMC write command transmission

wrcnt=0x26ba。EMMC 每次写入的数据量为 8 KB(每块 512 B×16 块), 写入时钟频率为 200 MHz, 每个时钟周期为 5 ns。因此, 1 s 内写入速度的计算公式为 $(8K/0x26ba) \times 2 \times 10^8 / (1024 \times 1024) \approx 157.6$  MB。所以, 单片 EMMC 数据写速度可以达到 157.6 MB/s。

在完成数据写测试后, 紧接着开展 EMMC 数据读测试, 测试流程与数据写测试相似, 同样分为读逻辑验证和速度测试两个部分。EMMC 多块读命令发送的波形图如图 8 所示。当 EMMC 的读使能信号 emmcrd\_en 有效时, 多块读命令开始发送。从图中可以观察到, 依次发送的命令为 cmd16、cmd23 和 cmd18。其中, cmd23 命令的参数为 0x5700\_0000\_101d, 与数据读过程设置的一次读取 16 块数

据的要求相匹配。经过一段时间的等待, 对应的响应为 0x1200\_0009\_8051, 表明响应正确无误。随后, emmc1\_dataout 开始输出数据, 整个过程符合设计要求。在数据读取速度测试中, 依然采用时钟计数的方法。定义了一个 32 bit 时钟计数器 emmc\_rdcnt, 用于记录从多块读命令发送开始到一次多块读完成所用的时钟周期数。在一次多块读操作中, emmc\_rdcnt 的值为 0x21e9。每次多块读的数据量为 8 KB(每块 512 B×16 块), 读取时钟频率 200 MHz, 每个时钟周期 5 ns。因此, 1 s 内的读取速度计算为:  $(8K/0x21 \times 10^9) \times 2 \times 10^8 / (1024 \times 1024) \approx 180.1$  MB。所以, 单片 EMMC 数据读速度可以达到 180.1 MB/s。

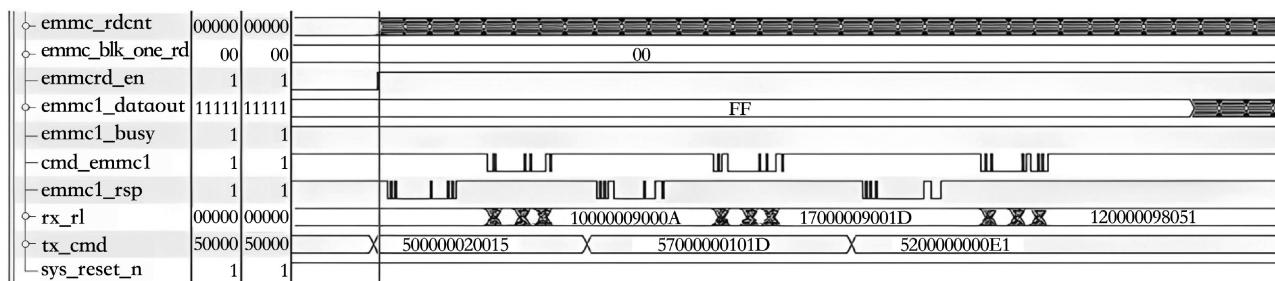


图 8 EMMC 读命令发送波形图

Fig. 8 Waveform diagram of EMMC read command transmission

本研究在进行 EMMC 读写速度测试时, 测试环境温度范围为  $-40^\circ\text{C} \sim 85^\circ\text{C}$ , 以模拟空空导弹试验中可能面临的极端温度条件。电源噪声水平控制在  $\pm 50$  mV 以内, 确保 EMMC 在稳定的电源环境下工作。通过在不同温度点和电源噪声条件下对 EMMC 进行反复测试, 验证其读写速度的稳定性和可靠性。结果如表 3 所示, 在各种环境条件下, EMMC 的写入速度均能达到 157.6 MB/s, 读取速度能达到 180.1 MB/s, 证明其能满足高速数据采集系统对存储性能的要求。

### 3.2 DDR3 缓存与存储测试

MT41J128M16HA-125 DDR3 芯片单颗容量为 2 GB(256 MB), 系统设计中采用多片 DDR3 构建缓存阵列, 总容量扩展至 1 GB。结合空空导弹试验中传感器数据突发

表 3 不同温度条件下 EMMC 的读写速度

Table 3 The read and write speeds of EMMC under different temperature conditions MB/s

温度	EMMC 写速度	EMMC 读速度
$-40^\circ\text{C}$	158.4	180.3
$-20^\circ\text{C}$	158.7	182.3
$0^\circ\text{C}$	166.3	184.7
$20^\circ\text{C}$	168.9	190.3
$40^\circ\text{C}$	164.5	183.9
$60^\circ\text{C}$	160.6	181.2
$85^\circ\text{C}$	157.6	180.1

场景(如加速度传感器采样率 1 kHz, 瞬时峰值数据量达

500 MB/s), DDR3 缓存可提供约 2 s 的突发数据缓冲时间, 覆盖典型瞬时冲击( $<1$  s)的数据洪峰, 避免 EMMC 直接写入导致的队列拥塞。

为验证 DDR3 缓存对 EMMC 写入速度波动及误码率的优化效果,本研究设计对照实验如下:实验组集成镁光 MT41J128M16HA-125 DDR3 缓存,对照组则直接由 EMMC 处理突发数据。在相同硬件环境(ZYNQ-7000 平台、电源纹波 $\leqslant 50$  mV)与数据负载(模拟加速度传感器 1 kHz 采样峰值,突发速率 500 MB/s,持续 2 s)下,通过 chipscope 抓取 EMMC 写操作时钟周期计数器,统计写入速度波动范围。实验结果如表 4 所示,实验组 EMMC 写入速度波动范围由对照组的 $\pm 15\%$ (135.2~181.3 MB/s)显著缩减至 $\pm 2.1\%$ (157.6~168.9 MB/s),标准差从 8.2 MB/s 降至 1.3 MB/s;误码率由  $10^{-7}$  优化至  $< 10^{-12}$ ,且实验组 FIFO 溢出次数为 0(对照组为 52 次)。结合镁光数据手册时序参数与 Vivado MIG 时序分析,验证了 DDR3 缓存通过平滑数据流与隔离负载,有效提升系统稳定性与抗干扰能力,满足高动态环境下的实时性需求。

表 4 有无 DDR3 时 EMMC 的写速度

**Table 4** A comparison of EMMC write speeds with and without DDR3

实验 次数	EMMC 写速度范围 (有 DDR3)	EMMC 写速度范围 (无 DDR3)
1~10	157.9~166.7	136.3~176.5
11~20	158.3~167.8	140.9~180.7
21~30	158.6~168.9	137.5~179.7
31~40	157.9~167.5	139.1~181.3
41~50	157.6~166.8	135.2~178.3

### 3.3 上位机传输测试

终端显示/控制单元具有硬件参数配置、硬件状态实时显示、数据实时记录、实时显示、事后处理、记录文件回放等功能，可以满足大部分的功能需求。上位机主界面如图 9 所示。为验证系统功能的实现以及可靠性，通过 USB 将数据传输至上位机。首先连接设备 IP，然后再通过上位机对数据的正确性进行验证。

设备连接成功后,发送数据读取命令,设定读取数据量。如图 10 所示,通过上位机读取的数据和读写时间,可以看出 00 到 FF 的递增数据,数据传输正确。对数据综合主站的数据回传速度进行验证,经计算易得传输速度为 40.78 Mb/s。

### 3.4 搭载飞行体测试

在实际环境测试时,本设计系统作为采编存储模块和另外的发射机模块一起集成在遥测舱中,如图 11 所示。遥测舱安装在试验飞行体上,随其高速飞行、减速回收。由于其减速时瞬时冲击过载  $\geq 3\,000\text{ g}$ ,为提高生存能力,

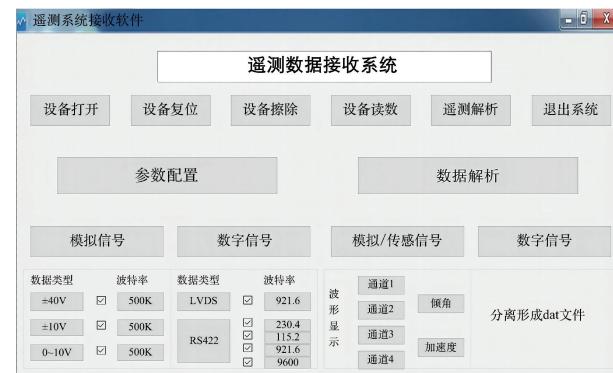


图 9 上位机界面

职工医疗保险单位机读数据表												系统时间:		2025年01月04日 09:57分12秒		
												即时时间:		9:56:08		
												设置		设定 取消定时 读时间参数		
												记录仪时间:				
00063d48h: F8	90	91	92	93	94	95	96	97	98	99	9A	9B	9C	9D		
00063d49h: 9E	9F	A0	A1	A2	A3	A4	A5	A6	A7	A8	A9	AAB	AC			
00063d4dh: AD	AE	AF	B0	B1	B2	B3	B4	B5	B6	B7	B8	B9	BA	BB		
00063d4bh: BC	BD	BF	BE	C0	C1	C2	C3	C4	C5	C6	C7	C8	C9	CA		
00063d4ch: CC	CD	CE	CF	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9			
00063d4dh: DA	DB	DC	DD	DE	DF	E0	E1	E2	E3	E4	E5	E6	E7	E8		
00063d48h: E9	EA	EB	EC	ED	EE	FF	F0	F1	F2	F3	F4	F5	F6	F7		
00063d48h: F8	F9	FA	FB	FC	FD	FE	FF	00	01	02	03	04	05	06		
00063e07h: 07	08	09	0A	0B	0C	0D	0E	0F	10	11	12	13	14	15		
00063e06h: 16	17	18	19	1A	1B	1C	1D	1E	1F	20	21	22	23	24		
00063e25h: 25	26	27	28	29	2A	2B	2C	2D	2E	2F	30	31	32	33		
00063e34h: 34	35	36	37	38	39	3A	3B	3C	3D	3E	3F	40	41	42		
00063e34h: 43	44	45	46	47	48	49	4A	4B	4C	4D	4E	4F	4G	4H		
00063e34h: 53	54	55	56	57	58	59	5A	5B	5C	5D	5E	5F	5G	5H		
00063e34h: 65	66	67	68	69	6A	6B	6C	6D	6E	6F	6G	6H	6I	6J		
00063e70h: 70	71	72	73	74	75	76	77	78	79	7A	7B	7C	7D	7E		
00063e77h: 7F	TF	81	82	83	84	85	86	87	88	89	8A	8B	8C	8D		
00063e38h: SE	8E	8F	90	91	92	93	94	95	96	97	98	99	9A	9B	9C	
00063e9dh: 9D	9E	9F	A0	A1	A2	A3	A4	A5	A6	A7	A8	A9	AAB	AC		
00063e3ach: AC	AD	AE	AF	B0	B1	B2	B3	B4	B5	B6	B7	B8	B9	BA		
00063eb8h: BB	BC	BD	BF	C0	C1	C2	C3	C4	C5	C6	C7	C8	C9	CA		
00063e3cch: CA	CB	CC	CD	CE	CF	D0	D1	D2	D3	D4	D5	D6	D7	D8		
00063d49h: D9	DA	DB	DC	DD	DE	DF	E0	E1	E2	E3	E4	E5	E6	E7		

图 10 上位机数据测试  
Fig. 10 Upper-computer data testing

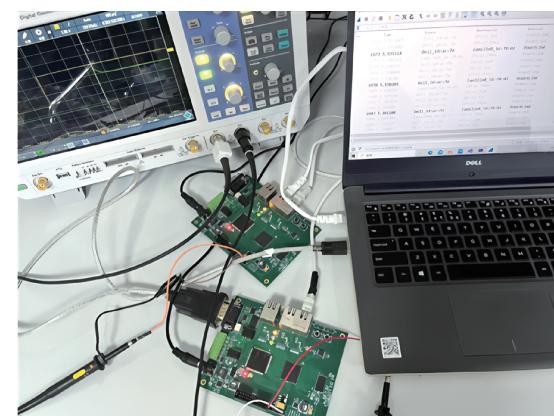


图 11 实时数据采集系统

Fig. 11 Real-time data acquisition system

需微型化设计,减少元器件,选用抗高冲击元器件,同时采用抗高过载结构及缓冲防护与灌封工艺。根据遥测发射机等要求及模块可更换性,遥测舱设计又采用分腔三层结构,分层存放采编存储、发射机和供电模块。模型图如图 12 所示。

通过对实际情况下的飞行状态进行测试,如图 13 所示,是由 EMMC 存储器中存储的各种飞行数据绘制的波形图。其中,图 13(a)反映了在系统刚开始上电,试验飞行体未发生移动的情况下,数据综合主站的工作状态保持稳

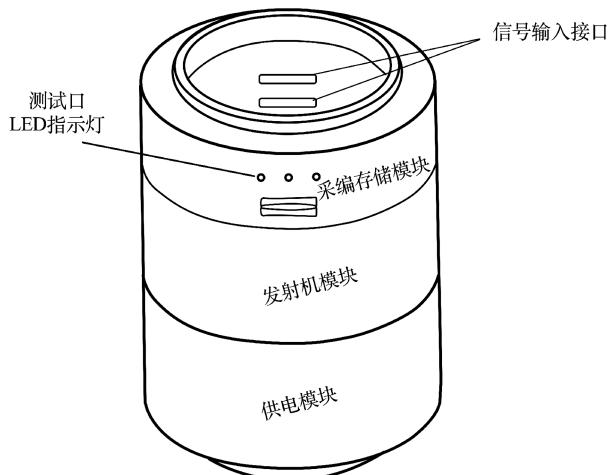


图 12 遥测舱结构图

Fig. 12 Telemetry pod structure diagram

定。图 13(b)中,所有通道的波形均产生变化,证明存储器中各项数据均被分离。另外,通过上位机的选取,可以实现各项数据的单独分析,如图 14 所示。图 14(a)为 AD 采集的数据,图 14(b)为单独分离的加速度传感器采集的数据,通过分析所采集的数据,能够了解被试飞行器在飞行过程中的各种状态参数。

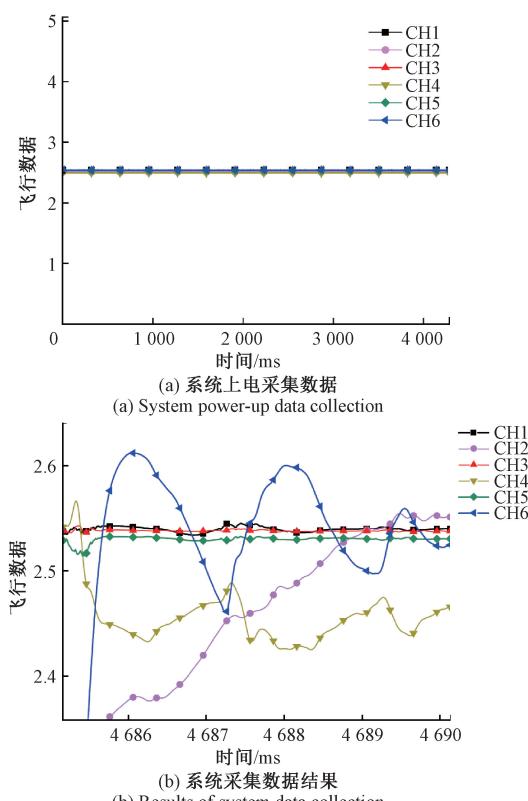


图 13 系统上电初期与飞行中的数据对比

Fig. 13 Comparison of system data between initial power-on and during flight

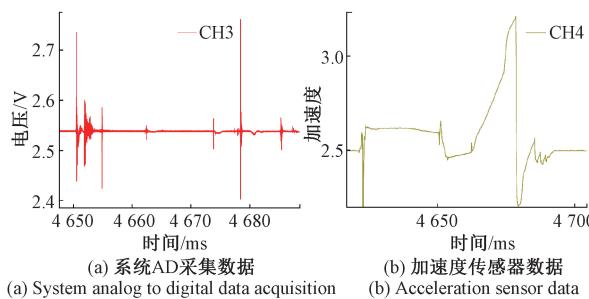


图 14 部分分离数据

Fig. 14 Partially separated data

## 4 结 论

本研究成功设计了一种基于 ZYNQ 的抗干扰实时数据获取系统,旨在满足空空导弹在恶劣环境下对多通道、高速、大容量数据采集存储的需求。系统以 64 GB EMMC 为存储介质,结合硬件设计、协议配置与系统优化,实现 HS200 模式的高速存储,并引入 DDR3 缓存解决 EMMC 延迟与突发数据处理问题,确保数据的快速、稳定存储。采用 FT232HL 芯片实现 FPGA 与上位机的高速通信。测试结果表明,单片 EMMC 写速度达到 157.6 MB/s,读速度达到 180.1 MB/s,USB 传输速度为 40.78 Mb/s。搭载飞行测试进一步证明,系统在高速飞行、减速回收等恶劣环境下能够稳定工作,数据存储正确且可有效分离,为了解被试飞行器飞行过程中的各种状态参数提供可靠支持。

## 参考文献

- [1] 苏欢敏,沈小波. 基于 FPGA + EMMC 的机载记录装置设计[J]. 电子质量,2022(8):45-48.
- [2] GOU H M, SHEN X B. Design of airborne recorder based on FPGA + EMMC [J]. Electronic Quality, 2022(8): 45-48.
- [3] 毕荣,崔建峰,李磊,等. 基于 EMMC 的车载振动测试嵌入式循环存储技术[J]. 国外电子测量技术,2023, 42(10):113-119.
- [4] BI R, CUI J F, LI L, et al. Embedded cyclic storage technology for on-board vibration test based on EMMC[J]. Foreign Electronic Measurement Technology, 2023, 42(10): 113-119.
- [5] 叶聪相,章增优. 基于 EMMC 阵列的高速大容量数据的存储设计[J]. 计算机测量与控制,2021, 29(10): 181-186.
- [6] YE C X, ZHANG Z Y. Storage design of high-speed and large-capacity data based on EMMC array [J]. Computer Measurement & Control, 2021, 29(10): 181-186.
- [7] RONG G W, LIU Y L, WANG B K, et al. Design of ZYNQ-based airborne flight data acquisition unit[C]. ICSMD 2024-5th International Conference on Sensing, Measurement and Data Analytics in the Era of

- Artificial Intelligence, 2024.
- [5] 罗义军,吴泽琨,杨凡.一种基于AD9467的数据采集系统[J].仪表技术与传感器,2022(5):71-76.
- LUO Y J, WU Z K, YANG F. Data acquisition system based on AD9467 [J]. Instrumentation Technology & Sensor, 2022(5): 71-76.
- [6] 刘静军,贺小军,王鹏,等.星载多模式和多通道图像采集与处理[J].电子测量技术,2023,46(20):30-35.
- LIU J J, HE X J, WANG P, et al. On-board multi-mode and multi-channel image acquisition and processing[J]. Electronic Measurement Technology, 2023, 46(20): 30-35.
- [7] 陈威威,徐会员,王峰.基于STM32和USB的多功能数据采集[J].电子测量技术,2024,47(23):104-113.
- CHEN W W, XU H Y, WANG F. Multi-functional data acquisition based on STM32 and USB [J]. Electronic Measurement Technology, 2024, 47(23): 104-113.
- [8] 康建洲,薛伟钊,赵喆,等.高速大容量EMMC的数据读取与缓存系统设计[J].单片机与嵌入式系统应用,2023,23(10):65-68,73.
- KANG J ZH, XUE W ZH, ZHAO ZH, et al. Design of high-speed and large-capacity EMMC data reading and caching system[J]. MCU & Embedded System Application, 2023, 23(10): 65-68,73.
- [9] 郭威,彭卫东,漆军,等.基于FPGA的大动态范围数据采集系统设计[J].仪表技术与传感器,2024(2):56-64.
- GUO W, PENG W D, QI J, et al. Design of high-dynamic-range data acquisition system based on FPGA[J]. Instrumentation Technology & Sensor, 2024 (2): 56-64.
- [10] 林师远,李文慧,孙双花,等.基于FPGA的高速动态测量数据采集系统[J].电子测量技术,2023,46(15):32-37.
- LIN SH Y, LI W H, SUN SH H, et al. High-speed dynamic measurement data acquisition system based on FPGA[J]. Electronic Measurement Technology, 2023, 46(15): 32-37.
- [11] 王洋,张会新,闫文璇,等.EMMC高速阵列双备份智能存储系统[J].单片机与嵌入式系统应用,2023,23(11):45-48,58.
- WANG Y, ZHANG H X, YAN W X, et al. EMMC high-speed array dual-backup intelligent storage system[J]. MCU & Embedded System Application, 2023, 23(11): 45-48,58.
- [12] ANGADI P R, SATWIKA S, SHREYA E, et al. Design and simulation of data acquisition system using ethernet for Zynq 7000 soc FPGA [C]. 16th International Conference on Electronics, Computers and Artificial Intelligence, 2024.
- [13] 李金强.基于EMMC的弹载高速多参数采集存储系统设计[D].太原:中北大学,2020.
- LI J Q. Design of on-board high-speed multi-parameter acquisition and storage system based on EMMC [D]. Taiyuan: North University of China,2020.
- [14] 虞亚君,王小龙,邵春伟,等.一种基于FPGA的EMMC寿命验证的方法[J].电子技术应用,2024,50(2):107-110.
- YU Y J, WANG X L, SHAO CH W, et al. A method for EMMC life verification based on FPGA[J]. Application of Electronic Technology, 2024, 50(2): 107-110.
- [15] 朱忠峻,胡定华,李强,等.基于FPGA环形振荡电路的温度测量优化[J].电子测量与仪器学报,39(3):102-114.
- ZHU ZH J, HU D H, LI Q, et al. Optimization of temperature measurement based on FPGA ring oscillator circuit[J]. Journal of Electronic Measurement and Instrumentation, 2025, 39(3): 102-114.
- [16] 李国富,尚世杰,李海涛.基于国产ZYNQ的裸机双核设计[J].舰船电子对抗,2024,47(2):112-116.
- LI G F, SHANG SH J, LI H T. Bare-metal dual-core design based on domestic ZYNQ [J]. Shipborne Electronic Countermeasures, 2024,47(2): 112-116.
- [17] 李承阳,田书林,杨扩军,等.高速数据采集系统中基于EMD的异常信号捕获方法研究[J].仪器仪表学报,45(12):98-106.
- LI CH Y, TIAN SH L, YANG K J, et al. Research on abnormal signal capture method based on emd in high-speed data acquisition system [J]. Chinese Journal of Scientific Instrument, 2024, 45 ( 12 ): 98-106.
- [18] 宋壮壮,马游春,郭鑫,等.基于ZYNQ的EMMC雷达数据存储系统设计[J].自动化与仪表,2024,39(3):126-130.
- SONG ZH ZH, MA Y CH, GUO X, et al. Design of EMMC radar data storage system based on ZYNQ[J]. Automation & Instrumentation, 2024, 39 ( 3 ): 126-130.
- [19] 赵瑜婕,李杰,张德彪,等.基于JESD204B的数据采集存储系统的设计[J].自动化与仪表,2025,40(1):132-136.
- ZHAO Y J, LI J, ZHANG D B, et al. Design of data acquisition and storage system based on JESD204B[J]. Automation & Instrumentation, 2025, 40 ( 1 ): 132-136.

## 作者简介

田毅隆,硕士研究生,主要研究方向为FPGA数据采集存储和信号处理。

E-mail:1632219368@qq.com

马游春(通信作者),博士,副教授,主要研究方向为光纤光栅传感系统、电子测试仪器与系统。

E-mail:1986946085@qq.com