

宽带 Farrow 架构分数时延滤波器优化设计及实现^{*}

叶霞美 李鹏 冯姣 张治中 郭晓旭

(南京信息工程大学电子与信息工程学院 南京 210044)

摘要: 可分数时延滤波器因其能够实现任意分数时延变换而广泛应用于时延补偿技术领域。然而,由于其滤波器系数求解复杂度高,适应性差,在工程中应用严重受限。针对这一挑战,本文提出了一种低计算复杂度条件下,通过调节滤波器参数灵活改变分数时延滤波器性能的方法,并完成了 FPGA 仿真验证。该方法通过调整窗函数的宽度因子来精确控制窗形状,进而优化不同阶数下滤波器的时频特性,提供了比传统方法更精确的频率选择能力。此外,本文采用正交三角分解最小二乘矩阵方法求解滤波器系数,所设计的滤波器在保证群延时精度的条件下,仅需要一次矩阵求逆,有效避免了偏导数和二重积分等复杂数学运算。仿真结果表明,本文提出的方法在保持同等延迟精度条件下,与现有方法相比,计算复杂度降低了一个数量级,最大幅度误差达到 -104 dB,最大群延时误差达到 2.34×10^{-4} 。FPGA 验证结果表明,该设计方法硬件计算资源消耗低,极大提高了 Farrow 滤波器的设计效率。

关键词: 可分数时延;高斯窗函数;Farrow 架构;FPGA

中图分类号: TN98 **文献标识码:** A **国家标准学科分类代码:** 510.40

Optimized design and implementation of fractional delay filter for broadband Farrow architecture

Ye Xiamei Li Peng Feng Jiao Zhang Zhizhong Guo Xiaoxu

(School of Electronic and Information Engineering, Nanjing University of Information Science and Technology, Nanjing 210044, China)

Abstract: Variable fractional delay filters are widely used in delay compensation technologies due to their ability to achieve arbitrary fractional delay transformations. However, due to the high complexity of solving its filter coefficients and poor adaptability, its application in engineering is severely limited. To address this challenge, this paper proposes a method to flexibly change the performance of fractional time-delay filters by adjusting the filter parameters under the condition of low computational complexity, and completes the FPGA simulation verification. The method precisely controls the window shape by adjusting the width factor of the window function, thereby optimizing the time-frequency characteristics of the filter at different orders and providing more accurate frequency selectivity compared to traditional methods. In addition, this paper adopts the orthogonal triangular decomposition least squares matrix method to solve the filter coefficients, and the designed filter requires only one matrix inverse under the condition of guaranteeing the accuracy of group delay, which effectively avoids the complex mathematical operations such as partial derivatives and double integration. Simulation results show that the method proposed in this paper reduces the computational complexity by one order of magnitude compared with the existing methods under the condition of maintaining the same delay accuracy, with the maximum magnitude error reaching -104 dB and the maximum group delay error reaching 2.34×10^{-4} . FPGA verification results show that the design method has low hardware computational resource consumption, greatly improving the efficiency of the design of the Farrow filter.

Keywords: variable fractional delay; Gaussian window function; Farrow architecture; FPGA

0 引言

随着 5G 技术的逐步成熟,新兴技术和应用场景的涌

现对无线设备的测试提出了新的挑战。无线信道仿真器可以在实验室环境下模拟外场的测试环境,成为无线通信设备测试的主要手段。由于 5G 通信超高频特性对信号时延

分辨率提出更高要求,对信道仿真器模拟精度要求也越来越高,而信道模型的施加和计算任务通常在数字基带内实现,其时钟分辨率是有限的,需要借助 Farrow 架构滤波器实现高精度的可变分数时延(variable fractional delay, VFD)^[1-2]。然而,基于 Farrow 架构的 VFD 滤波器系数求解算法复杂性高,适用性差,一直阻碍其工程应用。现有 Farrow 架构可变分数时延滤波器系数设计方法主要分为两大类:基于时域插值和基于频域优化。基于时域插值的方法有:拉格朗日(Lagrange)插值法^[3]、样条插值法^[4]。拉格朗日插值法因其计算简便,应用广泛,然而涉及高频信号处理时,其设计的滤波器性能急剧下降,难以保证整个通带内幅频的稳定性。样条插值法在考虑幅频特性和计算复杂度时具有一定优势,但只适用于低、中截止频率,当截止频率增加时,群时延误差显著增加。基于频域优化的方法有:加权最小二乘法(weighted least squares, WLS)^[5-8]、极值法^[9]、基于数学优化模型的迭代算法^[10-12]和最小二乘法(least squares, LS)^[13]。基于频域优化方法都是通过构建目标函数并优化误差平方和,以提升滤波器的幅频性能。加权最小二乘法和极值法需要在设计过程中进行较多的矩阵反演和积分运算,并且 WLS 法权重参数的调整过程较为复杂,加剧了滤波器系数数值计算的不稳定^[14]。基于数学优化模型的迭代算法中具有代表性的有:共轭梯度法、凸优化算法,此类方法有效解决了前两种优化算法计算量大、权值调整过程复杂问题。其中凸优化算法使用的线性优化法,以频率响应误差函数为目标函数,建立线性模型,优化求解滤波器系数。该方法可以在维持频率响应误差的同时,群时延精度提高 100 倍,但设计中没有考虑滤波器不同情况下的时频特性,且模型建立复杂,迭代次数和收敛性在不同工况下不能得到保证^[15-17]。一般最小二乘法在计算子滤波器系数时,以多项式系数为变量,构建误差目标函数并进行优化,设计的滤波器在通带内存在波纹以及出现截止带宽附近频率恶化^[18-19],虽然随着滤波器阶数的增加,通带的宽度会缓慢增加,波纹也会逐渐减少,但计算资源也大幅增加^[20-22]。因此,上述滤波器设计方法在设计过程中缺乏灵活调整滤波器性能来适应不同信号。

针对上述问题,本文提出一种低复杂度、高灵活性的 VFD 滤波器设计方法。首先,本文在进行最小二乘优化之前构建了一个分数时延矩阵,继而使用最小二乘法对目标函数进行优化求解,最后通过多项式拟合求得子滤波器系数。在设计分数时延滤波器的过程中,本文通过选用和计算可调窗函数的参数,兼顾了 VFD 滤波器在不同阶数下主瓣宽度和旁瓣抑制的平衡,设计目标是在不增加滤波器阶数的情况下,保持信号在低频和高频下的幅度相位的平坦性。这种设计策略不仅提高了滤波器的设计精度,还避免了因 VFD 滤波器阶数增加而导致的计算复杂度上升。此外,所提出的方法仅使用一次积分求解,而常用的闭型最小二乘需要多次二重积分才能求解。

综上,本文的主要创新与优势具有以下特点:

1)降低高阶滤波器计算复杂度:提出采用多项式最小二乘拟合求解,避免大量矩阵求解以及二重积分运算,只需要一次矩阵求逆,并且系数不随时延 d 改变,便于存储读取。

2)保持低阶滤波器通带性能:提出采用参数可调窗函数预先设计系数矩阵,通过改变参数因子,在不增加阶数条件下,减少了通带波纹。

3)算法误差对比与硬件仿真验证:通过仿真分析了 VFD 滤波器的幅频和相频误差,分别与常用设计方法加权最小二乘法^[3]和最新提出的设计方法线性规划法^[12]进行比较,重点分析了设计方法的幅频响应误差以及群延迟误差。仿真结果表明,在保持同等群延迟精度的条件下,本文所提出的方法具有较低计算复杂度。进一步地,在 FPGA 平台仿真验证,该设计方法硬件计算资源消耗低,有效提高了 Farrow 架构设计效率,满足工程实际要求。

1 分数时延滤波器数学模型

理想的可变分数时延滤波器的频率响应为:

$$H_{id}(\omega) = e^{j\omega d} \quad (1)$$

式中: $\omega \in [0, b\pi]$ 表示归一化角频率, $b \in [0, 1]$ 表示通带范围, d 为分数时延, $d \in [-0.5, 0.5]$ 。为了逼近理想分数时延滤波器,选择的滤波器的频率响应由 N 阶有限脉冲响应表示:

$$H(\omega) = \sum_{n=0}^N h_n e^{-j\omega n} \quad (2)$$

式中: h_n 为滤波器系数, $n=0, 1, \dots, N$, N 为滤波器阶数。在不同的时延情况下,式(2)中的滤波器系数 h_n 可以利用如下 R 阶多项式进行拟合:

$$h_n(d) = \sum_{r=0}^R c(n, r) d^r \quad (3)$$

式中: $h_n(d)$ 是以时延 d 为自变量的函数式, $c(n, r)$ 表示多项式系数,将式(3)代入式(2)即得到 VFD 滤波器频率响应式(4)。

$$H_1(\omega, d) = \sum_{r=0}^R G(\omega, r) d^r \quad (4)$$

$$G(\omega, r) = \sum_{n=0}^N c(n, r) e^{-j\omega n} \quad (5)$$

式(4)可以用如图 1 所示的 Farrow 架构表示,频率响应由分数时延量 d 的幂次加权乘 $R+1$ 阶子滤波器,其系数 $G(\omega, r)$ 与时延量 d 无关。为了便于计算,进一步改写式(4)为:

$$H_1(\omega, d) = \mathbf{e}^T \mathbf{C} \mathbf{d} \quad (6)$$

式中:离散傅里叶变换因子矩阵 $\mathbf{e} = [1, e^{-j\omega}, \dots, e^{-j\omega N}]^T$, $\mathbf{C}$ 代表 Farrow 架构系数矩阵。系数矩阵 $\mathbf{C}$ 和分数时延矩阵 $\mathbf{d}$ 表示如下:

$$\mathbf{d} = [1, d, \dots, d^R]^T \quad (7)$$

$$C = \begin{bmatrix} c(0,0) & c(0,1) & \cdots & c(0,R) \\ c(1,0) & c(1,1) & \cdots & c(1,R) \\ \vdots & \vdots & \ddots & \vdots \\ c(N,0) & c(N,1) & \cdots & c(N,R) \end{bmatrix} \quad (8)$$

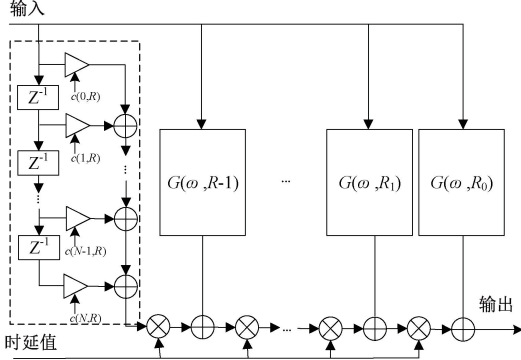


图 1 Farrow 架构

Fig. 1 Farrow architecture

在现有研究中,加权最小二乘法和迭代优化算法在计算滤波器系数时,通常依赖于对权重因子的优化和调整。然而,这些方法往往需要依赖于经验参数的选择,这不仅增加了计算分数时延滤波器系数的复杂性,还可能导致性能上的不稳定^[23-25]。为了克服这一挑战,本文提出了一种结合加窗函数和最小二乘优化设计的方法来设计分数时延滤波器。该方法不仅保证了分数时延滤波器的精度,还具有计算量小和原理简单的优势。

2 窗函数设计 Farrow 架构分数时延滤波器

2.1 Farrow 架构子滤波器系数求解

本文采用加窗函数法预先设计分数时延滤波器系数矩阵,用窗函数设计线性相位滤波器脉冲响应表达式为:

$$h_n(n) = h_{id}(n) \cdot w(n), 0 \leq n \leq n-1 \quad (9)$$

式中: $h_{id}(n)$ 是理想脉冲响应。

$$h_{id}(n) = \begin{cases} \frac{\sin[\omega_c(n-d)]}{\pi(n-d)}, & n \neq d \\ \frac{\omega_c}{\pi}, & n = d \end{cases} \quad (10)$$

式中: $h_{id}(n)$ 只有在采样点 n 取整数时延值 d 时,表达式不为 0,采样点 n 取非整数时延值时,理想脉冲响应为无限长非因果的 sinc 函数。

$w(n)$ 为高斯窗函数:

$$w(n) = e^{-\frac{1}{2}(\frac{n}{(L-1)/2})^2} = e^{-n^2/2\sigma^2} \quad (11)$$

式中: σ 为窗函数宽度因子, $-(L-1)/2 \leq n \leq (L-1)/2$, L 为窗函数的长度, $L = N+1$ 。

窗函数设计不同时延下的滤波器,可以视为滤波器的线性相位不变,而群延迟发生改变,通过将 $h_n(n)$ 进行移位可得 $h_d(n)$:

$$h_d(n) = h_{id}(n-d) \cdot w(n-d), 0 \leq n \leq N-1 \quad (12)$$

将不同分数时延量 d 带入式 (12),可得多个分数时延量组合的矩阵:

$$\begin{bmatrix} h_{d_1} \\ h_{d_2} \\ \vdots \\ h_{d_k} \end{bmatrix} = \begin{bmatrix} h_{d_1}(0) & h_{d_1}(1) & \cdots & h_{d_1}(N-1) \\ h_{d_2}(0) & h_{d_2}(1) & \cdots & h_{d_2}(N-1) \\ \vdots & \vdots & \ddots & \vdots \\ h_{d_k}(0) & h_{d_k}(1) & \cdots & h_{d_k}(N-1) \end{bmatrix} \quad (13)$$

式中: h_{d_1} 表示时延值为 d_1 的滤波器系数。结合式 (3)、(13) 对系数矩阵进行表示,得出子滤波器系数表达式:

$$\begin{bmatrix} h_{d_1} \\ h_{d_2} \\ \vdots \\ h_{d_k} \end{bmatrix} = \begin{bmatrix} d_1 & d_1^2 & \cdots & d_1^L \\ d_2 & d_2^2 & \cdots & d_2^L \\ \vdots & \vdots & \ddots & \vdots \\ d_k & d_k^2 & \cdots & d_k^L \end{bmatrix} \begin{bmatrix} c_{11} & c_{12} & \cdots & c_{1N} \\ c_{21} & c_{22} & \cdots & c_{2N} \\ \vdots & \vdots & \ddots & \vdots \\ c_{k1} & c_{k2} & \cdots & c_{kN} \end{bmatrix} \quad (14)$$

接下来通过误差函数表达式对滤波器系数进行求解,误差函数表示为实际滤波器和理想滤波器频域响应之差。计算方式如下:

通过最小二乘对误差函数乘一个非负加权函数并在频带内求积分可得:

$$J = \frac{1}{\pi} \int_0^{b\pi} Q(\omega) |H(\omega) - H_{id}(\omega)|^2 d\omega \quad (15)$$

其中,为了系数计算简便,令 $Q(\omega) = 1$,对误差函数求通带 $[0, b\pi]$ 内的最小值。

将式(1)用矩阵改写为式 (16):

$$H(\omega) = \mathbf{h}^T \mathbf{e} \quad (16)$$

式中:系数矩阵 $\mathbf{h} = [h(0), h(1), \cdots, h(N)]^T$, 离散傅里叶变换因子矩阵 $\mathbf{e} = [1, e^{-j\omega}, \cdots, e^{-j\omega N}]^T$ 。最小二乘误差函数可进一步表示为:

$$J = \frac{1}{\pi} \int_0^{b\pi} Q(\omega) [\mathbf{h}^T \mathbf{e} - H_{id}(\omega)] [\mathbf{h}^T \mathbf{e} - H_{id}(\omega)]^* d\omega = \mathbf{h}^T \mathbf{P}_1 \mathbf{h} - 2\mathbf{h}^T \mathbf{p}_1 + p_0 \quad (17)$$

式中: $(\cdot)^*$ 表示共轭运算。 $\mathbf{P}_1$ 、 $\mathbf{p}_1$ 、 p_0 为计算滤波器系数相关矩阵,表达式为:

$$\mathbf{P}_1 = \frac{1}{\pi} \int_0^{b\pi} \mathbf{C}_1 d\omega \quad (18)$$

$$\mathbf{p}_1 = \frac{1}{\pi} \int_0^{b\pi} \{\text{Re}[H_{id}(\omega)] \mathbf{c}_1 - \text{Im}[H_{id}(\omega)] \mathbf{s}_1\} d\omega \quad (19)$$

$$\mathbf{P}_0 = \frac{1}{\pi} \int_0^{b\pi} |H_{id}(\omega)|^2 d\omega \quad (20)$$

式中:矩阵 $\mathbf{P}_1$ 由余弦函数矩阵 $\mathbf{C}_1$ 计算得到, $\mathbf{p}_1$ 和 $\mathbf{p}_0$ 中 $\text{Re}(\cdot)$ 是取实部运算, $\text{Im}(\cdot)$ 是取虚部运算, $\mathbf{c}_1$ 、 $\mathbf{s}_1$ 分别是实际滤波器系数的实部向量和虚部向量:

$$\mathbf{C}_1 = \begin{bmatrix} 1 & \cos\omega & \cdots & \cos(N\omega) \\ \cos\omega & 1 & \cdots & \cos((N-1)\omega) \\ \vdots & \vdots & \ddots & \vdots \\ \cos(N\omega) & \cos((N-1)\omega) & \cdots & 1 \end{bmatrix} \quad (21)$$

$$\mathbf{c}_1 = [1, \cos\omega, \dots, \cos(N\omega)] \quad (22)$$

$$\mathbf{s}_1 = [0, \sin\omega, \dots, \sin(N\omega)] \quad (23)$$

为求得 J 最小值, J 对 h 求梯度得到:

$$\mathbf{P}_1 \mathbf{h} - \mathbf{p}_1 = 0 \quad (24)$$

再对上式移项求逆,只需要一次求逆运算就可以求得滤波器系数 h :

$$\mathbf{h} = \mathbf{P}_1^{-1} \mathbf{p}_1 \quad (25)$$

通过上式推导,滤波器系数 h 求解只需要求得矩阵

$\mathbf{P}_1, \mathbf{p}_1$:

$$\mathbf{P}_1 = \text{Toeplitz}(\mathbf{c}_i) \quad (26)$$

$$\mathbf{c}_i = \left[b, \frac{\sin(b\pi)}{\pi}, \frac{\sin(b2\pi)}{2\pi}, \dots, \frac{\sin(bN\pi)}{N\pi} \right]^T \quad (27)$$

$$\mathbf{p}_1 = \left[\frac{\sin(bD\pi)}{D\pi}, \frac{\sin(b(1-D)\pi)}{(1-D)\pi}, \frac{\sin(b(2-D)\pi)}{(2-D)\pi}, \dots, \frac{\sin(b(N-D)\pi)}{(N-D)\pi} \right]^T \quad (28)$$

式中: $\mathbf{P}_1$ 通过对 $\mathbf{c}_i$ 求 Toeplitz 矩阵, $\mathbf{p}_1$ 矩阵由时延 $D = d + \text{floor}(N/2)$ 的正弦函数组成。

将计算得到的滤波器系数进行多项式拟合:

$$\mathbf{P}\mathbf{C}^T = \mathbf{H} \quad (29)$$

式中: $\mathbf{P}$ 表示多项式时延量矩阵, $\mathbf{C}$ 为不同时延量对应的多项式时延系数矩阵。为了防止矩阵 $\mathbf{P}$ 在求逆运算中病态矩阵的出现,进行正交三角分解,分解为一个上三角矩阵 $\mathbf{Q}$ 和一个正交矩阵 $\mathbf{C}$ 的乘积:

$$\mathbf{Q}\mathbf{R}\mathbf{C}^T = \mathbf{H} \quad (30)$$

进一步变换求得 Farrow 架构滤波器系数矩阵 $\mathbf{C}$:

$$\mathbf{C} = \mathbf{H}^T \mathbf{Q}\mathbf{R}^H \quad (31)$$

2.2 可调参数窗函数参数设计

通过上述方法设计分数时延滤波器时,式(9)表明可以通过调节窗函数 $w(n)$ 来改变 $h_n(n)$ 。窗函数也可以决定理想滤波器与实际滤波器之间的差值,并调节所设计滤波器的频率分辨率,使滤波器在不增加阶数条件下具有较为平坦的幅频和相频特性。

不同的窗函数具有不同的截断效果,以典型的汉宁(Hanning)窗、凯泽(Kaiser)窗为例,与高斯(Gauss)窗进行对比。其中 Kaiser 窗 β 参数、Gauss 窗 σ 参数选用默认参数值 0.5、2.5。如图 2 所示,同等阶数下由于 Hanning 窗在截断时主瓣陡峭,旁瓣衰减小,截止带宽最小,难以保证高频信号下通带的稳定性。相比之下,Kaiser 窗具有可调参数,能够调整通带和阻带的衰减,展现出更强的适应性。然而,这种调整是以牺牲频域中的通带宽度为代价的。而高斯窗则在保证通带宽度的同时,调整时频域的分辨率,以适应不同频率的信号特性。因此,本文选用了具有频域平滑特性的高斯窗函数,通过调整参数来平衡时频域的频率分辨率。这样不仅能够宽带条件下有效减少频率泄漏,还能适应高动态范围的要求。这种选择使得滤波器设计在保持性能稳定性的同时,也能够应对更广泛的应用场景。

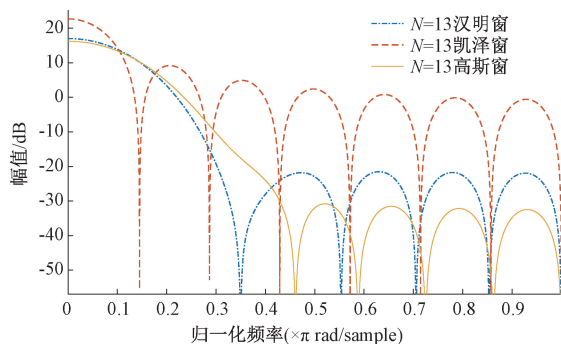


图 2 $N=13$ 汉明窗、凯泽窗、高斯窗幅频特性对比

Fig. 2 Comparison of amplitude-frequency characteristics of $N=13$ Hamming window, Kaiser window and Gaussian window

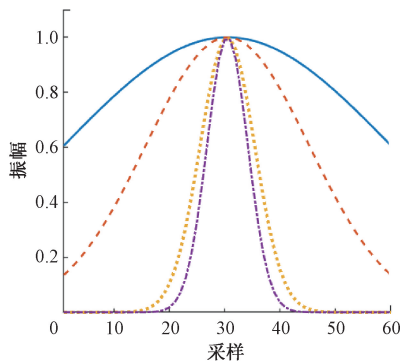
高斯窗函数在时域的表达式为:

$$w(n) = e^{-\frac{1}{2}(\frac{n}{(L-1)/2})^2} = e^{-n^2/2\sigma^2} \quad (32)$$

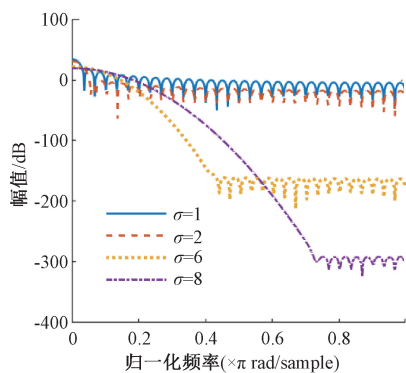
其中, σ 也是高斯随机变量的标准差,参数 α 与 σ 成反比,对应关系为 $\sigma = (L-1)/2\alpha$ 。高斯窗基于高斯函数,具有可调的标准差参数。

从式(32)可以看出,窗的宽度决定窗平滑程度,由 σ 参数表征, σ 越大高斯滤波器的频带越宽,平滑程度越好。

高斯窗函数参数调节过程如图 3 所示,当窗长度 L 取 60、宽度因子 σ 分别取 1、2、6、8 时,频域图中主瓣宽度随宽



(a) 时域
(a) Time domain



(b) 频域
(b) Frequency domain

图 3 窗长度 $L=60$, 宽度因子 $\sigma=1, 2, 6, 8$

Fig. 3 Window length $L=60$, width factor $\sigma=1, 2, 6, 8$

度因子增加而增加,使得通过信号频率分辨率降低,即可以更好的捕捉到信号的低频内容。当宽度因子减小时,主瓣越窄,时域图中旁瓣衰减越快,窄的主瓣可以提供较高的频率分辨率,可以精确区分紧邻频率分量,旁瓣的快速衰减则可以降低信号间干扰,适用于区分高频信号分量。

因此根据高斯窗的特征设计滤波器时,针对低频信号,可以提高 σ 以降低频带内频谱泄露,从而使得滤波器获得平坦的幅频响应以及相频响应;针对高频信号,可以降低 σ 来获得较高的频率分辨率,以使得滤波器幅度和群延时误差较低。

3 仿真结果

仿真中设计滤波器通带宽度 $b=[0,0.9]$,由于滤波系数具有对称性,设置时延范围 $d \in [0,0.5]$,步进为 0.1,采用 13 阶滤波器,5 阶多项式拟合。首先对只采用最小二乘法 (LS) 设计 Farrow 架构可变分数时延滤波器系数的方法,进行幅频响应特性和群延迟特性仿真。图 4、5 给出了对应仿真结果,可以看出实际幅频响应曲线存在波动,距离理想幅频特性 1 的直线,有 0.03 左右的波纹,越靠近截止频率波纹越大,并且群延时特性曲线也存在一定的波动。因此,仅使用最小二乘法计算 Farrow 架构滤波器在通带内具有一定波纹。

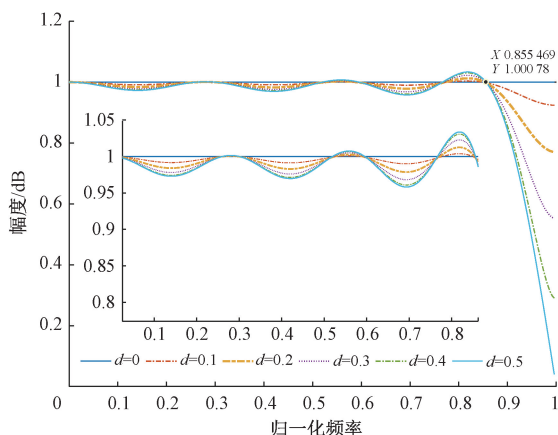


图 4 $N=13$ LS 设计 Farrow 滤波器幅频响应

Fig. 4 Amplitude-frequency response of Farrow filter for $N=13$ LS design

本文方法是在上述最小二乘法计算 Farrow 架构基础上预先使用加窗函数设计,设置高斯窗函数宽度因子 $\sigma=1$,以减少频谱泄露,提高滤波器的性能。通过图 6、7 所示的幅频特性以及群延迟特性曲线,可以看出通过预先加窗设计,幅频特性曲线波纹控制在 0.02 范围内,群延迟曲线也更为平坦。因此采用高斯窗函数设计 Farrow 架构分数时延滤波器,最小二乘优化可以在保证通带宽度条件下实现更平坦的幅频特性和群延迟特性。

为满足宽带系统^[11]对 VFD 滤波器的要求,滤波器阶数较高时,将滤波器参数设置与文献使用线性优化方法设

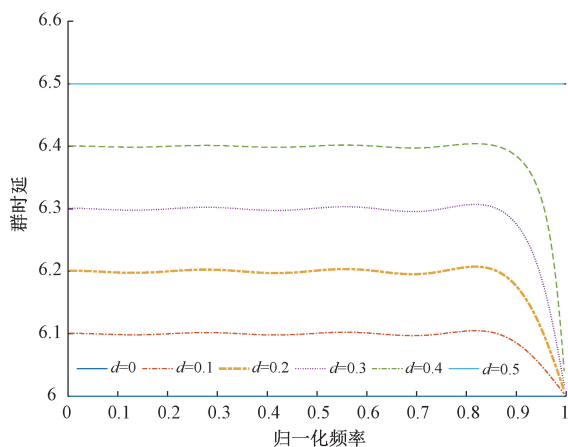


图 5 $N=13$ LS 设计 Farrow 滤波器群时延响应

Fig. 5 $N=13$ LS design Farrow filter group delay

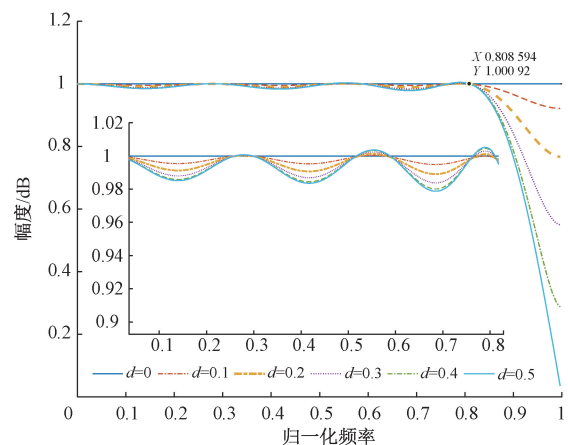


图 6 $N=13$ 加窗设计 Farrow 滤波器幅频响应

Fig. 6 Amplitude-frequency response of Farrow filter with $N=13$ plus window design

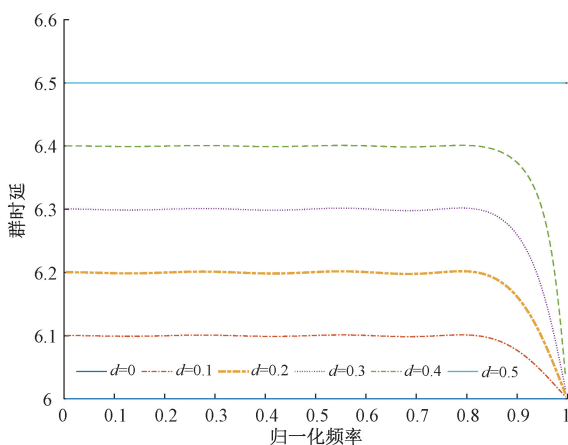


图 7 $N=13$ 加窗设计 Farrow 滤波器群时延响应

Fig. 7 $N=13$ plus window design Farrow filter group delay response

计^[11]参数一致。设置仿真条件如表 1 所示。通过 MATLAB 仿真得到不同分数时延下的幅频误差以及群延时误差,如图 8、9 所示,图 8 中 VFD 滤波器的幅度误差主要集中在

-175~-120 dB。图 9 中群延时误差保持在 10^{-4} 以内。最大幅度误差和群延时误差均出现在靠近截止频率 $\omega = 0.89$ 处。因此该方法符合宽带设计需求。

表 1 $N=70, M=7$ 滤波器参数设置

Table 1 $N=70, M=7$ filter parameter setting

滤波器阶数 (N)	截止频率 (ω)	多项阶数 (M)	时延量 (d)	宽度因子 (σ)
70	0.9π	7	$[-0.5, 0.5]$	0.02

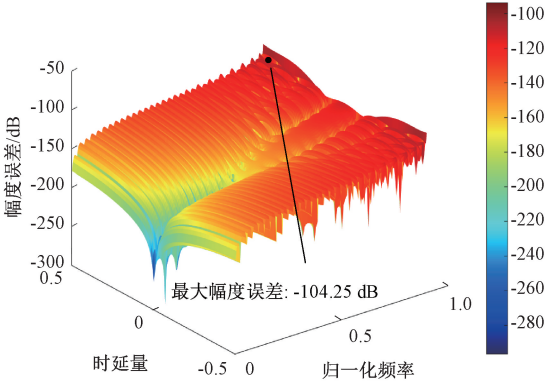


图 8 Farrow 滤波器幅频误差响应

Fig. 8 Farrow filter amplitude-frequency error response

为评估所设计的可变分数滤波器的准确性,定义了一些评估标准:

$$\epsilon_2 = \left(\frac{\int_0^{b\pi} \int_{-0.5}^{0.5} |H(\omega, p) - H_{id}(\omega, p)|^2 dp d\omega}{\int_0^{b\pi} \int_{-0.5}^{0.5} |H_{id}(\omega, p)|^2 dp d\omega} \right)^{0.5} \times 100\% \quad (33)$$

表 2 Farrow 架构滤波器性能对比

Table 2 Farrow architecture filter performance comparison

算法	ϵ_2	ϵ_∞ (dB)	ϵ_g	计算复杂度
WLS ^[5]	3.56×10^{-4}	-100.06	4.66×10^{-4}	$O(70^6)$
线性优化 ^[11]	2.87×10^{-4}	-105.44	2.44×10^{-4}	$O(560^3 \times 33^3)$
本文	7.73×10^{-5}	-104.25	2.38×10^{-4}	$O(100 \times 70^3)$

线性优化算法低一个数量级;同等精度下,系数计算复杂度 $O(100 \times 70^3)$ 是 3 种算法中最低,较加权最小二乘法降低了一个数量级。总的来说,本文提出的方法区别于现有计算高阶滤波器算法,在保持滤波器高精度的情况下,有较低的计算复杂度。

综上所述,本文方法在保证通带宽度和时延范围的前提下,提高了滤波器精度,降低了 VFD 滤波器系数求解复杂度。并且,该方法可通过调节窗函数宽度因子灵活调整滤波器在高阶和低阶情况下的主瓣宽度和旁瓣抑制;在低频信号下,获得较为平坦的幅频和相频特性;在高频信号

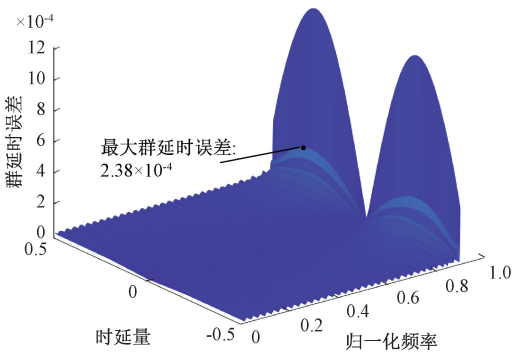


图 9 Farrow 滤波器群延迟误差响应

Fig. 9 Farrow filter group delay error response

$$\epsilon_\infty = 20\lg(\max\{|H_p(\omega, p) - H_{id}(\omega, p)|\}) \quad (34)$$

$$\epsilon_g = \max\{|\tau(\omega, p) - \tau_{id}(\omega, p)|\} \quad (35)$$

其中, $p \in [-0.5, 0.5]$, $H(\omega, p) - H_{id}(\omega, p)$ 表示实际滤波器频率响应和理想滤波器频率响应的差值, $\tau(\omega, p)$ 和 $\tau_{id}(\omega, p)$ 分别为实际滤波器和理想滤波器的群延迟。 ϵ_2 表示均方根误差,反映滤波器通带的总体误差幅度; ϵ_∞ 表示最大幅度误差,反映通带的最大幅度误差; ϵ_g 表示最大群延时误差,反映滤波器通带中最大群延迟误差。

在滤波器参数设置相同条件下,基于上述评价准则,将本文设计与前文中所述优化算法,加权最小二乘法^[5]、以及基于数学模型的迭代线性优化算法,线性优化法^[11]进行算法精度误差对比,结果如表 2 所示。

表 2 表明,所设计的 Farrow 架构滤波器最大群延时误差 $\epsilon_g = 2.34 \times 10^{-4}$,比加权最小二乘以及线性优化的方法 ϵ_g 都要低;最大幅度误差 $\epsilon_\infty = -104$ dB,比加权最小二乘法降低约 3.7 dB;归一化均方根误差 $\epsilon_2 = 7.73 \times 10^{-5}$ 比

下,具有较高的频率选择能力。

4 FPGA 仿真与验证

4.1 FPGA 实现架构

针对无线信道仿真器对分数时延的要求,在 Virtex-7 xc7vx485tffg1157-1 型号 FPGA 芯片上验证算法在工程中的实用性,并通过 Xilinx 公司提供的 Vivado 仿真平台对时延效果进行验证。

图 10 为分数时延模拟硬件框图,仿真模块由输入信号、FIR 滤波器、乘法器、分数时延、加法器组成,输入信号

通过滤波器与分数时延量乘加组合得到时延后的信号。

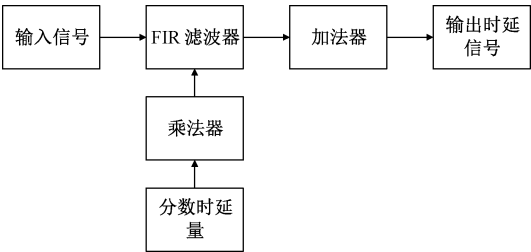


图 10 分数时延模拟硬件框图

Fig. 10 Block diagram of fractional time delay simulation hardware

由于 5G 信道模型对信道模拟器时延工作分辨率提供了更高的要求,需要使用更多位宽表示更高分辨率的分数时延。因此仿真设置 FPGA 时钟频率为 200 MHz,采样频率 250 MHz。整数时延分辨率可以达到 5 ns,定义 Farrow 滤波器延时参数位宽 8 bit,分辨率即达到 $5\text{ ns}/2^8 = 0.0195\text{ ns}$,该分辨率可以满足正常信道模拟的要求。

图 11 所示为 Farrow 滤波器硬件实现架构。输入信号 data_in 模块采用 DDS IP 核输入 10 MHz 的单音信号,位宽 8 bit。 $C_0 \sim C_5$ 表示子滤波器模块采用 FIR IP 核实现,浮点量化位宽 32 bit,通过一系列截位乘加操作,输出

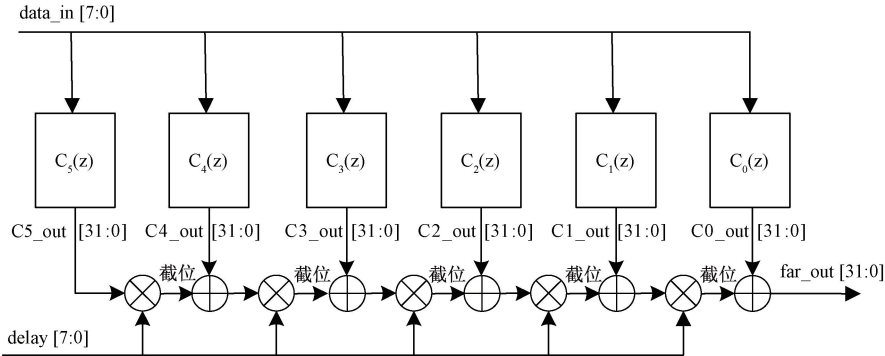


图 11 Farrow 分数时延模拟架构

Fig. 11 Farrow fractional delay simulation architecture

延时的信号 far_out。

在 Vivado 平台,通过选取不同时延量进行仿真,观察时延情况。图 12 为 vivado 仿真的输入和输出波形图。P1_OUT 对应时延 $d = 0$ 的输出, farout1 对应时延 $d =$

$0.15 T_s$ 的输出, farout2 对应 $d = 0.55 T_s$ 输出, m_axis_vaild 为输出信号有效位。可以看出 farout1、farout2 相对于 P1_OUT 产生了时延。分数时延效果得以验证。

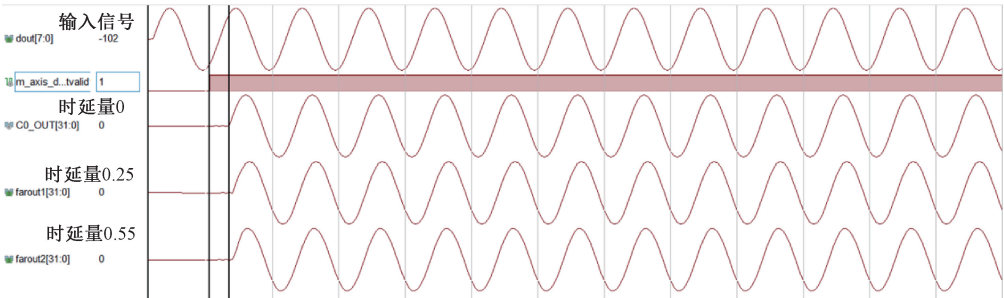


图 12 Farrow 架构 FPGA 行为仿真

Fig. 12 Farrow architecture FPGA behaviour simulation

4.2 资源开销

由于设计的滤波器系数具有对称性,可以节省一半的乘法器资源利用。本设计资源利用情况如表 3 所示,其中 LUT 表示逻辑单元使用情况,FF 表示存储器使用情况,DSP 表示数字信号处理单元使用情况。本文设计方法各资源利用率分别为 0.31%、0.36%、2.29%,对比同等时延需求条件,使用 WLS^[26]计算 VFD 系数方法各资源利用率分别为 11.8%、1.6%、3.18%,进一步分析发现,本文方法通过系数对称性和参数优化显著降低资源需求。如果用

于对宽带需求的无线信道仿真器中,其系数分辨率可以在精确度和资源利用率达到较好的平衡。

表 3 N=13,M=5 硬件使用资源			
Table 3 N=13,M=5 hardware usage resources			
资源	估计	可用	利用率/%
LUT	933	303 600	0.31
FF	2 171	607 200	0.36
DSP	64	2 800	2.29

5 结 论

鉴于宽带条件下分数时延滤波器计算复杂度问题,本文提出一种低计算复杂度条件下可以灵活改变分数时延滤波器性能的设计方法,并通过了 FPGA 验证。该方法能够在设计过程中直接控制滤波器频率响应的主瓣和旁瓣之间的能量分布,避免了频率泄漏和减少旁瓣干扰,在低、高频信号情况下提供了比传统方法更精确的频率选择能力。最小二乘法求解优化系数降低了系数求解的复杂度,提高了 Farrow 架构可变分数滤波器设计效率。软件仿真结果与硬件验证结果表明,该方法具有较高滤波器性能以及较强的适应性。此外,该方法适用于各种需要高精度时延估计和频率响应控制的场景,包括通信系统、音频信号处理、雷达和医学成像等领域,具有较高工程应用潜力。

参考文献

- [1] 胡雪南,姜雪松,程远杰,等. 基于 Farrow 结构的多径信道小数时延模拟方法[J]. 电子测量与仪器学报, 2024,38(8):237-244.
HU X N, JIANG X S, CHENG Y J, et al. Fractional delay simulation method for multipath channels based on Farrow structure [J]. Journal of Electronic Measurement and Instrumentation, 2024, 38 (8) : 237-244.
- [2] 李向闪. Farrow 结构分数延时滤波器设计[J]. 国外电子测量技术, 2019,38(10):124-127.
LI X SH. Design of fractional delay filter with Farrow structure [J]. Foreign Electronic Measurement Technology, 2019,38(10):124-127.
- [3] 卫洋斌,李浩,孙晓平,等. 一种双 ADC 垂直同步采样结构及其误差校正[J]. 仪器仪表学报, 2023,44(12): 141-149.
WEI Y B, LI H, SUN X P, et al. A dual ADC vertically synchronized sampling structure and its error correction [J]. Chinese Journal of Scientific Instrument, 2023,44(12): 141-149.
- [4] 黄翔东,徐婧文,张博,等. 低复杂度的可变分数时延滤波器设计[J]. 电子与信息学报, 2018, 40(4): 985-991.
HUANG X D, XU J W, ZHANG B, et al. Low-complexity variable fractional time delay filter design[J]. Journal of Electronics and Information, 2018, 40(4): 985-991.
- [5] DENG T B. Weighted-least-squares design of odd-order variable fractional-delay filters using coefficient-symmetry[C]. 2007 6th International Conference on Information, Communications & Signal Processing, IEEE, 2007: 1-5.

- [6] LI L L, CHEN Z Z, APHALE S S, et al. Fractional repetitive control of nanopositioning stages for high-speed scanning using low-pass FIR variable fractional delay filter [J]. IEEE/ASME Transactions on Mechatronics, 2020, 25(2): 547-557.
- [7] YIN M W, WANG Y L, YE ZH F. WLS optimal design for variable FIR filters with continuous parameter of fractional delay [C]. IOP Conference Series: Materials Science and Engineering. IOP Publishing, 2018, 397(1): 012122.
- [8] 吴高奎,严济鸿,何子述,等. 基于 Farrow 结构的分数时延滤波器[J]. 雷达科学与技术, 2017, 8(3): 269-272.
WU G Q, YAN J H, HE Z SH, et al. Fractional time delay filter based on Farrow structure [J]. Radar Science and Technology, 2017, 8(3): 269-272.
- [9] DENG T B, CHIVAPREECHA S, DEJHAN K. Bi-minimax design of even-order variable fractional-delay FIR digital filters[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2012, 59 (8) : 1766-1774.
- [10] ZHAO R J, HONG X Y. Matrix-based algorithms for the optimal design of variable fractional delay FIR filters[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 66(12): 4740-4752.
- [11] LIU X W, REN G L, ZHANG W CH, et al. Optimized design of a variable fractional delay filter with delay error constraints[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2023, 70(8): 3164-3168.
- [12] FENG ZH, MING M, LING J, et al. Fractional delay filter based repetitive control for precision tracking: Design and application to a piezoelectric nanopositioning stage [J]. Mechanical Systems and Signal Processing, 2022, 164: 108249.
- [13] LIU Y, ZHAO R J, WANG CH. A matrix-based algorithm for the LS design of variable fractional delay FIR filters with constraints [C]. 2020 39th Chinese Control Conference(CCC), IEEE, 2020: 2798-2802.
- [14] CANESE L, CARDARILLI G C, NUNZIO L D, et al. Efficient digital implementation of a multirate-based variable fractional delay filter for wideband beamforming[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2023, 70(6): 2231-2235.
- [15] KOKILA R, CHITHRA K, DHILSHA R. Wideband beamforming using modified Farrow structure FIR filtering method for sonar applications [C]. 2019 International Symposium on Ocean Technology (SYMPOL),

- IEEE, 2019; 21-28.
- [16] LIU H, LIN J, XU S D, et al. A resampling method based on filter designed by window function considering frequency aliasing[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2020, 67(12): 5018-5030.
- [17] BOLJANOVIC V, YAN H, LIN C C, et al. Fast beam training with true-time-delay arrays in wideband millimeter-wave systems[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2021, 68(4): 1727-1739.
- [18] DAM H H. Design of variable fractional delay filter with fractional delay constraints[J]. IEEE Signal Processing Letters, 2014, 21(11): 1361-1364.
- [19] LI H L, VAN KERREBROUCK J, BAUWELINCK J, et al. Maximally flat and least-square co-design of variable fractional delay filters for wideband software-defined radio[J]. Journal of Circuits, Systems and Computers, 2019, 28(1): 1950006.
- [20] SUBRAMANIYAN E, RAJAGOPAL S. Wideband beamforming using digital phase only compensation in digital array radars [C]. 2022 IEEE International Conference on Electronics, Computing and Communication Technologies (CONECCT), 2022: 1-4.
- [21] DONG T, WANG Q SH, ZHAO Y X, et al. Broadband frost adaptive array antenna with a Farrow delay filter[J]. International Journal of Antennas and Propagation, 2018(1): 3574929.
- [22] CARDARILLI G C, DI NUNZIO L, FAZZOLARI R, et al. Efficient FPGA implementation of high speed digital delay for wideband beamforming using parallel architectures[J]. Bulletin of Electrical Engineering and Informatics, 2019, 8(2): 422-427.
- [23] 李陶. 宽带数字阵列雷达关键技术研究[D]. 成都: 电子科技大学, 2017.
- LI T. Research on key technology of wideband digital array radar [D]. Chengdu: University of Electronic Science and Technology, 2017.
- [24] 王伟. 一种 Farrow 结构数字延时滤波器的设计[J]. 电讯技术, 2018, 58(5): 601-606.
- WANG W. Design of a Farrow structure digital delay filter [J]. Telecommunications Technology, 2018, 58(5): 601-606.
- [25] 田高峰, 邓计才, 张延彬, 等. 基于 FPGA 的可变带宽基带信号回放系统设计[J]. 电子测量技术, 2023, 46(5): 17-22.
- TIAN G F, DENG J C, ZHANG Y B, et al. FPGA-based variable bandwidth baseband signal playback system design [J]. Electronic Measurement Technology, 2023, 46(5): 17-22.
- [26] CARDARILLI G C, GIARDINO D, MATTA M, et al. Comparison and implementation of variable fractiona delay filters for wideband digital beamforming [C]. Applications in Electronics Pervading Industry, Environment and Society, 2019: 445-451.

作者简介

叶霞美, 硕士研究生, 主要研究方向为无线信道模拟、数字信号处理。

E-mail: 202212490131@nuist.edu.cn

李鹏(通信作者), 博士, 教授, 主要研究方向为卫星通信技术、信道仿真、数字信号处理。

E-mail: peng.li@nuist.edu.cn