

基于FPGA的大频偏扩频信号快速捕获算法设计

冯智波 朱彦铭 刘文重 张俊杰 李迎春

(上海大学特种光纤与光接入网重点实验室 上海 200444)

摘要: 星载扩频应答机的数据比特与扩频码是异步的,由于传输系统噪声及多普勒频移的影响,会引起接收扩频码与发送扩频码相关峰值的衰减,导致捕获性能下降。传统的捕获技术通常存在算法复杂度高,捕获速度慢,难以适应上百千赫兹大频偏的要求等问题。本文提出了一种将扩频序列截成两段分别作相关运算的扩频序列搜索法,并结合信号平方和FFT环进行大频偏锁频的捕获方案,有效抑制了相关峰的衰减,提高了伪码捕获性能。MATLAB仿真及FPGA板级测试表明,本文所提出的扩频信号捕获方案能够对抗高达 ± 300 kHz的多普勒频移,平均捕获时间约为95 ms。另外,该算法的FPGA实现与传统结构相比节省了约47%的LUT、43%的Register以及一半以上的DSP和BRAM资源,在资源受限的实时通信系统中具有很大的应用价值。

关键词: 多普勒频移;伪码捕获;FPGA

中图分类号: TN927 **文献标识码:** A **国家标准学科分类代码:** 510.5015

Design of fast capture algorithm for large frequency offset spread spectrum signal based on FPGA

Feng Zhibo Zhu Yanming Liu Wenzhong Zhang Junjie Li Yingchun

(Key Laboratory of Specialty Fiber and Optics Access Networks, Shanghai University, Shanghai 200444, China)

Abstract: The data bits and spread spectrum codes of the spaceborne spread-spectrum transponder are asynchronous. Due to the influence of transmission system noise and Doppler frequency shift, it can cause attenuation of peak values related to receiving and transmitting spread spectrum codes, leading to a decrease in capture performance. Traditional capture techniques often have problems such as high algorithm complexity, slow capture speed, and difficulty adapting to the requirements of large frequency offsets of hundreds of kilohertz. This article proposes a spread spectrum sequence search method that truncates the spread spectrum sequence into two segments for correlation operations, and combines the signal squared sum FFT loop for a large frequency offset locking, effectively suppressing the attenuation of correlation peaks and improving pseudocode capture performance. MATLAB simulation and FPGA board level testing show that the proposed spread spectrum signal capture scheme can resist Doppler frequency shifts of up to ± 300 kHz, with an average capture time of about 95 ms. In addition, the FPGA implementation of this algorithm saves about 47% of LUT, 43% of Register, and more than half of DSP and BRAM resources compared to traditional structures, making it of great application value in resource limited real-time communication systems.

Keywords: Doppler frequency shift; PN code synchronization; FPGA

0 引言

近年来,随着扩频通信技术和航天测控技术的不断进步,为了适应航天测控通信系统的抗干扰性能需求,直接序列扩频通信系统被应用于其中^[1-3]。直接序列扩频信号接收时,受伪码相关运算积分时间内数据比特翻转跳变的影响,接收扩频信号与本地伪码的相关峰值会出现不同程度的下降,导致信号捕获性能降低^[1,4-5]。另外高速运动的卫

星与地面站之间存在高达上百千赫兹的多普勒频移^[6-8],导致伪码相关峰值急剧衰减,此时要想实现信号的快速捕获变得更加困难。

在直接序列扩频通信接收机进行信号捕获的过程中,如何解决由于多普勒频移以及数据比特翻转跳变造成的相关峰值衰减问题,是直接序列扩频通信系统同步处理的关键技术。常见的延迟相乘法^[9-10]预先对信号进行延迟共轭相乘,能够消除多普勒频移和数据比特跳变的影响,但是该

方法会使噪声基底提高,有较大的信噪比损耗。还有一种方法是半比特法^[11-12],采用的相关长度为半个比特,相关长度较长计算量大,资源消耗很大,另外半比特法会有 3 dB 的相关峰损失。另外一种常用的方法是部分匹配滤波快速傅里叶变换(part of matched filter fast fourier transform, PMF-FFT)法^[13-14],为了适应大频偏,需要对数据加窗和补零,算法复杂度高、运算量大,对硬件要求较高,当多普勒频移过大时,会导致硬件资源占用过多而不可实现。

综上,对于直接序列扩频通信系统中,设计接收信号捕获方案时需要考虑以下问题:1)要能够解决多普勒频移以及数据比特翻转跳变带来的相关峰衰减问题;2)要易于硬件实现,电路实现结构简单;3)能够实现扩频信号的快速捕获,实时性高。着眼于上述需求,本文采用两段截短伪码相关运算进行伪码相位搜索,结合信号平方和快速傅里叶变换(fast fourier transform, FFT)环进行大频偏锁频的捕获方案,并利用两段码片采样点位置以及本地伪码码值之间的规律优化相关运算的电路实现结构,减少了约 50% 的相关运算逻辑,抑制了相关峰衰减,提高了伪码捕获环路性能。为了验证本文提出的接收扩频信号捕获方案的功能和性能,首先进行了 MATLAB 仿真验证,然后在 Xilinx xc6slx75-2fgg484 现场可编程逻辑门阵列(field programmable gate array, FPGA)硬件平台上,实现了直接序列扩频通信接收机,测试验证了本文所提出的接收扩频信号捕获方案,能够在高达 ± 300 kHz 的大频偏条件下对信号快速捕获,平均捕获时间约为 95 ms,另外该算法的 FPGA 实现与传统结构^[15]相比可以节省约 47% 的查找表(look up table, LUT)资源,实验表明,该方法能够在频偏环境下利用有限的硬件资源快速地对接收扩频信号的捕获,具有很高的工程应用价值。

1 接收信号捕获方案设计

直接序列扩频接收机接收到中频扩频信号后需要完成频偏补偿和伪码相位恢复,才能进行后续的接收解调处理,得到信息序列。本文采用两段截短伪码相关运算,并结合信号平方和 FFT 环进行大频偏锁频的捕获方案,其中平方锁频环对信号进行频偏搜索,两段截短伪码进行相关运算完成相位搜索。下面分别对平方锁频环和两段截短伪码相关运算环路进行介绍。

1.1 本文算法基本原理

图 1 为平方锁频环的实现结构,接收端输入信号 $r(t)$ 经过模数转换器(analog to digital converter, ADC)采样后可表示为:

$$r(t_k) = \sqrt{2P}a(t_k - \tau_0)s(t_k - \tau_0)e^{j(2\pi(f_{\text{carrier}} + f_d)t_k + \theta_0)} + n(t_k) \quad (1)$$

其中, $t_k = kT_s$, T_s 为采样时钟周期, P 为接收信号功率, $a(t_k)$ 为数据采样序列, τ_0 为相位偏移量, $s(t_k)$ 为扩频伪码, f_{carrier} 为载波频率, f_d 为信号频偏值, θ_0 为载波初相

位, $n(t_k)$ 为接收信号噪声分量。

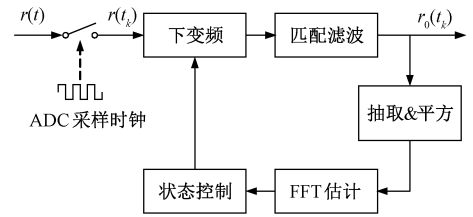


图 1 平方锁频环实现结构

信号经过 ADC 采样后进行数字下变频、匹配滤波,对滤波后的数据进行下采样抽取然后进行平方运算,将平方运算后的结果输入到 FFT 模块进行频偏估计。将估计得到的频偏值输入到状态控制模块,状态控制模块完成频偏估计值的更新,比较残余频偏值是否小于 FFT 频率分辨率 Δf_{ft} ,当残余频偏值小于 Δf_{ft} 时,完成频偏估计,此时频偏估计误差 Δf 大小为 $-\Delta f_{ft}/2 \sim \Delta f_{ft}/2$,环路进入锁定状态。

$$\Delta f_{ft} = \frac{\text{DataRate}_{\text{extract}}}{NFFT \times 2} \quad (2)$$

其中, $\text{DataRate}_{\text{extract}}$ 为抽取后的数据速率, $NFFT$ 为 FFT 点数。完成频偏搜索后,环路输出频偏补偿后的数据 $r_o(t_k)$:

$$r_o(t_k) = r(t_k)e^{-j(2\pi(f_{\text{carrier}} + f'_d)t_k + \theta'_0)} = \sqrt{2P}a(t_k - \tau_0)s(t_k - \tau_0)e^{j(2\pi\Delta f t_k + \Delta\theta)} + n(t_k) \quad (3)$$

其中, f'_d 为频偏估计值, θ'_0 为接收端载波初相位, $\Delta\theta$ 为初始相位差 ($\theta_0 - \theta'_0$), Δf 为频偏估计误差 ($f_d - f'_d$)。

频偏补偿后,进行两段截短伪码相关运算完成伪码相位的搜索。图 2 为伪码相位搜索的实现结构,伪码相位搜索环路接收平方锁频环的输出数据 $r_o(t_k)$,经相关运算子模块完成输入数据和本地伪码的相关运算,得到各个伪码相位的互相关值,然后对计算得到的互相关值进行捕获判决,同步环路状态控制模块完成捕获判决等同步状态信息的控制,最后根据相位调整信息抽取输出最佳伪码相位的采样数据。

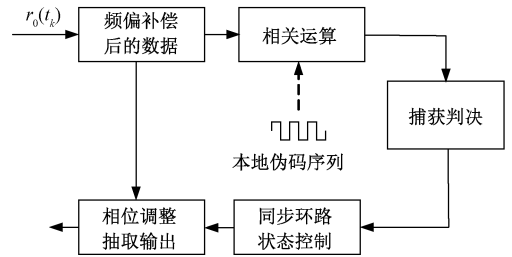


图 2 伪码相位搜索环路实现结构

图 3 为本地伪码与数据进行相关运算时,数据比特翻转跳变的情况,下面分析这种数据位跳变现象对接收扩频信号捕获的影响。接收到的数据 $r_o(t_k)$ 对应的比特数据 $a(t_k)$ 在相关运算时的表达式设为:

$$a(t_k) = \begin{cases} +1, & 1 \leq k \leq m \\ -1, & m+1 \leq k \leq N \end{cases} \quad (4)$$

其中, m 为数据比特发生跳变的时间点, N 为相关运算长度。则在接收扩频信号进行相关运算的过程中相关值 S 可以表示为:

$$S = \sum_{k=1}^N r_o(t_k) s(t_k - \tau'_0) \quad (5)$$

将式(3)、(4)代入式(5)可得:

$$S = \sqrt{2P} e^{j\Delta\theta} R(\Delta\tau) \left(\sum_{k=1}^m e^{j2\pi\Delta f t_k} - \sum_{k=m+1}^N e^{j2\pi\Delta f t_k} \right) + n(t_k) \quad (6)$$

其中, τ'_0 为接收端本地伪码相位, $\Delta\tau$ 为伪码相位差 ($\tau_0 - \tau'_0$), $R(\Delta\tau)$ 为伪码相关值。将频偏补偿后频偏估计误差 Δf 在一段伪码积分时间内对相关值 S 的影响定义为归一化频偏误差损失 $loss$:

$$loss = 1 - \left\| \sum_{k=1}^N e^{j2\pi\Delta f t_k} \right\| / N \quad (7)$$

其中, $\|\cdot\|$ 为复数取模运算。频偏补偿后 $loss \approx 0$, 可以忽略不计, 式(6)可以简化为:

$$S \approx \sqrt{2P} e^{j\Delta\theta} R(\Delta\tau) (2m - N) + n(t_k) \quad (8)$$

由式(8)可知, 捕获判决时的相关判决值为:

$$\|S\| \approx \left| \sqrt{2P} R(\Delta\tau) (2m - N) \right| + n(t_k) \quad (9)$$

其中, $\|\cdot\|$ 为复数取模运算, $|\cdot|$ 为取绝对值运算。从式(9)可知, 数据位跳变位置 m 与相关判决值 $\|S\|$ 密切相关, 当出现数据比特跳变时 $\|S\|$ 降低, 此传统一段伪码进行相关运算受到数据比特跳变的影响会出现相关峰衰减严重, 无法捕获到相关峰的问题。针对上述问题本文采用两段截短伪码 S_1, S_2 , 如图 3 所示, 分别进行相关运算然后取模值相加作为相关运算的输出相关结果, 用于捕获判决。采用两段截短伪码进行相关运算, 使得两段截短伪码中最多只有一段出现数据比特翻转跳变, 抑制了相关峰衰减, 满足捕获判决门限, 能够完成对接收扩频信号的正确捕获。

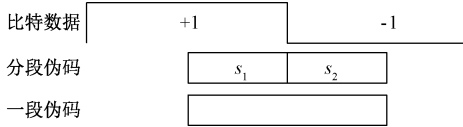


图 3 比特翻转跳变

1.2 相关运算实现结构优化

另外, 针对伪码捕获传统相关运算电路, 相关运算量大、复杂度高、电路实现结构不灵活的问题。本文利用参与相关运算的两段扩频数据的采样位置、两段本地伪码码值之间的规律, 对相关运算的电路实现结构进行设计优化。如图 4 所示, 接收扩频数据中一个码片周期内包含有多个采样点, 每个码片中抽取一个采样点与本地伪码进行相关运算, $X_i^{s_1}, X_i^{s_2}$ 分别为与 S_1 段、 S_2 段本地伪码进行相关运算的第 i 个码片中抽取的采样点。将 S_1 段中第一个采样数据 $X_1^{s_1}$ 的绝对采样位置记为 1, 则参与两段相关运算的数据的绝对采样位置为:

$$\begin{aligned} abs_pos_i^{s_1} &= \left\lfloor \frac{f_s}{f_c} (i-1) \right\rfloor + 1, \\ abs_pos_i^{s_2} &= \left\lfloor \frac{f_s}{f_c} (i+L-1) \right\rfloor + 1 \end{aligned} \quad (10)$$

$i = 1, 2, \dots, L$

其中, $\lfloor \cdot \rfloor$ 为向下取整函数, $abs_pos_i^{s_1}$ 为参与 S_1 段本地伪码相关运算的第 i 个数据 $X_i^{s_1}$ 的绝对采样位置, $abs_pos_i^{s_2}$ 为参与 S_2 段本地伪码相关运算的第 i 个数据 $X_i^{s_2}$ 的绝对采样位置, f_s 为采样速率, f_c 为伪码速率, L 为 S_1, S_2 段本地伪码的长度。如图 4 所示, 若采样速率 $f_s = 40$ MHz, 伪码速率 $f_c = 3.069$ MHz、本地伪码长度 $L = 128$ 时, 计算得到的绝对采样位置为 $abs_pos_1^{s_1} = 1$, $abs_pos_2^{s_1} = 14, abs_pos_3^{s_1} = 27, \dots, abs_pos_{128}^{s_1} = 1656$, 绝对采样位置是以 f_s/f_c 倍速率对扩频数据进行抽取时, 抽取的位置。在绝对采样位置的基础上, 将参与两段相关运算的数据的相对采样位置定义为:

$$\begin{aligned} rel_pos_i^{s_1} &= abs_pos_i^{s_1}, \\ rel_pos_i^{s_2} &= abs_pos_i^{s_2} - abs_pos_1^{s_2} + 1 \end{aligned} \quad (11)$$

$i = 1, 2, \dots, L$

其中, $rel_pos_i^{s_1}$ 为参与 S_1 段本地伪码相关运算的第 i 个数据 $X_i^{s_1}$ 的相对采样位置, $rel_pos_i^{s_2}$ 为参与 S_2 段本地伪码相关运算的第 i 个数据 $X_i^{s_2}$ 的相对采样位置。如图 4 所示, 计算得到相对采样位置为 $rel_pos_1^{s_1} = 1, rel_pos_2^{s_1} = 14, \dots, rel_pos_{128}^{s_1} = 1656$, 相对采样位置是每段的抽取数据相对于该段第一个抽取数据的位置。 S_1, S_2 两段数据的相对采样位置之间有如下关系:

$$rel_pos_i^{s_2} - rel_pos_i^{s_1} = \left\lfloor \frac{f_s}{f_c} (L+i-1) \right\rfloor - \left\lfloor \frac{f_s}{f_c} L \right\rfloor - \left\lfloor \frac{f_s}{f_c} (i-1) \right\rfloor \quad (12)$$

根据向下取整函数性质: 当 $x \in R, y \in R$ 时, $\lfloor x \rfloor + \lfloor y \rfloor \leq \lfloor x+y \rfloor \leq \lfloor x \rfloor + \lfloor y \rfloor + 1$ 。式(12)化简如下:

$$\begin{aligned} rel_pos_i^{s_2} - rel_pos_i^{s_1} &= 0 \text{ 或 } 1 \\ I &= 1, 2, \dots, L \end{aligned} \quad (13)$$

由式(13)可知: 两段参与相关运算的数据的相对采样位置可能相同或者相差一个采样点。另外, 两段本地伪码 $g_i^{s_1}, g_i^{s_2}$ 取值为 0 或 1。其中, $g_i^{s_1}$ 为 S_1 段本地伪码的第 i 个码值, $g_i^{s_2}$ 为 S_2 段本地伪码的第 i 个码值。所以, 两段接收扩频数据与本地伪码之间的相关运算可以分为: 本地伪码码值相同且数据相对采样位置相同、本地伪码码值相同且数据相对采样位置相差一个采样点、本地伪码码值不同且数据相对采样位置相同、本地伪码码值不同且数据相对采样位置相差一个采样点 4 种情况。

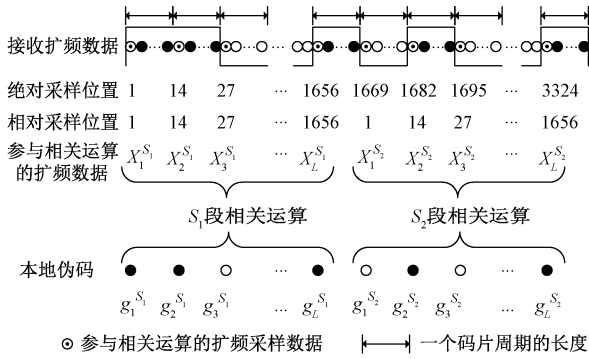


图4 两段伪码与数据相关运算

根据这一规律,对相关运算电路实现结构进行优化,将两段相关运算分时复用同一运算电路。图5为不同采样时刻缓存里面的接收扩频数据与 S_1 、 S_2 段本地伪码进行相关运算的过程。图5中给出了接收扩频数据与本地伪码相关

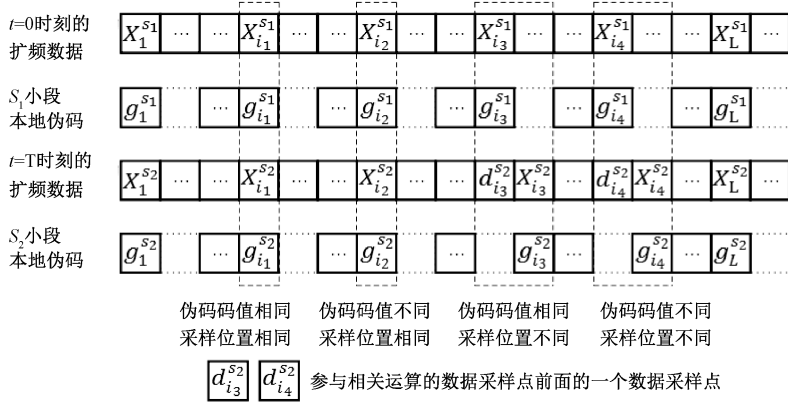


图5 相关运算分时复用

2 实验结果

本文基于国际空间数据系统咨询委员会高级在轨协议 (consultative committee for space data systems advanced orbiting system, CCSDS-AOS)^[16-17] 帧格式对所提出的信号捕获方案进行验证,调制格式采用BPSK,在MATLAB平台进行了算法仿真,并搭建实时收发系统进行FPGA板级测试。

接收端处理流程如图6所示,ADC采样中频扩频信号,依次经过各个模块的处理后得到CRC校验结果。其中,接收信号捕获模块采用本文提出的扩频信号捕获方案,与本地伪码进行异或运算解扩频;位同步采用过零检测法;然后进行差分解调恢复BPSK比特序列;帧同步步采用帧头搜索的方法;帧同步后按照CCSDS-AOS规定的帧结构进行帧解析、CRC校验,验证接收数据的正确性。

系统关键参数如下:ADC采样时钟频率为40 MHz,数据位宽为10 bit,伪码采用周期为1 023的Gold码,伪码速率为3.069 MHz,截短伪码总长度为256,中频载波70 MHz。

运算的4种情况示例。对于伪码值相同且采样位置相同的情况, S_1 段直接复用 S_2 段相关运算的结果;对于伪码值不同且采样位置相同的情况, S_1 段将 S_2 段相关运算的结果取反后复用;对于伪码值相同且采样位置不同的情况, S_1 段将 S_2 段相关运算的结果延时一个采样时钟周期后复用;对于伪码值不同且采样位置不同的情况, S_1 段将 S_2 段相关运算的结果延时一个采样时钟周期并取反后复用。将4种情况下的复用结果分别进行累加得到 S_1 段、 S_2 段的相关运算结果,将 S_1 段的相关运算结果延时 $T = abs_pos_1^{s_2} - 1$ 个采样时钟周期后与 S_2 段的相关运算结果取模相加,得到最终的相关运算结果。该相关运算结构通过两段相关运算分时复用同一运算电路,能够实现约50%的相关运算逻辑电路的优化,并且能够灵活的兼容不同采样速率、不同伪码速率的扩频通信系统,有效解决了伪码同步传统相关运算电路相关运算量大、复杂度高、电路结构不灵活的问题。

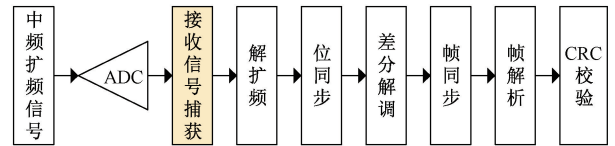


图6 接收系统处理流程

2.1 MATLAB 仿真实验

在MATLAB仿真平台上仿真分析本文算法的频偏捕获性能。锁频环中数据抽取子模块对扩频数据进行8倍抽取,抽取后的数据经过平方运算后输入到FFT频偏估计模块,采用8 192点FFT完成频偏估计,频偏估计误差 Δf 为 $-\Delta f_{ft}/2 \sim \Delta f_{ft}/2$,由式(2), Δf 为 $-152 \sim 152$ Hz。将 Δf 代入式(7)得,归一化频偏误差损失 $loss$ 约为 $0 \sim 4 \times 10^{-7}$,可以忽略不计,所以本文采用8 192点FFT。下面进行仿真验证,设置信号频偏值为300 kHz,信噪比 -10 dB,得到频偏搜索过程如图7所示,最终频偏搜索结果为299.991 kHz,预设频偏值为300 kHz,频偏估计误差为9 Hz,由式(7)得归一化频偏误差损失 $loss$ 约为 $1.36 \times$

10^{-9} , 可以忽略不计。设置频偏值为 $-300 \sim 300$ kHz, 统计频偏估计误差 Δf , 并将误差值代入式 (7), 得到归一化频偏误差损失 $loss$ 的统计结果, 如图 8 所示。由实验结果可知, 当预设频偏为 $-300 \sim 300$ kHz 时, 频偏估计误差 Δf 约为 $-152 \sim 152$ Hz, 该误差对伪码相关值的归一化损失 $loss$ 约为 $0 \sim 4 \times 10^{-7}$, 可以忽略不计。因此, 本文锁频环能够实现频偏 $-300 \sim 300$ kHz 范围的精确搜索, 满足信号捕获的要求。

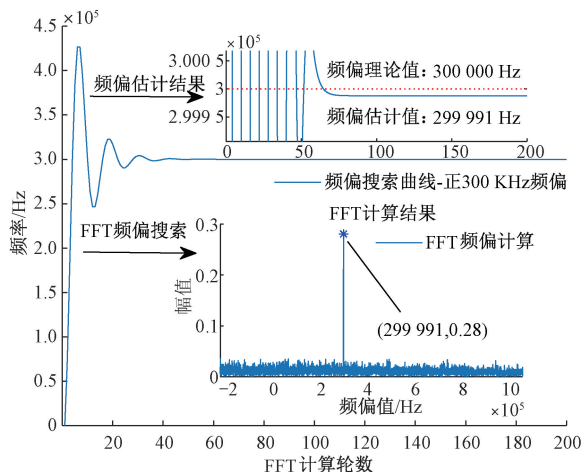


图 7 频偏搜索过程

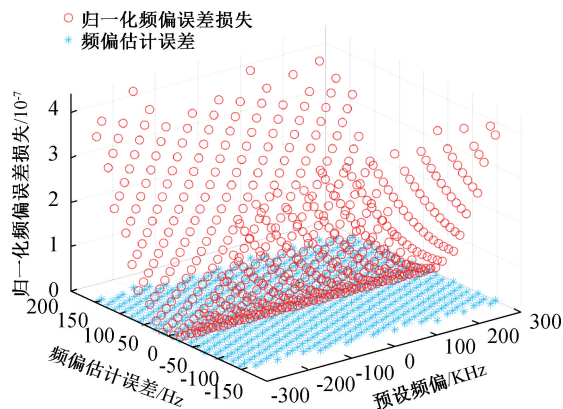
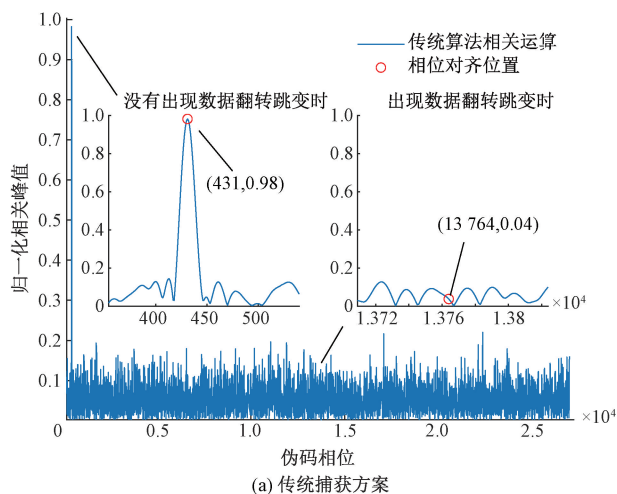


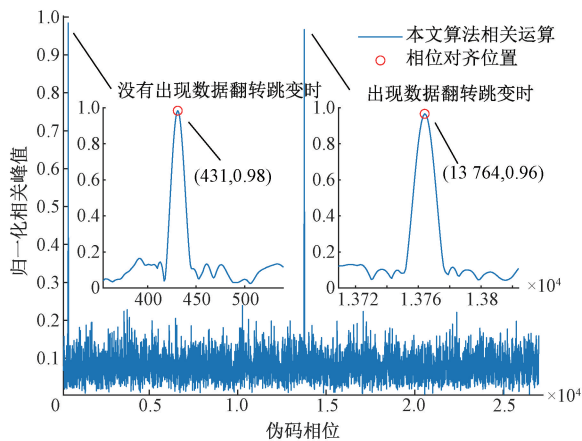
图 8 频偏估计误差、归一化频偏误差损失统计结果

如图 9 所示, 采用 MATLAB 仿真对比了本文捕获方案与传统捕获方案^[18]在进行伪码相位搜索时的相关峰值。设置信号频偏为 0 Hz、信噪比为 -10 dB, 在伪码相位 431 和 13 764 处相位对齐, 并且在伪码相位 431 处没有出现比特翻转跳变, 在伪码相位 13 764 处出现比特翻转跳变。如图 9(a) 所示, 传统捕获方案在伪码相位 13 764 处对齐时, 相关值出现严重的衰减, 找不到明显的相关峰。而本文捕获算法的相关结果, 如图 9(b) 所示, 很好的抑制了伪码相位 13 764 处的相关峰值衰减, 能够解决数据跳变造成的相关峰衰减严重的问题。

如图 10 所示, 设置信噪比为 -18 dB, 统计 20 000 个伪码周期的归一化相关运算结果, 求出每个伪码周期内的



(a) 传统捕获方案



(b) 本文捕获方案

图 9 伪码相关运算结果

最高干扰峰值的均值, 以及 20 000 相关峰值中最小的 500 个相关峰值的平均值, 设置信噪比为 $-20 \sim 0$ dB 进行重复实验, 得到不同信噪比条件下的峰值平均值曲线。由仿真结果可知, 较低的相关峰值随着信噪比降低而降低, 较高的干扰峰值随着信噪比的降低而升高, 两条曲线相交处的峰值均值约为 0.45, 设置归一化同步阈值为 0.45, 统计不同信噪比条件下的捕获概率和虚警概率, 如图 10 所示。由仿真结果可知, 本文捕获算法能够在信噪比不低于 -18 dB 条件下, 完成扩频信号捕获, 捕获概率不低于 97%, 虚警概率不高于 5.28×10^{-6} 。

2.2 FPGA 实时测试

为了进一步验证本文算法的实时功能和性能, 搭建了如图 11 所示的硬件测试平台。其中图 11(a) 射频信号记录回放仪作为发射机, 发射扩频信号, 输入到图 11(b) 接收电路, 接收端功能由 ADC 芯片和 FPGA 板卡完成。射频信号记录回放仪型号为 RinTex-RSR-200, ADC 芯片采用 ADI 公司生产的具有 10 bit 量化位宽的 AD9215, FPGA 采用 Xilinx xc6slx75 芯片。

设置扩频信号频偏值为 -300 kHz、信噪比为 0 dB, 测

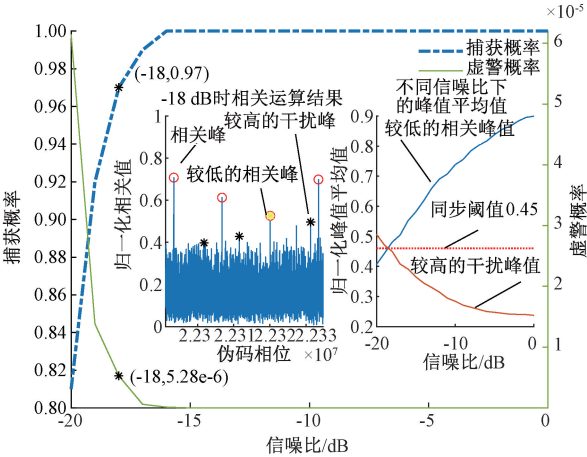


图 10 捕获概率结果、虚警率结果

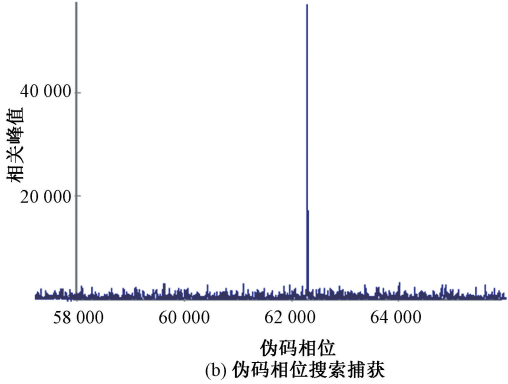


图 12 接收扩频信号实时捕获过程

果略差一些,但是整体变化趋势是一致的,存在些许偏差的原因主要在于实时系统中存在定点化运算带来的一定的精度损失。经测试,本文接收扩频信号捕获算法能够在信号频偏为 $\pm 300\text{ kHz}$,信噪比不低于 -18 dB 条件下完成信号的快速捕获,捕获概率不低于 95% ,平均捕获时间约 95 ms ,捕获后的信号经过后续解调,CRC 校验正确。

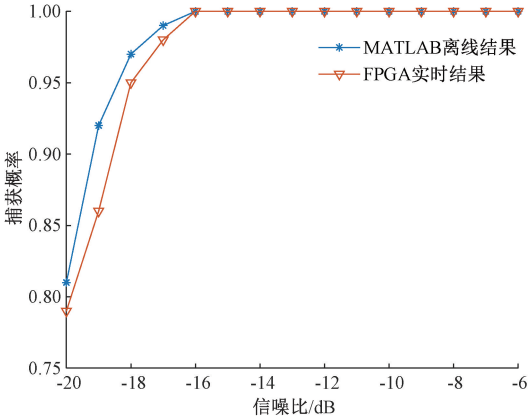


图 13 FPGA 实时测试捕获概率

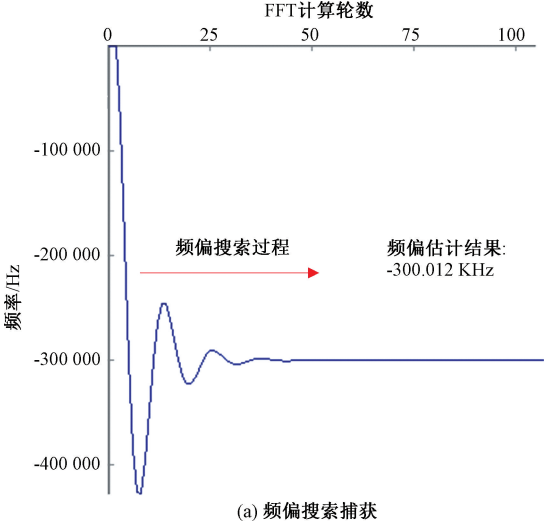
试接收电路功能,通过在线逻辑分析仪 Chipscope 实时抓取接收信号捕获过程中的关键信号,如图 12(a)所示频偏搜索结果为 -300.012 kHz 与预设频偏 -300 kHz 基本吻合,如图 12(b)伪码相位对齐后出现明显的相关峰,信号捕获完成后经过后续解调模块的处理后得到 CRC 校验结果,CRC 校验正确,说明接收电路功能正常。

设置信号频偏值为 $\pm 300\text{ kHz}$,统计不同信噪比下捕获概率结果如图 13 所示,除了 FPGA 实时测试结果,图中还给出了 MATLAB 离线仿真结果作为参考,从图中可以看出 FPGA 实时捕获概率结果比 MATLAB 离线仿真结

另外为了验证本文所提出的捕获方案在硬件资源占用上的优势,表 1 对比了其与传统结构^[15]在实现实时捕获系统时的资源占用情况。按照文献中系统参数,实现本文的捕获结构,并统计资源占用情况和系统性能指标,可以看到在性能指标接近的情况下,本文提出的结构比文献结构节省约 47% 的 LUT、 43% 的 Register 以及一半以上的 DSP 和 BRAM 资源,在实际工程中具有很高的资源效率。

表 1 资源占用情况

资源类型	LUT	Register	DSP	BRAM
使用情况				
本文结构	80 610	134 812	160	70
文献结构	152 094	236 508	849	253
性能指标	频偏适应范围		捕获概率 $\geq 95\%$	
指标比较	本文结构	$\pm 300\text{ kHz}$	$\text{SNR} \geq -18\text{ dB}$	
	文献结构	$\pm 250\text{ kHz}$	$\text{SNR} \geq -18\text{ dB}$	



(a) 频偏搜索捕获

3 结 论

在卫星扩频应答机信号捕获时,受信道大频偏和比特跳变的影响,相关峰值衰减严重,传统算法存在捕获速度慢、复杂度高、难以满足上百千赫兹大频偏扩频信号捕获需求等问题,本文提出了一种将伪码序列截成两段进行伪码相位搜索并结合信号平方和 FFT 环进行大频偏锁频的快速捕获方案。通过 MATLAB 仿真以及 FPGA 实时收发平台板级测试,验证了当信噪比不低于-18 dB,多普勒频移高达 ± 300 kHz 时该算法仍能实现扩频码的快速捕获,平均捕获时间约 95 ms。与传统结构相比,节省约 47% 的 LUT、43% 的 Register 以及一半以上的 DSP 和 BRAM 资源,在资源受限的实时通信系统中具有很大的应用价值。

参考文献

- [1] 田日才,迟永钢. 扩频通信. 第 2 版[M]. 北京:清华大学出版社,2014.
- [2] 朱国富. 扩频体制低轨卫星通信信号捕获与跟踪系统设计[J]. 电讯技术,2022,62(5):576-584.
- [3] 窦骄,韩孟飞,宁金枝,等. 小卫星测控通信技术发展与趋势[J]. 航天器工程,2021,30(6):113-119.
- [4] 谭栋才. 非相干直接序列扩频信号捕获技术研究[D]. 武汉:华中科技大学,2019.
- [5] 冯超英,邓晓平,马路娟. 低速非相干扩频信号的快速同步方法研究[J]. 无线电工程,2017,47(2):20-22,27.
- [6] 黄爱军,代红. 高动态卫星链路多普勒频移特性分析[J]. 电讯技术,2020,60(3):263-267.
- [7] 齐航天,张晓林,朱丽锦. 一种新型的用于深空高动态微弱信号载波跟踪环[J]. 中国空间科学技术,2020,40(1):19-26.
- [8] 张兆维,刘琳,刘慧,等. 空间通信载波多普勒频偏捕获的两阶段稀疏算法[J/OL]. 物联网学报:1-11[2024-01-17]. <http://kns.cnki.net/kcms/detail/10.1491.TP.20230925.1557.004.html>.
- [9] WANG J, CHEN X, HUANG Z, et al. Performance

analysis on Delay-Multiply acquisition for Space-Borne GNSS receivers [C]. 2016 IEEE 83rd Vehicular Technology Conference(VTC Spring), Nanjing, China, 2016:1-5. DOI:10.1109/VTCSpring.2016.7504412.

- [10] 黄健,张德海,孟进,等. 一种改进的高动态扩频信号捕获方法[J]. 电子测量技术,2015,38(9):116-120.
- [11] 翟红英,齐建中,宋鹏. 北斗 MEO/IGSO 卫星 B1 频点弱信号捕获方法[J]. 无线电工程,2018,48(9):767-771.
- [12] 程燕,常青,李显旭. 微弱 GPS 信号避开比特跳变的捕获算法[J]. 导航定位与授时,2017,4(5):94-99.
- [13] 梁仕杰,孙志刚,王天雄. 基于 Zadoff-Chu 序列的单载波抗截获波形设计[J]. 电子测量技术,2020,43(21):142-148.
- [14] LU Z, CHEN Y, JIAO Y, et al. An improved PMF-FFT acquisition approach based on frequency segmentation for DSSS signals [C]. 2021 IEEE 5th Information Technology, Networking, Electronic and Automation Control Conference (ITNEC), Xi'an, China, 2021: 143-147. DOI: 10.1109/ITNEC52019.2021.9586918.
- [15] 祝武勇. 高动态下扩频通信系统同步技术研究及 FPGA 实现[D]. 成都:电子科技大学,2019.
- [16] CCSDS. AOS space data link protocol:732.0-B-3[S]. CCSDS,2015.
- [17] 郭强,韩琦,冯小虎. 风云四号科研试验卫星星地一体化测控设计[J]. 国外电子测量技术,2020,39(2):127-131.
- [18] HUSSEIN Z S, MOHAMMED S J, KAITTAN K H. Design and implantation of a code synchronization circuit for DSSS[C]. 2021 International Conference on Advanced Computer Applications (ACA), Maysan, Iraq, 2021: 22-27. DOI: 10.1109/ACA52198.2021.9626809.

作者简介

冯智波(通信作者),硕士研究生,主要研究方向为 FPGA 数字信号处理。

E-mail: fzb@shu.edu.cn