

DOI:10.19651/j.cnki.emt.2314966

基于 FPGA 的单光子时间数字转换器设计*

何继爰 辛家乐 石麟泰

(兰州理工大学 计算机与通信学院 兰州 730050)

摘要: 针对单光子计数器对高速飞行光子时间测量的高分辨率要求,传统的 TDC 在时间测量上存在误差较大的不足。本文设计了一种利用 FPGA 内部逻辑延迟单元 Carry4 级联构建延迟链的 TDC。该方法首先使用子链平均的方式进行数据采样,避免数据“气泡”。其次,结合码密度测试和 bin-by-bin 校准将各级延迟单元宽度校准至接近均匀宽度,提高系统的测量精度。最后,通过 Vivado 软件仿真并烧录至 ZYNQ7000 进行板级测试,实验结果表明,该 TDC 能够在 3 ns 的动态时间范围内实现时间分辨率 10.91 ps,差分非线性(DNL)范围为 $[-0.75, 1.01]$ LSB,积分非线性(INL)范围为 $[-1.74, 2.19]$ LSB。

关键词: FPGA;时间数字转换;Carry4;码密度测试;差分非线性;积分非线性

中图分类号: TN47 **文献标识码:** A **国家标准学科分类代码:** 510.10

Design of time-to-digital converter based on FPGA

He Jiai Xin Jiale Shi Lintai

(School of Computer and Communication, Lanzhou University of Technology, Lanzhou 730050, China)

Abstract: In view of the high-resolution requirements of single-photon counters for high-speed flight photon time measurement, the traditional time-to-digital converter TDC has the disadvantage of large errors in time measurement. This paper designs a TDC that uses the internal logic delay unit Carry4 of the FPGA to cascade to build a delay chain. The method firstly uses the method of sub chain average to sample the data and avoid the data "bubble". Secondly, the width of each delay cell is calibrated to nearly uniform width by combining the code density test and bin-by-bin calibration to improve the measurement accuracy of the system. Finally, Vivado software was simulated and burned to ZYNQ7000 for board-level testing. The experimental results show that the TDC can achieve time resolution 10.91 ps in the dynamic time range of 3 ns. DNL(DNL) range is $[0.75, 1.01]$ LSB, INL (INL) range for $[1.74, 2.19]$ LSB.

Keywords: FPGA;time digital conversion;Carry4;code density test;DNL;INL

0 引言

随着科学技术的不断发展,对时间测量的精确度要求日益提高。单光子计数器作为一种能够检测单个光子的仪器,具备高精度、高灵敏度、高时间分辨率和低噪声的时间测量能力并且在激光雷达测距^[1]、医学成像^[2]、信号处理^[3]。等时间测量领域得到广泛应用,其中时间数字转换器(time to digital conversion, TDC)电路设计最为关键。目前,大多数 TDC 基于专用集成电路^[4](application specific integrated circuit, ASIC)的方式进行测量。然而,ASIC 的设计成本较高,且不易配置,限制了其在灵活性和可重复性方面的应用。随着现场可编程门阵列(Field programmable gate array, FPGA)技术的不断发展和广泛

应用,FPGA 通过利用其内部丰富的专用逻辑资源,使得硬件设计变得更加简便^[5]。此外,FPGA 相比较于 ASIC 还具备高速数据传输、开发周期短、能够同时处理大量电子信号以及可重复编程的优势。FPGA 不仅满足了高精度时间测量的需求,还为 TDC 体系提供了双边沿采样和单链多通道结构两种结构:1)文献[6]通过双边沿采样将进位链中出现的较大延迟单元进行切割的 Wave Union 技术,并在 Kintex-7 FPGA 系列的 FPGA 上设计实现,达到了低于 4.7 ps 的时间精度。文献[7]使用基于粗-细两级结构的高精度高线性度的 TDC 架构,能够在 350 μ s 的宽输入范围内,实现均方根分辨率为 2.90~8.03 ps。但这种架构会导致编码的复杂度和时序约束难度的增加;2)文献[8]基于 Xilinx FPGA 平台实现超尺度体系(UltraScale)单链双通

收稿日期:2023-11-10

* 基金项目:国家自然科学基金(62361040)项目资助

道并在 500 MHz 的时钟频率下运行达到 5.8 ps 分辨率的 TDC, 文献[9]基于 Lattice FPGA 在不增加延迟数量的情况下分别实现 10 ps 分辨率的单链 TDC。文献[10-11]设计了一个时钟周期内对单链进行四通道和八通道多次测量的方法, 在 Xilinx Vitex-5 和 Spartan-6 FPGAs 上实现了 32 ps 和 14 ps 的精度。但这种系统架构在降低“气泡”数据导致的误差上并没有取得太大的改善。

针对上述研究中 TDC 架构的局限性, 本文使用 FPGA 内部逻辑延迟单元 Carry4 级联构建延迟链设计多抽头采样的结构, 结合码密度测试和 bin-by-bin 校准^[12], 对比校准前后的 DNL 和 INL 验证系统设计的可行性, 通过实验证明该方法能够在不增加系统硬件电路复杂度和额外消耗逻辑单元的情况下提高系统的测量精度。

1 系统设计原理及架构

1.1 单光子计数原理

时间相关单光子计数技术 (time-correlated single-photon counting, TCSPC) 是一种用于高精度时间测量的关键技术, 它的核心思想是利用光子到达光子探测器的时间差异, 使用高重复频率的脉冲激光器作为光源, 产生高重复频率的光脉冲用来激发样品或者探测目标。探测器的输出信号对应于探测到单个光子的随机分布的脉冲序列, 如图 1(a) 所示, 每当探测器探测到一个光子, 就会在相应的存储单元中加上“1”, 该存储单元的地址与探测时间对应, 通过记录大量光子获得探测时间的分布, 并计量离散光子脉冲绘制光脉冲的波形, 如图 1(b) 所示。此外, 在一个信

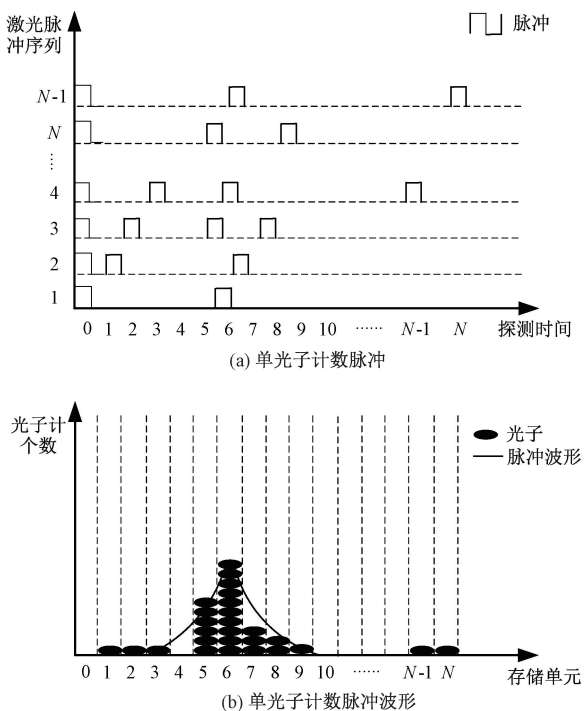


图 1 单光子计数原理

号周期内很难探测到多于一个光子, 通过多次统计测量, TCSPC 技术能够实现高精度的光子计数, 避免了计数值的低谷或峰值, 而且 TCSPC 还能够剔除在各个时刻的暗计数, 通过累积多个激光脉冲周期内采集到的光子信号, 在时域上形成光子计数峰^[13], 以提高测量的准确性。

1.2 延迟链构建

在 FPGA 的进位链模块中包含一系列多路复用器 (multiplexe, MUX), 每个 MUX 作为 1 个延迟单元, ZYNQ7000 的每个内部延迟单元 Carry4 中包含 4 个 MUX, 如图 2 所示。通过将 D 触发器锁存的数据直接拼接, 以进行存储并将其传递到下一级进行处理。然而, 由于工艺、温度、电压等因素的影响, 信号进行锁存过程中可能会出现亚稳态现象, 这会导致严重的“气泡”问题, 抽头的间隔越短造成的误差越严重。

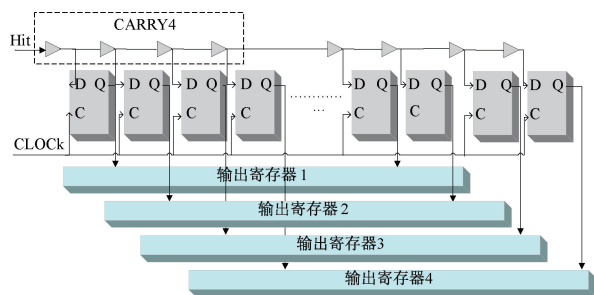


图 2 多抽头采样 TDL

为了解决该问题, 采用抽头延迟链 (tap delay line, TDL) 多抽头采样策略, 将 TDL 分割为 4 个子延迟链, 并同时四个子延迟链进行采样。通过将采集到的 4 个码值进行累加平均, 从而抵消“气泡”数据的影响, 使得调整后 TDL 的分辨率 (least significant bit, LSB) 更接近原始 TDL 的分辨率:

$$LSB_{raw} = \frac{\left(\sum_{i=0}^{n-1} \sum_{j=0}^3 \Delta t_{i,j} \right)}{4n} = 4n \cdot \frac{\Delta t_{AVE}}{4n} = \Delta t_{AVE} \quad (1)$$

$$LSB_{sub} = \frac{\left(\sum_{i=0}^{n-1} \sum_{j=0}^3 \Delta t_{i,j} \right)}{4n} = \frac{[4(n-1) \cdot \Delta t_{AVE}]}{4n} \quad (2)$$

式中: τ_n 为延迟单元个数, $\Delta t_{i,j}$ 是第 i 个子链中第 j 个抽头的延迟单元延迟时间, Δt_{AVE} 是 TDL 整条链的平均延迟时间。

当 $n \gg 1$ 时, 可以近似看作 $LSB_{raw} \approx LSB_{sub}$, 随着 TDL 延迟单元的增加, “气泡”数据将得到有效去除。这种方法有助于提高 TDC 系统的精确性和可靠性, 特别是在面对复杂环境和变化时, 为信号处理提供了更高的性能和准确性。

1.3 延迟链数据采集

FPGA_TDC 通过使用 FPGA 内部逻辑延迟单元 Carry4 构建延迟链, 对不便于直观测量的时间进行延迟测量, 以实现时间的精确测量。在 TDC 中, Carry4 的输入

端连接测量信号的同步脉冲信号,每个进位输出端连接 D 触发器作为采样抽头,光电探测器的输出信号作为外部采样时钟连接 D 触发器的时钟控制端。当包含有“0”到“1”(“1”到“0”)的同步脉冲信号在 TDL 上进行传播时,D 触发器通过检测信号的电平变化实现数据的锁存记录。在数据采集集中,D 触发器以温度计码(1111_000...或 0000_1111...)的方式进行数据保存。然而,温度计码以数字形式编码数据,会导致系统的成本和功耗的增加。因此,在 TDC 电路设计中,通常将其转换为只有一位为 1,其余均为 0 的独热码(0001_000...),这不仅使数据的解码和分析变得更为简单和高效,更有效减少系统中逻辑门的数量提高性能并降低功耗,还可以清晰地展示不同延迟值的分布情况,表示被测信号在延迟链中的具体位置有助于建立直方图统计图。

1.4 码密度测试及校准原理

实际测量中,基于 FPGA 逻辑实现的延迟链在延时时间上存在 0~100 ps 范围的变化,这种变化不是理想的均匀分布。为了解决该问题,采用码密度测试计算延迟单元的延时时间并结合 bin-by-bin 校准技术进行校准。码密度测试是通过输入大量的随机脉冲信号,然后统计各级延迟单元被击中的次数,将各级延迟单元延时时间进行标定,该过程原理如图 3 所示,上方为延迟链,每个方格代表延迟单元,下方的阴影表示该级延迟单元被击中次数。进行码密度测试时,测得足够多的样本数据 N ,并记录各级延迟单元被击中的次数 N_i ,通过计算得出每个延迟单元的延时时间 T_i ^[14]。

$$T_i = T_c \frac{N_i}{N} \quad (3)$$

式中: T_c 为总的延迟时间。 N 值越大,测量误差越小,能获得更准确的时间测量值 T_i 。

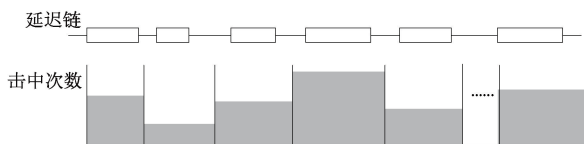


图 3 码密度测试原理

TDC 的各项参数中,DNL 和 INL 是至关重要的指标,用于评估 TDC 的性能和精度,DNL 用于衡量 TDC 的单个量化步进值(实际的 LSB)和理想值(理论的 LSB)之间的偏差,INL 表示单次测量中误差的最大累积值^[15]。通过码密度测试,可以获取 TDC 的 DNL 和 INL 数据。

$$DNL[i] = \sum_{n=0}^i \frac{(D[i] - D_{LSB})}{D_{LSB}} \quad (4)$$

$$INL[i] = \sum_{n=0}^i D_n \quad (5)$$

式中: $D[i]$ 为第 i 个延迟单元的宽度, D_{LSB} 为 TDC 中 TDL 的理想延迟单元的宽度。

各级延迟单元的延迟时间由于延迟时间的不均匀性,需要进一步校准。平均延时校准和 bin-by-bin 校准是两种

常用的校准方式,用于解决 FPGA 逻辑实现延迟链不均匀分布的问题。在平均延时校准中,将延迟链的延时时间长度设计为大于一个时钟周期,待测信号被“捕获”两次之间的时间间隔正好等于一个时钟周期,并且延迟单元的个数是已知,根据平均延迟单元数值,构建校准表格或查找表,用于校准延迟链上的延时单元。bin-by-bin 校准则将延迟链划分为多个小单元,每个小单元包含一个或多个延迟单元,通过输入大量随机脉冲信号,记录每个小单元的延时信息,可以计算出每个小单元的延时时间校准值,将计算得到的校准值应用于每个小单元中的延时单元,以使它们的延时时间更加准确和稳定。bin-by-bin 校准相较于平均延时校准,算法复杂度低、硬件成本开销小并且提供了更高的校准精度和稳定性,更适用于需要高精度延时控制的应用,如 TDC 和飞行时间测量^[16](time of flight, TOF),bin-by-bin 校准的核心是对齐过程。

$$t_n = \frac{\omega_n}{2} + \sum_{k=0}^{n-1} W_k \quad (6)$$

式中: ω_n 为第 n 个延迟单元的宽度。第一个 bin 的宽度正好校准到当前 bin 的中间位置。校准到 bin 的中半个 bin 宽度值不能被忽略掉,式(6)右边的求和是将时间校准到每个 bin 的边沿,加上半个 bin 的宽间位置能够将测量误差减少到最小,只有当所有延时单元的延时时间均匀分布时,校准到边沿或者中间的效果相同。

2 系统设计仿真

实验借助 Vivado 2019 软件使用 Verilog HDL 语言进行编程设计和实现 TDC 电路的各个模块。这一过程包括系统架构设计、模块级别的开发以及整体系统的综合,将完成的 TDC 系统烧录到 FPGA 中,进行板级验证以确保其性能和功能的可靠性。使用 FPGA 内部的 Carry4 进位链构建延迟链,通过后仿真验证其设计合理性,测试中采用的时钟周期为 2.5 ns。后仿真结果如图 4 所示,图中波形呈阶梯状表明延迟链中每个延迟单元均被“击中”,每个延迟单元的位置从左侧可查询,在后仿真波形图中标记测试信号相邻信号间的时间值为一个 Carry4 的时间长度,其中 4 个高电平表明 Carry4 中的 4 个 MUX 均被“击中”,由图可得每个 Carry4 的理论延迟时间值为 54 ps,进而每一个 MUX 的理论延迟时间为 13.5 ps。然而,由于制造工艺、环境和电压等因素的影响,需要进行码密度测试以获取准确的延迟时间值,测试结果用来制作统计直方图。

进行码密度测试需要大量脉冲信号,用以“击中”每一个 bin。通过 FPGA 内部的时钟模块产生测试脉冲信号,输入时钟(CLK_0)为 50 MHz,第 1 个 PLL 产生的频率 152.381 MHz(CLK_1)作为其他两个 PLL 的输入,驱动第 2 个 PLL 产生 100 MHz 的系统时钟(CLK_A),同时还驱动第 3 个 PLL 产生 100.01 MHz 的校准时钟(CLK_B),如图 5 所示。

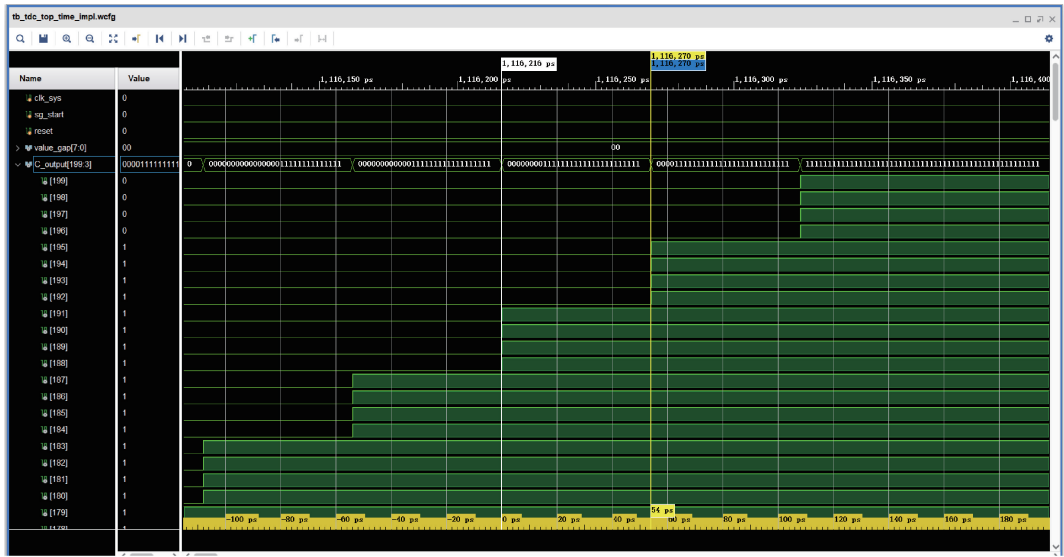


图4 后仿真测试结果

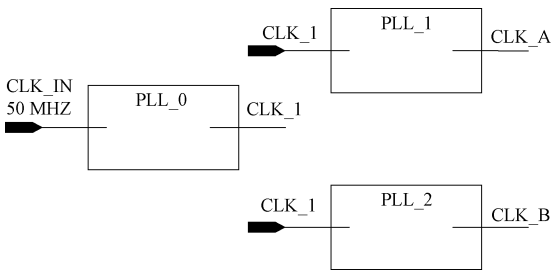


图5 系统时钟和校准时钟框图

该方式的优点是产生脉冲时间步长近似为 10 ps, 小于通过后仿真所得的单个延迟单元理论延迟时间 13.5 ps, 其目的是尽可能击中每一个 bin。

3 实验结果

在码密度测试实验中采用 Xilinx 的 ZYNQ7000 系列 FPGA 作为实验平台, 使用 CLK_A 作为系统时钟, CLK_B 作为被测信号, 通过采集到的 65 532 个实际测量数据作为测试结果, 计算各级延迟单元延迟时间并绘制统计直方图, 如图 6 所示。图中横轴代表各级的延迟单元级数, 纵轴代表各级的击中次数。

从图中分析可以得出, 延迟单元的不均匀分布给测量带来了较大的误差, 极有可能会影响系统的精度和稳定性。在统计直方图中, 被测量信号在延迟链上最多传递了 224 级, 但在第 200 级延迟单元处, 由于 FPGA 内部延迟链的跨区域连接, 延迟时间信号发生变化, 从而影响了该级的击中次数统计结果。在该级中, 击中次数明显多于其他延迟单元, 这种现象符合的 FPGA 内部结构特征。

根据式(3)获得各级延迟单元的延迟时间 t_i , 并完成对各级延迟单元长度的计算。将计算结果在 Original 2022 中进行曲线拟合得到系统实际分辨率。拟合曲线的斜率

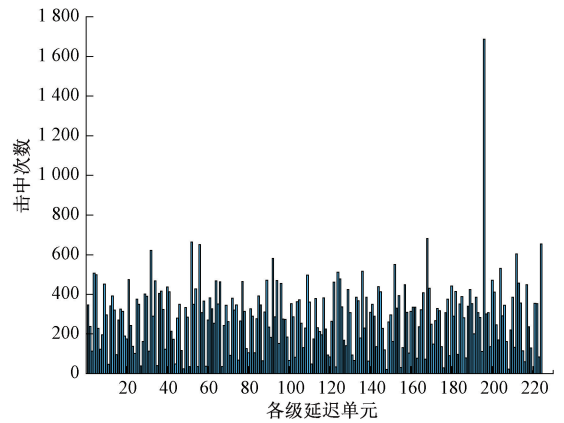


图6 码密度测试

约为 10.91, 这一数值表示信号在延迟链上每传递 1 个延迟单元时, 平均时间会增加约 10.91 ps。因此, 本实验近似认为设计的分辨率为 10.91 ps, 结果如图 7 所示。

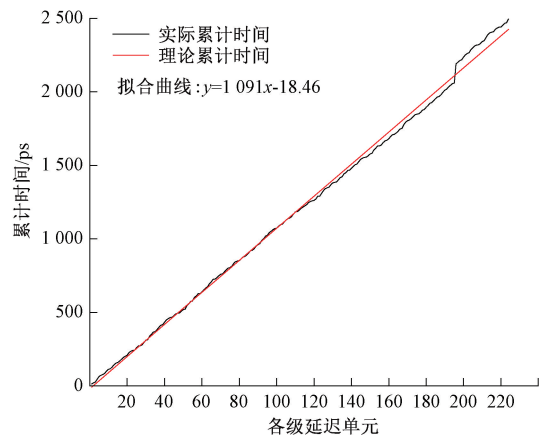


图7 各级延迟单元累计时间

通过 matalab R2022a 计算分析得到校准前后的 DNL 和 INL 值如表 1 所示,并绘制成折线图如图 8(a)、(b) 所示。

表 1 校准前后 DNL,INL

	DNL/LSB	INL/LSB
校准前	[-0.95,1.46]	[-1.67,2.69]
校准后	[-0.75,1.01]	[-1.74,2.19]

从表中数据可以明显看出,未经过校准的情况下,DNL 的最大值达到 1.46 LSB,可能导致失码现象并产生较大的测量误差。因此,需要进一步改善系统的非线性性能。采用 bin-by-bin 校准方式进行校准,校准后,DNL 的最大值减小为 1.01 LSB,同时 INL 的最大值在由原来的 2.69 LSB 减小为 2.19 LSB。通过校准前后的数据对比,校准后系统的测量误差得到了有效降低,非线性性能得到了明显提升。

为了进一步对比,表 2 列出了近些年采用相关技术的 TDC 性能,相比较调谐 TDL 和双延时线的结构设计,本文使用的子链平均结构能够获得更好分辨率,同时在结构设

表 2 所提方法与相关的 TDC

参考文献	使用方法	实现平台	分辨率/ps
Tontini A ^[17]	双通道+调谐 TDL	Spartan-6	25.6
Chen Y H ^[18]	TDL+双延时线交替 bin-by-bin 校准	Virtex-5	46.9
Parsakordasiabi M ^[19]	调谐 TDL+bin-by-bin 校准	Artix-7	22
本文	子链平均+bin-by-bin 校准	ZYNQ7000	14

4 结 论

文章采用一种基于 FPGA 内部逻辑延迟单元 Carry4 级联构建延迟链的方法,有效降低了系统资源消耗,同时提高了时间测量的精度。该方法采用子链平均的技术消除采样过程中超前进位导致的“气泡”问题,并结合码密度测试标定各级延迟单元延迟时间和 bin-by-bin 校准,进一步提高了测量的准确性。测试结果表明,各级 bin 码的偏移程度最大不超过一个 bin,该系统在各种条件下都能保持精度,并且不会出现明显失真。但在本文设计中对于采样使用的是上升沿采样,对处于下降沿与上升沿之间的目标信号采集仍存在一定的误差,下一步尝试将下降沿采样融入其中并使用双链同步采样,进一步提升 TDC 分辨率。为数据采集和处理提供更高的精度和可靠性,为未来的时间测量研究提供更有价值的参考。

参考文献

[1] SEO H, YOON H, KIM D, et al. Direct TOF scanning LiDAR sensor with two-step multievent histogramming TDC and embedded interference filter[J]. IEEE Journal of Solid-State Circuits, 2021, 56(4): 1022-1035.

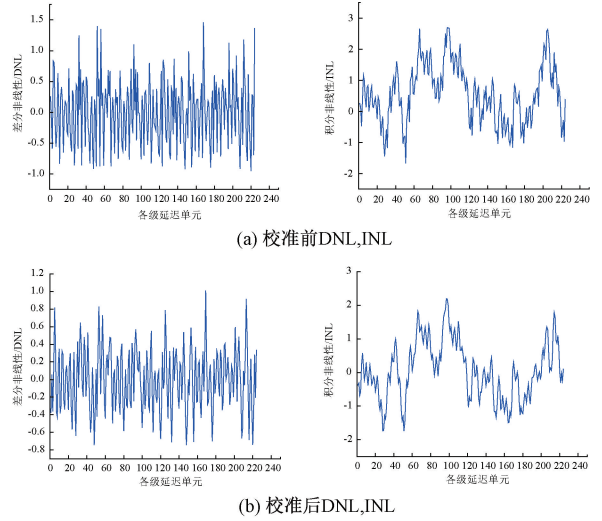


图 8 校准前后 DNL,INL

计上对“气泡”数据进行了有效清除,而且只用一条延迟链并不额外增加系统的开销,在降低系统设计成本的同时为新的 TDC 设计在结构上提供了一种新的思路。

[2] PALANIAPPAN A R, SIEK L. A 0.6 V, 1.74 ps resolution capacitively boosted time-to-digital converter in 180 nm CMOS [C]. 2019 IEEE International Symposium on Circuits and Systems(ISCAS), 2019: 1-4.

[3] ROSTAMI M S, SABERI M, MAYMANDI N M, et al. A low-power time-to-digital converter for sensor interface circuits[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2020, 67(12): 2853-2857.

[4] WANG Y, CAO Q, LIU C. A multi-chain merged tapped delay line for high precision time-to-digital converters in FPGAs [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2017, 65(1): 96-100.

[5] 张商州,袁训锋,楚冰清,等.基于 DSP 的蓄电池储能效率测试系统的设计[J].国外电子测量技术,2021, 40(8):145149.

[6] KWIATKOWSKI P, SZPLET R. Multisampling wave union time-to-digital converter[C]. Communication, and Signal Processing(EBCCSP), IEEE, 2020: 1-5.

[7] CHOI K J, JEE D W. Design and calibration

- techniques for a multichannel FPGA-based time-to-digital converter in an object positioning system[J]. IEEE Transactions on Instrumentation and Measurement, 2020, 70: 1-9.
- [8] WANG Y, LIU C. A 3.9ps time-interval RMS precision time-to-digital converter using a dual-sampling method in an UltraScale FPGA[J]. IEEE Transactions on Nuclear Science, 2016, 63(5): 2617-2621.
- [9] UGUR C, LINEV S, MICHEL J, et al. A novel approach for pulse width measurements with a high precision(8 ps RMS) TDC in an FPGA[J]. Journal of Instrumentation, 2016, 11(1): C01046.
- [10] LUSARDI N, LUCIANI M, GERACI A. Single-chain 4-channels high-resolution multi-hit TDC in FPGA [C]. IEEE Nuclear Science Symposium, Medical Imaging Conference and Room-Temperature Semiconductor Detector Workshop (NSS/MIC/RTSD), IEEE, 2016: 1-4.
- [11] WANG Y, LIU C, CHENG X, et al. Spartan6 FPGA based 8channel time-to-digital converters for TOF-PET systems[C]. IEEE Nuclear Science Symposium and Medical Imaging Conference(NSS/MIC), IEEE, 2015: 1-3.
- [12] CAO G, XIA H, DONG N. An 18-ps TDC using timing adjustment and bin realignment methods in a Cyclone-IV FPGA [J]. The Review of Scientific Instruments, 2018, 89(5): 054707.
- [13] 汪琳莉, 吴琛怡, 祁慧宇, 等. 多波束单光子雷达的多通道计时测量[J]. 激光与光电子学进展, 2022, 59(2): 80-85.
- [14] 蔡东东, 何在民, 刘正阳, 等. 基于码密度法的 FPGA 进位链时延标定[J]. 时间频率学报, 2019, 42(3): 240-247.
- [15] 赵捷, 赵野, 童纪昀, 等. 应用于时间数字转换器的补偿校准算法及电路[J]. 合肥工业大学学报(自然科学版), 2022, 45(12): 1637-1642.
- [16] 庞高远, 孟煦, 郭围围, 等. 新型两步式高精度 TDC 的设计[J]. 电子测量与仪器学报, 2021, 35(7): 115-122.
- [17] TONTINI A, GASPARINI L, PANCHERI L, et al. Design and characterization of a low-cost FPGA-based TDC [J]. IEEE Transactions on Nuclear Science, 2018, 65(2): 680-690.
- [18] CHEN Y H. Time resolution improvement using dual delay lines for field-programmable-gate-array-based time-to-digital converters with real-time calibration [J]. Applied Sciences, 2018, 9(1): 20.
- [19] PARSAKORDASIABI M, VORNICU I, RODRÍGUEZ V Á, et al. A low-resources TDC for multi-channel direct ToF readout based on a 28-nm FPGA[J]. Sensors, 2021, 21(1): 308.

作者简介

何继爱, 教授, 硕士生导师, 主要研究方向为通信信号处理、盲信号处理、认知无线电以及通信感知一体化。

辛家乐, 硕士研究生, 主要研究方向为 FPGA 嵌入式开发及硬件设计。

E-mail: 15291732573@163.com

石麟泰, 硕士研究生, 主要研究方向为激光图像处理。