

DOI:10.19651/j.cnki.emt.2312864

基于FPGA的LEO卫星通信大频偏时钟恢复算法设计

罗艳飞 冯智波 谭家乐 朱彦铭 张俊杰
(上海大学特种光纤与光接入网重点实验室 上海 200444)

摘要: 在卫星高速数传通信系统中,多普勒效应等因素会导致收发符号定时偏差加大,采用 Gardner 时钟恢复算法可以有效地消除其影响。然而现有时钟恢复算法实现结构存在着采样速率和实现复杂度较高的问题,由于实际系统中采样率和硬件资源有限,使其难以满足更高速率以及更高定时偏差容忍度的需求。基于 Gardner 时钟恢复算法,提出了一种新的并行实现结构,通过引入增删状态机、样值调整模块以及符号抽取模块使其能够在两倍符号率采样时实现快速符号定时计算。仿真及 FPGA 板级测试表明,该结构适应 QPSK/8PSK/16APSK 多种调制格式,能够容忍高达 $\pm 400 \times 10^{-6}$ 的定时频率偏差,且长期测试误码率稳定。另外,在实现 625 MBaud 符号率的实时接收机系统时,所提出的并行实现结构相对传统结构节省了约 37% 的 LUT 资源以及一半以上的 Register 和 DSP 资源,在资源受限的实时通信系统中具有很大的应用价值。

关键词: FPGA;并行时钟恢复算法;Gardner

中图分类号: TN927 **文献标识码:** A **国家标准学科分类代码:** 510.5015

Design of clock recovery algorithm for large frequency offset in LEO satellite communication based on FPGA

Luo Yanfei Feng Zhibo Tan Jiale Zhu Yanming Zhang Junjie

(Key Laboratory of Specialty Fiber and Optics Access Networks, Shanghai University, Shanghai 200444, China)

Abstract: In a high-speed satellite data transmission system, factors such as the Doppler effect will cause symbol timing offset between transmitter and receiver, it can be effectively corrected by the Gardner clock recovery algorithm. However, the existing implemental structure of clock recovery algorithm has disadvantages of high sampling rate and complexity, it is difficult to meet the requirements of higher symbol rate and timing offset tolerance because of limited sampling rate and hardware resources in the real-time system. Thus, this paper proposes a new parallel structure based on the Gardner clock recovery algorithm. By introducing add/delete state machine, sample adjusts module, and symbol extract module, it can realize fast symbol timing estimation when sampling at twice the symbol rate. Simulation and FPGA board-level tests show that this structure is suitable for multiple modulation formats of QPSK/8PSK/16APSK. It can tolerate timing frequency offset of up to $\pm 400 \times 10^{-6}$, and has a stable bit error rate in long-term tests. In addition, when implementing a real-time receiver system with 625 MBaud symbol rate, the parallel structure proposed in this paper saves about 37% of LUT resources and more than half of the Register and DSP resources compared with the traditional structure. It is practical and has great value in a real-time communication system with limited resources.

Keywords: FPGA;parallel clock recovery algorithm;Gardner

0 引言

随着通信、测绘、遥感等卫星服务质量的不断提升,现阶段数传系统已经达到了 Gbps 的通信速率,高速卫星数传通信系统成为了研究热点。根据 CCSDS 401.0-B-32 标

准,近地轨道(low earth orbit, LEO)卫星与地面站的最大相对运动速度可以达到 10 km/s,由相对运动引起的多普勒效应会导致收发端符号定时偏差,加上时钟不稳定性因素,收发双方可能产生 $\pm 100 \times 10^{-6}$ 的符号定时偏差^[1],无线通信系统中通常采用时钟恢复算法来解决符号定时偏差

问题,时钟恢复算法的好坏直接影响着解调器的性能,因此研究高速实时时钟恢复算法是非常必要的。

数字接收机中通常采用 Gardner 算法^[2]来解决时钟恢复问题,它是一种非数据辅助算法,输入数据速率仅为两倍符号率,并且对载波频率和相位偏差不敏感,该特性使其能够独立于载波恢复作为接收端信号处理的预算法^[3],即数模转换器(analog to digital converter, ADC)采样数据首先通过 Gardner 算法恢复出最佳符号序列,后续模块仅需对符号数据进行处理,实现复杂度较低,非常适用于硬件资源有限的高速数传通信系统。

原始 Gardner 时钟恢复算法是串行实现的,但是基于 FPGA 实现的实时通信系统工作频率只能达到几百 MHz,而采样数据速率通常有几 GHz^[4-5],非常必要开展对并行时钟恢复算法的研究。传统并行实现结构^[6-8]基于串行算法的简单堆叠,每路数据对应单独的参数,并通过 NCO 寄存器的溢出生成 *enable* 使能信号来控制插值后各路数据是否有效,随后引入定时调整单元对有效数据进行提取重组并输出给后续模块用于定时误差值计算和最佳样值点的抽取。然而该结构无法适应采样率为两倍符号率的情况,这是因为当采样率为两倍符号率时,NCO 控制字在数值 1 上下抖动,如果 NCO 控制字大于 1 且 NCO 寄存器初始值接近 0,会使 NCO 寄存器两次溢出,即有两个有效样值点,但是该结构采用 *enable* 信号只能记录一次溢出,从而导致样值点的丢失,由于需要的采样率更高且每路数据都有单独参数调整,使得该结构较为复杂,资源占用较多;接着文献[9]和文献[10]设计了一种双反馈结构的并行实现方案并在两倍符号率采样下验证了该结构能够稳定工作,但它是通过在插值滤波之前引入数据缓冲模块对采样值进行调整,数据缓冲模块的输出并行路数需要大于输入并行路数以保证数据连续,这样使得后续模块复杂度变高,降低了整体资源利用率;文献[11]以每个时钟周期的所有并行数据为整体,通过判断分数间隔 μ 是否超过 1 生成 *overflow* 指示信号,并反馈给环路前端引入的样值点丢弃单元对采样数据进行调整;文献[3]采用了与文献[11]相似的结构,并在 FPGA 接收机平台上实时验证了该结构在最大 330×10^{-6} 定时频率偏差下具有长期稳定的误码率性能。然而这种并行实现结构只能处理样值点多余问题却不能处理样值点缺失问题,需要接收端采样率略高于符号率的两倍,即只能适应正的定时频率偏差,不具有通用性。

因此,针对以上问题,本文提出一种新的并行时钟恢复实现结构,该结构基于 Gardner 时钟恢复环路,通过引入增删状态机、样值调整模块以及符号抽取模块使其能够在两倍符号率的采样下实现定时偏差调整和最佳样值计算;并在 Xilinx xc7vx690 t FPGA 平台上,实现了基于 DVB-S2 物理层帧格式的 625 MBaud 符号率数传接收机系统,测试验证了本文所提出的并行时钟恢复结构适应 QPSK/8PSK/16APSK 多种调制格式,能够容忍高达 $\pm 400 \times 10^{-6}$

定时频率偏差,且长期测试误码率稳定;另外该结构相对于传统并行实现结构^[6]可以节省约 37% 的 LUT 资源占用,具有很高的工程应用价值。

1 并行时钟恢复结构设计

传统的数字 Gardner 时钟恢复环路模型^[12-13]如图 1 所示,ADC 以固定时钟频率进行采样,经匹配滤波后的过采样基带信号输入到时钟恢复环路来校正定时偏差。该环路由插值滤波器、定时误差检测器、环路滤波器以及数控振荡器(numerically controlled oscillator, NCO)4 个子模块组成,其中定时误差检测器采用 Gardner 算法计算每个符号的定时误差值并输出到环路滤波器进行平滑处理;数控振荡器则利用环路滤波器输出的控制字生成插值位置信息^[14];最后由插值滤波器利用已采样的非同步数值与环路反馈的插值位置信息完成定时校正并输出最佳采样值。

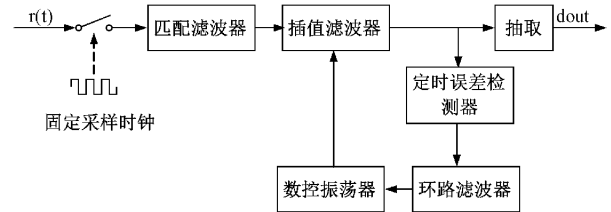


图 1 Gardner 定时同步环路系统模型

为了适应高速数字接收机的需求,本文基于传统串行算法提出了如图 2 所示的并行时钟恢复实现结构。除了传统串行算法中的功能模块,还引入了增删状态机、样值调整模块以及符号抽取模块,该结构中输入为 $2M$ 路并行数据,数据速率为两倍符号率。

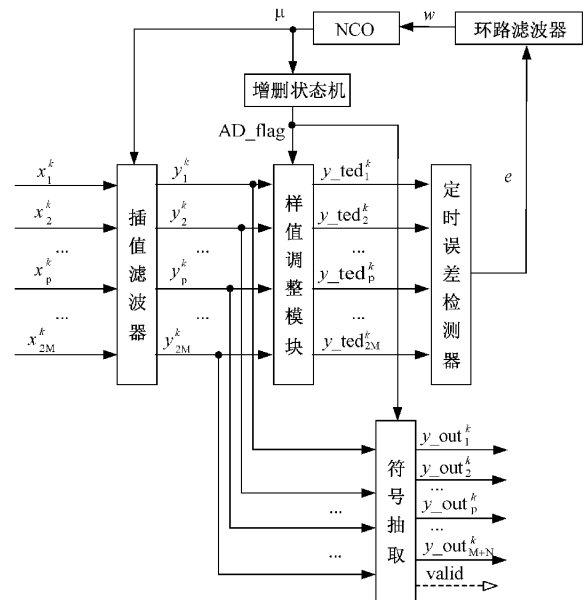


图 2 并行时钟恢复环路结构

其中,插值滤波器采用如图 3 所示的 Farrow 并行结构^[15]实现,插值方法是设计参数为 0.5 的抛物线插值,该

参数可以通过移位加减的方式实现,能够节省硬件实现的乘法资源;定时误差检测器依据下述表达式计算 M 组符号样值的定时误差平均值 e :

$$e(k) = \{real[y_{ted1}^{*k} \times (y_{ted2M}^k - y_{ted2}^k)] + \sum_{i=2}^M real[y_{ted2i-1}^{*k} \times (y_{ted2i-2}^k - y_{ted2i}^k)]\} / M \quad (1)$$

其中, y_{ted}^* 为 y_{ted} 的共轭;随后将定时误差平均值 e 输入到图4所示二阶环路滤波器计算得到NCO控制字 ω ,其中 c_1, c_2 为环路滤波器系数;后续NCO模块计算出分数间隔 μ ,并反馈给插值滤波器以及增删状态机模块;接着符号抽取模块利用插值后的样值以及增删指示信号 AD_flag 抽取符号样值点,作为时钟恢复后的符号数据流。

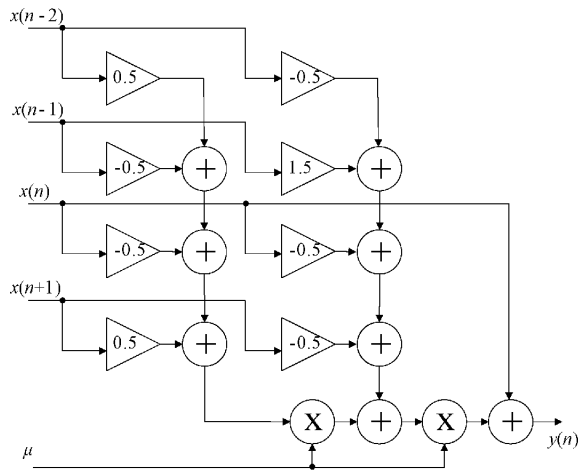


图3 Farrow 结构抛物线插值滤波器

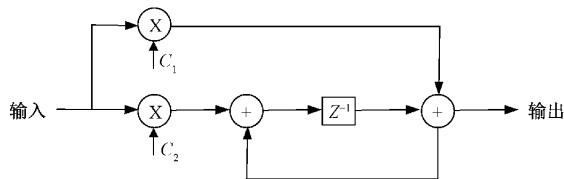


图4 二阶环路滤波器结构

由于收发端时钟是独立的,当存在定时频率偏差时,会产生采样点多余或者采样点缺失的问题。如图5所示,在并行结构中,过采样数据 x_p^k 经插值滤波器计算得到 y_p^k ,其中 μ 是NCO计算反馈给插值滤波器的,当 μ 从0.99跳变到0.01时, k 时刻插值结果的最后一路和 $k+1$ 时刻插值结果的第一路基本相同,产生一个多余样值点;当 μ 从0.01跳变到0.99时, $k+1$ 时刻插值结果的最后一路和 $k+2$ 时刻插值结果的第一路间隔了两个样值点宽度,中间缺失了一个样值点。在本结构中,上述由定时频率偏差导致的样值点位置偏移是通过增删状态机和样值调整模块来校正,这相当于插值滤波器校正了采样点的分数倍偏移,而增删状态机和样值调整模块校正了整数倍偏移。

增删状态机依据 μ 的跳变生成增删指示信号 AD_flag

当 μ 从大到小跳变, AD_flag 为二进制11;当 μ 从小到大的跳变时, AD_flag 为二进制01;当 μ 无数值跳变时, AD_flag 取为二进制00。

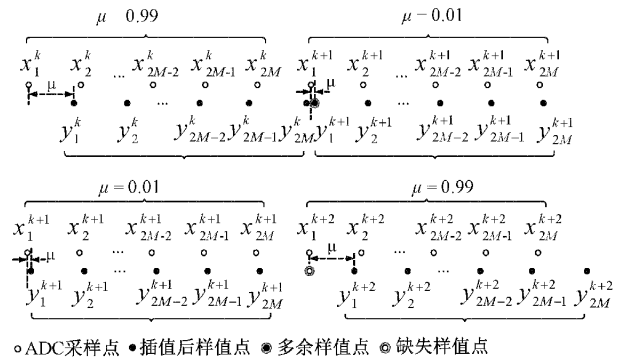


图5 采样点调整图例

样值调整模块的输入为插值后的 $2M$ 路数据以及 AD_flag 指示信号,该模块通过RAM缓冲定时误差检测器所需的有效样值点,然后再调整为 $2M$ 路并行输出。图6展示了其详细工作流程,其中RAM深度为 $3 \times 2M$ 个样值,RAM地址从左到右分别为0到 $3 \times 2M - 1$, ptr 为写入当前时刻的数据后下一位置的RAM地址指针,其初始值为 $2 \times 2M$,例外情况是当RAM写满时,认为 ptr 指针大小为 $3 \times 2M$ 。

RAM写数据操作根据 AD_flag 指示信号完成:

- 1) 当 AD_flag 为11时,表示产生了多余样值点,则删除该时刻的第一路数据,其余 $2M - 1$ 路数据存入RAM中, $ptr - 1$;
- 2) 当 AD_flag 为01时,表示缺失样值点,则添加同时刻输入的过采样数据的第一个,共 $2M + 1$ 路数据存入RAM中, $ptr + 1$;
- 3) 否则当 AD_flag 为00,不需要调整样值,将此时刻 $2M$ 路数据存入RAM中, ptr 保持不变。

RAM的读取以及丢弃样值点等操作均是依据 ptr 指针的大小进行的,有如下3种情况:

- 1) 如果 ptr 大于等于 $2M$ 并且小于 $3 \times 2M$,则输出低地址 $2M$ 个样值作为后续定时误差检测器输入,然后将高地址数据向下移动 $2M$ 个地址;
- 2) 如果 ptr 等于 $2M$,由于RAM中即将没有足够的数,则将 ptr 复位为初始值 $2 \times 2M$,此时阻塞一拍,不从RAM中读取数据,输出全零;
- 3) 如果 ptr 等于 $3 \times 2M$,为防止溢出,也将 ptr 数值复位为初始值 $2 \times 2M$,输出RAM低地址 $2M$ 个数据,同时丢弃中间 $2M$ 个样值,然后高地址的 $2M$ 个数据向下移动 $2 \times 2M$ 个地址。

图6中 $(i+1)Ts$ 和 $(j+3)Ts$ 时刻分别展现了 ptr 指针为 $2M$ 和 $3 \times 2M$ 时的情况,在 $(i+1)Ts$ 时刻, AD_flag 为11,需要写入 $2M - 1$ 个数据,写入后 ptr 指针应该为

$2M$, 则 ptr 复位为 $2 \times 2M$ 并阻塞一拍输出; 在 $(j+3)Ts$ 时刻, AD_flag 为 01, 需要写入 $2M+1$ 个数据, 写入后 ptr 指针应该为 $3 \times 2M$, 因此 ptr 复位为 $2 \times 2M$, 同时丢弃 $2M$ 个样值点。

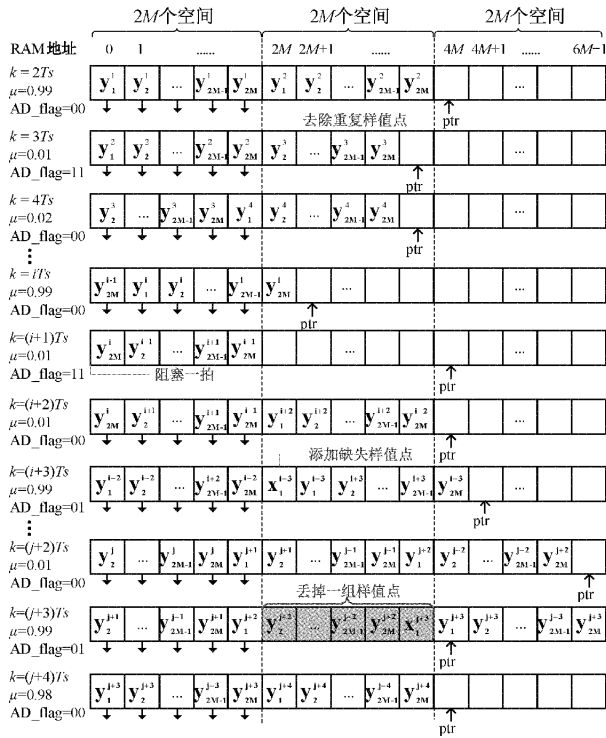


图 6 样值调整模块运行流程

符号抽取模块输出时钟恢复后的符号样值, 其处理逻辑与上述样值调整模块类似, 所不同的是, 符号抽取模块要保证输出所有符号, 不能有样值点丢弃, 因此该模块输出并行路数大于 M , 使其最大输出速率略高于符号率, 并通过

$valid$ 信号指示输出数据是否有效。

2 实验结果

本文基于 DVB-S2 物理层数据帧格式验证所提出的并行定时恢复结构的性能, 调制方式包括 QPSK/8PSK/16APSK, 符号速率为 625 MBaud。硬件验证平台如图 7 所示, 其中任意波形发生器 (arbitrary waveform generator, AWG) 作为发射机, 发射中频调制信号, 接收端功能由 FPGA 板卡完成。AWG 型号为泰克 AWG7122C, ADC 芯片采用 TI 公司生产的具有 12 bit 量化位宽的 AD12D1600, FPGA 使用的是 Xilinx xc7vx690 t 芯片。

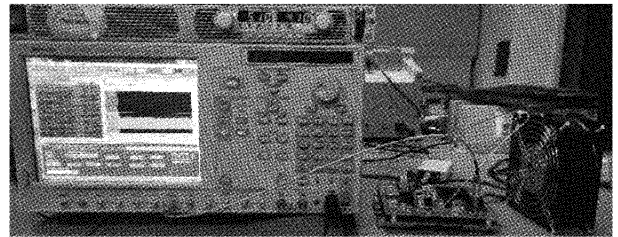


图 7 硬件测试平台

本实验搭建了图 8 所示的实时接收系统用于测试验证, 由 ADC 采样中频调制信号, 采样数据依次经过各模块处理后将解调得到的硬判决结果与模板比较获得误码率统计数据。其中补偿滤波器用于校正信号频谱通带内的衰减, 提高信号质量, 由图 9 可以看到补偿后信号频谱变得平坦; 匹配滤波器采用根升余弦滚降滤波器, 滚降系数为 0.4, 阶数为 100 阶; 时钟恢复模块即采用本文提出的并行时钟恢复结构; 帧同步采用文献[16]建议的帧头差分相关算法; 随后利用帧头与固定星座模板相关计算出相位偏差并补偿; 误码率统计结果可以通过 FPGA 在线调试工具抓取。

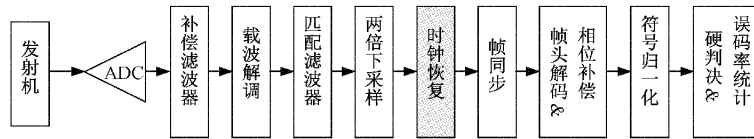


图 8 实时接收系统处理流程

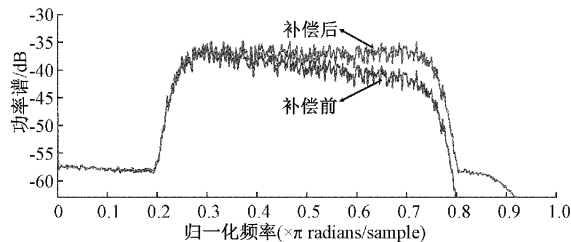


图 9 补偿前后信号频谱

系统中时钟恢复模块的关键参数如表 1 所示, ADC 采样数据速率为 2.5 Gsps, 经下采样之后输入到时钟恢复模块的数据速率为 1.25 Gsps, 即符号速率的两倍, FPGA 时

表 1 系统相关参数

参数描述	参数值
ADC 采样率	2.5 GHz
符号速率	625 MBaud
FPGA 工作频率	156.25 MHz
输入数据位宽	12 bit
并行路数(2M)	8 路
环路滤波器参数	$c1=2 \times 10^{-5}; c2=2 \times 11$
分数间隔 μ 位宽	9 bit
定时误差值 e 位宽	32 bit
NCO 控制字 ω 位宽	32 bit

钟工作频率定为 156.25 MHz,输入数据并行路数为 8 路。

本实验不同信噪比的调制数据由 Matlab 生成,然后将其导入到 AWG 中输出,并通过设置 AWG 的发送频率来模拟收发端之间的时钟偏差。为了准确控制时钟偏差大小,AWG 需要采用外部参考时钟源,参考时钟由 FPGA 板卡提供。导入到 AWG 的调制信号速率为 4 倍符号率,即 2.5 Gbps,通过把 AWG 发送频率分别设置为 2.5 GHz 或者 (2.5 ± 0.01) GHz 产生 0×10^{-6} 以及 $\pm 400 \times 10^{-6}$ 的定时频率偏差,用于测试本文所提出的并行时钟恢复算法在不同定时频率偏差下的性能。

为了验证所提出的并行实现结构的性能和正确性,首先采用 Matlab 仿真对比了本文所提出的并行实现结构与原始串行算法^[2]的误码率性能,得到图 10 所示的误码率性能仿真结果,在定时频率偏差为 0×10^{-6} 和 $\pm 400 \times 10^{-6}$ 的情况下,本文提出的并行实现结构在 QPSK/8PSK/16APSK 三种调制格式下的误码率性能与原始串行实现算法的性能基本一致。

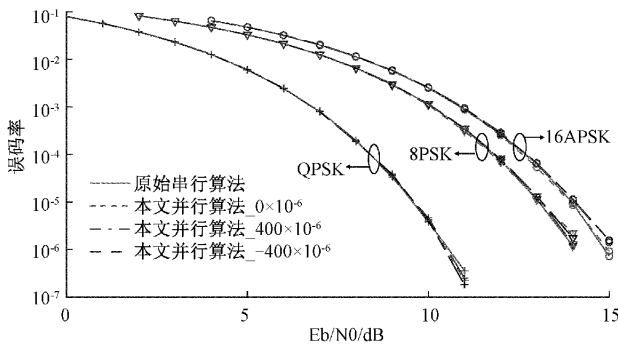
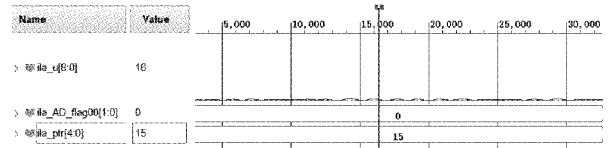


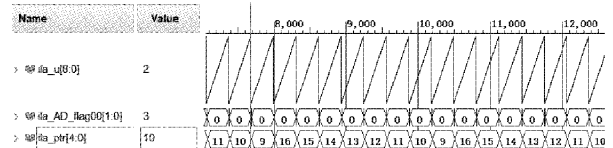
图 10 误码率性能仿真结果

上述仿真实验验证了并行算法的性能,为了进一步验证本文设计的定时同步模块在实际系统中的功能和性能,进行了板级的接收测试,并通过集成逻辑分析仪 (integrated logic analyzer, ILA) 实时抓取了不同定时频率偏差下模块的关键参数,如图 11 所示。从图中可以看到分数间隔 μ 、AD_flag 指示信号以及 ptr 指针的实时运行情况:当无定时频率偏差时,分数间隔 μ 基本稳定在一个固定值;而存在定时频率偏差时,分数间隔 μ 呈周期性锯齿状变化。统计图 11(b) 中 10 个周期的锯齿波长度为 3 126 个时钟周期,即 3 126 个时钟周期内产生了 10 个多余样值点,每时钟周期传输 8 路样值,则由此计算该信号的定时频率偏差为 $10/3126/8$,即 399.87×10^{-6} ,与预设的 400×10^{-6} 定时频率偏差基本吻合;类似的图 11(c) 的结果也与预设值吻合,说明模块工作正常。

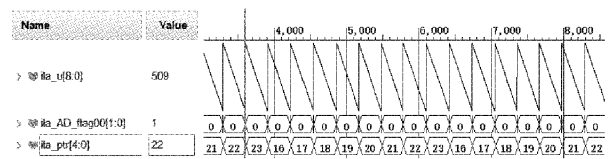
接着,进行了 QPSK/8PSK/16APSK 调制格式下的误码实验:每个信噪比点测试 10^{11} bit 的误码情况,得到了图 12 的误码率曲线结果。除了实时测试结果,图中还给出了 Matlab 离线解调的结果作为参考。从图中可以看到:实时误码率测试结果比离线测试结果略差一点,但是



(a) 无定时频率偏差

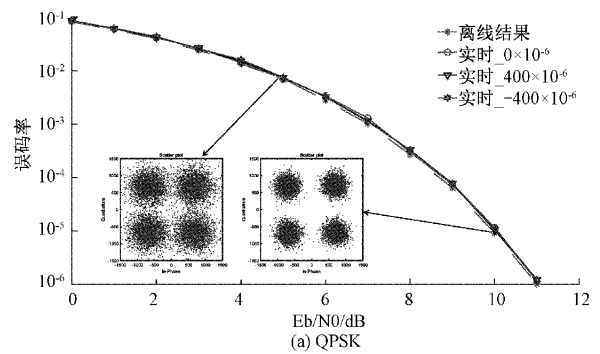


(b) 定时频率偏差 400×10^{-6}

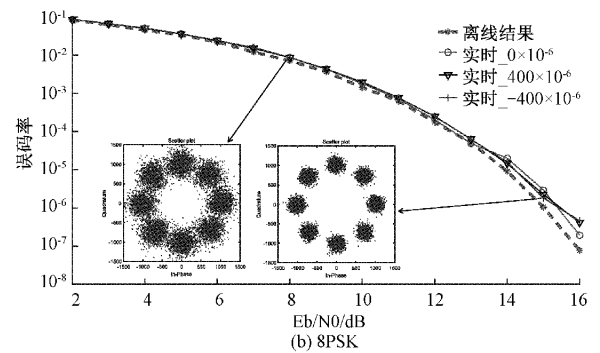


(c) 定时频率偏差 -400×10^{-6}

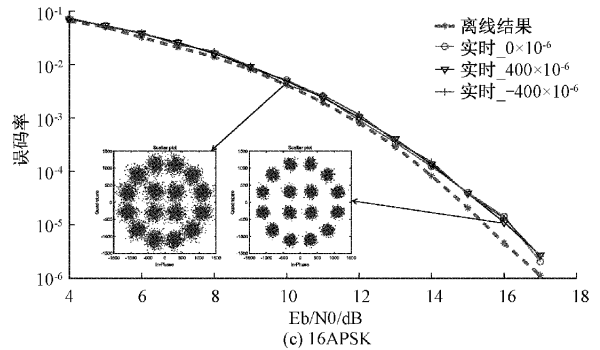
图 11 时钟恢复模块相关信号



(a) QPSK



(b) 8PSK



(c) 16APSK

图 12 实时测试误码率结果

整体变化趋势是一致的,解调后的星座点清晰可见,说明该并行时钟恢复模块在真实系统中可以稳定工作,且性能接近 Matlab 离线解调的理想结果。存在些许偏差的原因主要在于实时系统中定点化运算及相位估计、归一化等算法会带来一定的计算精度损失。

另外为了验证本文所提并行时钟恢复结构在硬件资源占用上的优势,表 2 对比了其与传统并行结构^[6]在实现上述实时系统时的资源占用情况。由于传统并行结构在两倍符号率下不适用,为实现同样的功能,需要采用四倍符号率,并行路数为 16 路,可以看到本文所提出的并行时钟恢复结构比传统结构节省约 37% 的 LUT 资源以及一半以上的 Register 和 DSP 资源,在实际工程中具有很高的资源效率。

表 2 资源占用情况

资源类型		LUT	Register	DSP
使用情况	本文结构	5 746	4 131	42
	传统结构	9 212	13 118	96

3 结 论

本文分析了高速实时通信系统中对高效并行时钟恢复算法的需求,提出一种新的实现结构,通过 Matlab 仿真以及板级测试验证了所提出的并行算法在 QPSK/8PSK/16APSK 多种调制格式下能够容忍高达 $\pm 400 \times 10^{-6}$ 的定时频率偏差,具有与原始串行算法相近的误码率性能;同时与传统的并行实现结构相比,节省约 37% 的 LUT 资源以及一半以上的 Register 和 DSP 资源,在资源受限的实时通信系统中具有很大的应用价值。

参考文献

- [1] CCSDS 401.0-B-32. Radio frequency and modulation systems-Part 1: Earth stations and spacecraft[S]. 2021.
- [2] GARDNER F. A BPSK/QPSK timing-error detector for sampled receivers [J]. IEEE Transactions on communications, 1986, 34(5): 423-429.
- [3] LI Y, LI Y, DONG T, et al. Real-time clock recovery algorithm with high clock frequency offset tolerance[J]. Optics Communications, 2021, 493: 127025.
- [4] 孔令波,陈茂胜,郑惠中. 大型光学遥感卫星高可靠高性能综合电子系统设计[J]. 电子测量与仪器学报, 2022, 36(8): 178-186.
- [5] 罗强,刘景元. 高速数传中改进的 CIC 滤波器的仿真与实现[J]. 通信技术, 2020, 53(8): 1869-1872.
- [6] LI H, WANG Z G, WANG H J. A high speed parallel timing synchronization algorithm for 16QAM[C]. 2016 13th International Computer Conference on Wavelet Active Media Technology and Information Processing(ICCWAMTIP), IEEE, 2016: 403-407.
- [7] HU J, ZHU L, WANG J. The implementation of high speed parallel timing synchronization algorithm based on FPGA[C]. 2018 10th International Conference on Communication Software and Networks(ICCSN), IEEE, 2018: 484-487.
- [8] 胡婉如,王竹刚,梅如如,等. 高速并行 Gardner 算法设计与实现[J]. 国防科技大学学报, 2023, 45(2): 95-104.
- [9] HAO X, LIN C, WU Q. A parallel timing synchronization structure in real-time high transmission capacity wireless communication systems[J]. Electronics, 2020, 9(4): 652.
- [10] GU Y, CUI S, KE C, et al. All-digital timing recovery for free space optical communication signals with a large dynamic range and low OSNR[J]. IEEE Photonics Journal, 2019, 11(6): 1-11.
- [11] SCHMIDT D, LANKL B. Parallel architecture of an all digital timing recovery scheme for high speed receivers[C]. 2010 7th International Symposium on Communication Systems, Networks & Digital Signal Processing(CSNDSP 2010), IEEE, 2010: 31-34.
- [12] 杨祎,刘雯,阴亚芳,等. 基于改进 Gardner 算法的水下无线光 OQPSK 系统性能分析[J]. 量子电子学报, 2022, 39(3): 467-476.
- [13] 付永明,朱江,琚瑛珏. Gardner 定时同步环路参数设计及性能分析[J]. 通信学报, 2012, 33(6): 191-198.
- [14] 顾圣明,陈丽婷,陈建斌. Gardner 同步算法在高速 GMSK 信号传输中的应用[J]. 无线电工程, 2019, 49(6): 527-533.
- [15] HAO X, WU Q, WANG Z, et al. Parallel timing synchronization algorithm and its implementation in high speed wireless communication systems[C]. 2019 International Conference on Electronics, Information, and Communication(ICEIC), IEEE, 2019: 1-6.
- [16] ETSI TR 102 376-1 V1.2.1. Implementation guidelines for the second generation system for Broadcasting, interactive services, news gathering and other broadband satellite applications, Part 1: DVB-S2[S]. 2015.

作者简介

罗艳飞,硕士研究生,主要研究方向为 FPGA 数字信号处理。
E-mail: valiantlyf@shu.edu.cn