

DOI:10.19651/j.cnki.emt.2211620

# 基于改进级联泰勒补偿的 TIADC 时间误差校准

张洋 崔子豪 张建伟 李雪涛 赵佳庆 罗向东  
(南通大学信息科学技术学院 南通 226019)

**摘要:** 本文提出了一种针对于高速高精度 TIADC 时间失配误差的改进级联泰勒补偿算法。利用线性近似原理来估计时间失配误差,再采用一种经过改进的级联泰勒补偿结构进行误差补偿。其中,误差补偿模块与误差估计模块一起构成反馈式校准结构,以便于能够对时间失配误差实时估计与校准。在 MATLAB 建立一个位数为 16 bit,时钟采样频率为 500 MHz 的 4 通道 TIADC 系统时间失配误差校准模型进行仿真验证。实验结果表明,当输入信号频率在整个奈奎斯特频段内,经过 3 阶校准后,TIADC 系统的 SFDR 平均提高 56.2 dB,SNR 平均提高 55.6 dB。相比于传统的级联泰勒补偿结构,进一步缩小了硬件实现规模。

**关键词:** 高速高精度;泰勒补偿;时间交替模数转换器;线性近似

**中图分类号:** TN79<sup>+</sup>2 **文献标识码:** A **国家标准学科分类代码:** 510.4030

## TIADC time error calibration based on improved cascade Taylor compensation

Zhang Yang Cui Zihao Zhang Jianwei Li Xuetao Zhao Jiaqing Luo Xiangdong  
(School of Information Science and Technology, Nantong University, Nantong 226019, China)

**Abstract:** An improved cascaded Taylor compensation algorithm for the time mismatch error in high-speed high-precision TIADC is proposed. Specifically, the linear approximation principle is used to estimate the time mismatch error, then an improved cascaded Taylor compensation structure is used to compensate for error. The error compensation module and error estimation module together form a feedback calibration structure to enable real-time estimation and calibration of the time mismatch error. A 4-channel TIADC system with 16 bit and clock sampling frequency of 500 MHz is established in MATLAB for simulation and verification of the time mismatch error calibration model. The experimental results show that when the input signal frequency is in the whole Nyquist frequency band, and after the 3rd order calibration, the SFDR and SNR of the TIADC system are improved by 56.2 and 55.6 dB on average. Compared to the traditional cascaded Taylor compensation structure, the hardware implementation is further reduced in size.

**Keywords:** high-speed high-precision; Taylor compensation; TIADC; linear approximation

## 0 引言

伴随着通信技术在卫星、雷达、测试仪器采集等方面的广泛应用,模数转换器(analog-to-digital converter, ADC)在众多领域起着至关重要的作用<sup>[1-2]</sup>。但由于受到制造工艺技术的限制,想要在单片 ADC 上同时实现高速高精度是相当困难<sup>[3,4]</sup>。然而,时间交替模数转换器(time-interleaved ADC, TIADC)的提出,使得高速高精度的实现成为一种可能。其原理是将几片相同低速度且高精度的 ADC 对同一个模拟输入信号进行交替采样,该方法不仅可以保持原有的 ADC 精度,而且还可以成倍地提升采样速

度。但同样由于受到工艺制造技术的影响,各个 ADC 性能参数不可能全部一样,这就使得组成的 TIADC 系统通道内部存在着许多失配误差。如果不对这些失配误差进行校准,会对整个 TIADC 系统的各项动态性能指标造成一定影响<sup>[5-7]</sup>。通过现有的校准方法研究表明,时间失配相比于偏置失配和增益失配更难检测和校准<sup>[8-10]</sup>。基于此,如何消除 TIADC 中的时间失配误差成为国内外关注的热点问题。

目前针对 TIADC 时间失配误差估计和校准,文献[11]提出基于过零点统计的误差估计算法,但该方法由于增加了额外的比较器电路,不仅硬件成本会增加,而且还会引入新的电路误差。文献[12]采用数字插值滤波器对失配误差进

收稿日期:2022-10-07

行补偿,但一旦失配误差参数发生变化,滤波器的参数也要随之改变,该方法很明显不利于实时对失配误差进行校准。文献[13]提出 Farrow 结构滤波器对失配误差进行校准,虽然该方法在一定程度上降低了硬件消耗,但当系统输入信号为较高频率时,校准效果通常会变的不理想。文献[14]提出希尔伯特滤波器的校准方法,但该方法只适用于 2 通道,不能扩展到任意通道,在一定程度上限制了整个系统的采样速率。文献[15]提出了一种盲估计算法,其显著优势是无需知道输入信号的相关信息,但要求输入信号频谱需要具有稀疏特性,且计算过程繁琐,一般不利于工程实现。文献[16]提出引入参考通道的校准方法,该方法不仅需要多余的 ADC 参考通道,而且收敛速度与参考通道 ADC 精度有关,校准效果一般。因此,可以看到,校准 TIADC 时间失配误差时需要多少硬件资源、计算过程是否复杂、能否实时精确估计和校准、通道数目是否限制以及是否无需参考通道是目前研究该方向主要存在问题。

对于上述这几种方法目前存在的缺陷,本文提出一种适用于高速高精度 TIADC 系统的时间失配误差补偿算法。利用线性近似原理,对相邻子 ADC 通道输出信号作差值运算来估算时间失配误差,再采用一种改进的级联泰勒补偿结构进行误差补偿。相比于传统的级联泰勒补偿结构,本文校准算法计算简单、硬件资源少和校准精度高。而且,不论当输入信号为单频或多频时,在整个奈奎斯特频段内都具有良好的校准效果,适用于较高精度 TIADC。

## 1 TIADC 误差建模

本文首先对 TIADC 系统进行误差建模,其误差模型如图 1 所示。图中第  $m$  通道 ADC 所存在的增益失配、偏置失配以及时间失配分别为  $g_m$ 、 $o_m$  和  $\Delta t_m T_s$ ; TIADC 系统采样周期为  $T_s$ ; 则相应的 TIADC 系统采样频率为  $f_s$ 。假设 TIADC 系统输入的模拟信号为单频正弦信号,则该信号理想表达式为:

$$x(t) = \sin(2\pi f_{in} t) \quad (1)$$

式中:  $f_{in}$  为 TIADC 系统模拟输入信号频率。假设 TIADC 系统各通道间存在上述 3 种失配误差时,则第  $m$  通道 ADC 实际采样本输出序列为:

$$y_m[n] = (1 + g_m) \sin(2\pi f_{in} (t_n + \Delta t_m T_s)) + o_m \quad (2)$$

式中:  $t_n = (nM + m - 1)T_s$ , 表示第  $m$  通道 ADC 理想采样时刻。

## 2 校准算法

本文假设增益失配和偏置失配已被校准,现针对 TIADC 系统各通道间存在时间失配,设计了一种改进的级联泰勒补偿算法对 TIADC 时间失配误差进行校准,该算法的总框图如图 2 所示。从图 2 中可以看出,本文校准模型是 4 通道的 TIADC。其中,把通道 1 作为参考通道,对通道 2、3 和 4 进行时间失配误差估计和校准。总体思路是

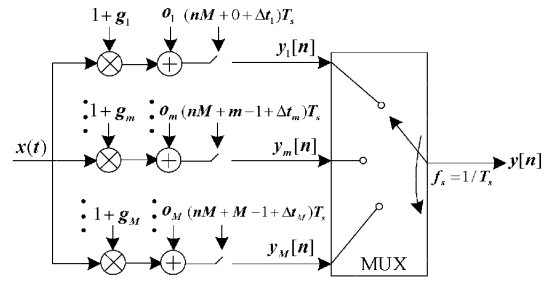


图 1 TIADC 误差模型

利用校准后相邻通道的输出信号作差值统计相关运算分别得到通道 2、3 和 4 的时间失配误差参数  $\Delta t_2$ 、 $\Delta t_3$  和  $\Delta t_4$ , 再将估算的时间失配误差参数返回到改进的级联泰勒补偿模块中作为输入,从而能够实现实时估计与校准各通道时间失配误差。下面将对该算法的主要功能加以详尽介绍。

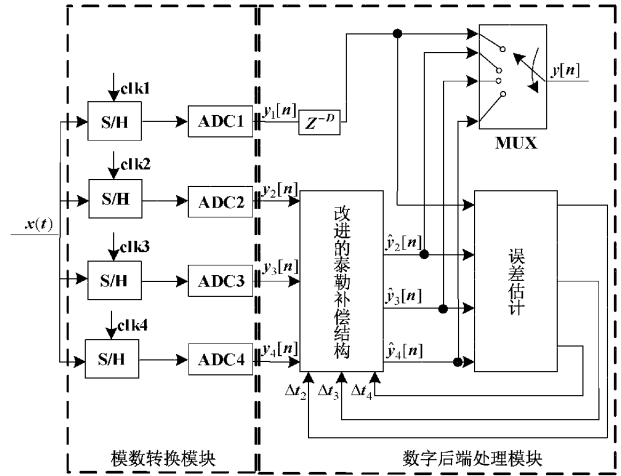


图 2 校准算法整体框图

### 2.1 时间失配误差估计

如图 3 所示为相邻子 ADC 通道采样波形,从图 3 可以看到,根据线性近似原理,相邻子 ADC 通道的实际差值  $D_m$  可以近似为相邻子 ADC 通道实际采样时间间隔  $T_s + \Delta T_{m+1} - \Delta T_m$  乘以子 ADC 通道输出的导数  $y'_m[n]$ 。因此,对于 4 通道 TIADC 来说,有如下近似公式:

$$\begin{cases} D_1 = y_2[n] - y_1[n] \approx (T_s + \Delta T_2 - \Delta T_1) \cdot y'_1[n] \\ D_2 = y_3[n] - y_2[n] \approx (T_s + \Delta T_3 - \Delta T_2) \cdot y'_2[n] \\ D_3 = y_4[n] - y_3[n] \approx (T_s + \Delta T_4 - \Delta T_3) \cdot y'_3[n] \\ D_4 = y_1[n+1] - y_4[n] \approx (T_s + \Delta T_1 - \Delta T_4) \cdot y'_4[n] \end{cases} \quad (3)$$

其中,  $\Delta T_m$  ( $\Delta T_m = \Delta t_m T_s$ ) 是第  $m$  个子 ADC 通道时间失配。对式(3)差值  $D_m$  取绝对值并求期望,可以得到:

$$\begin{cases} A_1 = E(|D_1|) \approx (T_s + \Delta T_2 - \Delta T_1) \cdot E(|y'_1[n]|) \\ A_2 = E(|D_2|) \approx (T_s + \Delta T_3 - \Delta T_2) \cdot E(|y'_2[n]|) \\ A_3 = E(|D_3|) \approx (T_s + \Delta T_4 - \Delta T_3) \cdot E(|y'_3[n]|) \\ A_4 = E(|D_4|) \approx (T_s + \Delta T_1 - \Delta T_4) \cdot E(|y'_4[n]|) \end{cases} \quad (4)$$

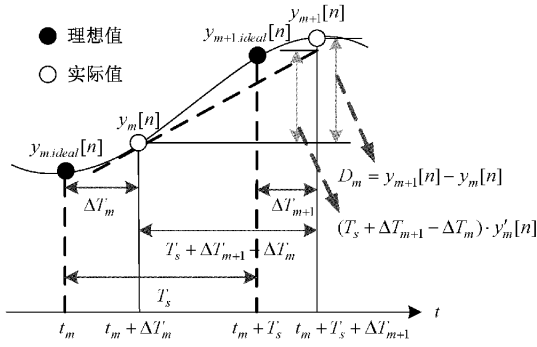


图 3 相邻子通道 ADC 采样波形

这里需要注意的是,对于广义平稳信号,它本身及其他的导数的期望值是一个定值,并且具有时不变的特性。由于,在本次实验 TIADC 中的每个子 ADC 都采样相同的模拟输入正弦信号  $x(t)$ 。所以,可以认为每个子 ADC 输出的导数的期望值与原始输入信号  $x(t)$  导数的期望值相同,即:

$$E(|y'_m[n]|) = E(|x'(t)|) = \delta \quad (5)$$

将式(5)代入式(4)变化可得:

$$\begin{cases} A_1 = E(|D_1|) \approx (T_s + \Delta T_2 - \Delta T_1) \cdot \delta \\ A_2 = E(|D_2|) \approx (T_s + \Delta T_3 - \Delta T_2) \cdot \delta \\ A_3 = E(|D_3|) \approx (T_s + \Delta T_4 - \Delta T_3) \cdot \delta \\ A_4 = E(|D_4|) \approx (T_s + \Delta T_1 - \Delta T_4) \cdot \delta \end{cases} \quad (6)$$

由式(6)可以看到,  $A_m$  是近似关于相邻子 ADC 通道实际采样时间间隔的函数。考虑到全部相邻子 ADC 通道时间间隔之和是一个定值  $MT_s$  ( $M$  是 TIADC 中子 ADC 通道数目)。因此,可以将各个  $A_m$  值相加起来求平均,得到如下公式:

$$\bar{A} = \frac{1}{4} \sum_{m=1}^4 A_m = \frac{1}{4} (A_1 + A_2 + A_3 + A_4) \approx T_s \cdot \delta \quad (7)$$

由式(7)可以看到,  $\bar{A}$  是与整个系统采样周期  $T_s$  成比例,而与时间失配  $\Delta T_m$  无关。可以根据式(6)和(7)相减,来得到含有时间失配误差的相关量:

$$B_m = A_m - \bar{A} \approx (\Delta T_{m+1} - \Delta T_m) \cdot \delta \quad (8)$$

由于  $B_m$  并不是实际的时间失配误差,而只是与失配误差时间有关的物理量。所以,本文需要采用 LMS 方式对  $\Delta t_m$  进行迭代,迭代公式如下:

$$\Delta t_m(n+1) = \Delta t_m(n) + \mu \times B_m \quad (9)$$

式中:  $\Delta t_m(n)$  为第  $m$  通道 ADC 前一时刻的时间失配误差值;  $\Delta t_m(n+1)$  为第  $m$  通道 ADC 后一时刻的时间失配误差值;  $\mu$  为该算法的迭代步长,用来控制误差收敛速度的快慢。

根据以上推导,4 通道 TIADC 时间失配的估计算法方案如图 4 所示。其中,  $Z^{-1}$  为延迟单元模块;  $|\cdot|$  和 Avg 分别为取绝对值和累加求平均值模块; LMS 为算法迭代模块。从图 5 中可以看到,估计模块中只含有加减法运算,不

涉及到乘法运算,在一定程度上降低了硬件资源消耗和算法复杂度。

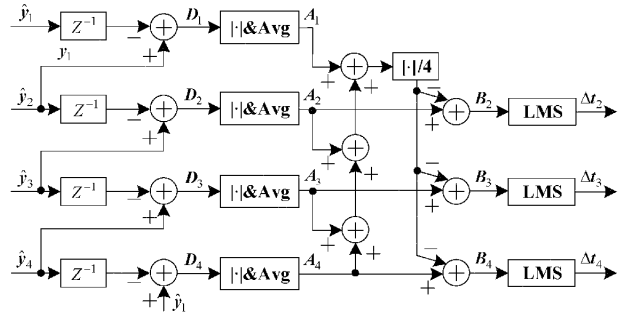


图 4 4 通道 TIADC 时间失配误差提取原理

### 2.2 时间失配误差校准

在数字域中完成对 TIADC 时间失配误差补偿,可以通过分数延迟滤波器或者泰勒级数展开。但分数延迟滤波器结构要比泰勒级数展开更加复杂,也就意味着前者会消耗更多的硬件资源。而且当系统输入信号为较高频率时,利用分数延迟滤波器进行误差校准时,校准效果会变的较差。综上考虑,本文采用一种改进的级联泰勒补偿结构对 TIADC 时间失配误差进行补偿。

#### 1) 传统的泰勒补偿结构

对于第  $m$  通道 ADC,含有采样时间失配误差的输出可以用泰勒级数展开为:

$$y_m = x_m(t + \Delta t_m) = \sum_{l=0}^{\infty} \frac{x_m^{(l)}(t)}{l!} ((t + \Delta t_m) - t)^l = \sum_{l=0}^{\infty} \frac{x_m^{(l)}(t)}{l!} \Delta t_m^l = x_m(t) + \sum_{l=1}^{\infty} \frac{x_m^{(l)}(t)}{l!} \Delta t_m^l \quad (10)$$

由式(10)可看出,第  $m$  通道 ADC 采样的实际值  $y_m$ ,可以展开成采样的理想值  $x_m(t)$  与时间失配误差多项式  $\sum_{l=1}^{\infty} \frac{x_m^{(l)}(t)}{l!} \Delta t_m^l$  之和的形式。因此可事先将时间失配误差多项式值估算出来,之后用采样的实际值减去估算的时间失配误差多项式值,即可近似得到该通道采样的理想值。一般来说,更高阶的误差项所蕴含的误差能量会更小,甚至可以忽略不计,所以在本节中忽略时间失配误差阶数高于  $O(\Delta t_m^4)$  的多项式,则原式(10)可以重新写成:

$$y_m = x_m(t + \Delta t_m) \approx x_m(t) + x'_m(t) \Delta t_m + \frac{x''_m(t)}{2!} \Delta t_m^2 + \frac{x'''_m(t)}{3!} \Delta t_m^3 + \frac{x^{(4)}_m(t)}{4!} \Delta t_m^4 \quad (11)$$

式中:  $x_m^{(l)}(t)$  代表理想采样信号的  $l$  阶导数。由于在误差补偿时,第  $m$  通道理想采样值  $x_m(t)$  是未知的,因此无法求得  $x_m^{(l)}(t)$ ,可以使用第  $m$  通道 ADC 实际采样值  $y_m$  来代替  $x_m(t)$ ,从而近似求得  $x_m^{(l)}(t)$ 。

文献[17]针对时间失配误差采用了一种传统的 3 阶级联泰勒补偿方法,其补偿结构如图 5 所示。

经计算整理得到第 1 阶校准结果  $\hat{y}_{c1,m}$ 、第 2 阶校准结

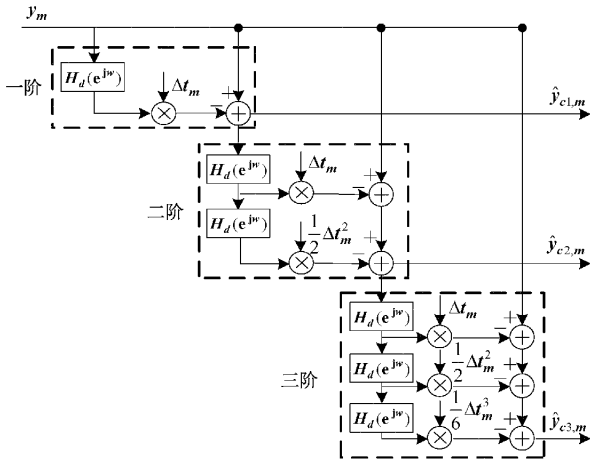


图 5 传统的 3 级级联泰勒补偿结构

果  $\hat{y}_{c2,m}$  和第 3 阶校准结果  $\hat{y}_{c3,m}$  分别为:

$$\hat{y}_{c1,m} = x(t) - \frac{1}{2}x''_m(t)\Delta t_m^2 - \frac{1}{3}x'''_m(t)\Delta t_m^3 - \frac{1}{8}x^{(4)}_m(t)\Delta t_m^4 \quad (12)$$

$$\hat{y}_{c2,m} = x(t) + \frac{2}{3}x'''_m(t)\Delta t_m^3 + \frac{5}{8}x^{(4)}_m(t)\Delta t_m^4 \quad (13)$$

$$\hat{y}_{c3,m} = x(t) - \frac{5}{8}x^{(4)}_m(t)\Delta t_m^4 \quad (14)$$

由式(14)可知,通过第 3 阶补偿后,含有比重最大的前 3 阶误差多项式均被去除,其输出只剩下时间失配误差阶数为  $O(\Delta t_m^4)$  的误差项。因此,从理论上说这种传统的 3 级级联泰勒补偿结构具有较好的校准效果。但是该补偿结构所用到乘法器和加法器数目较多,在硬件实现上需要消耗过多资源。同时在误差校准时,需要计算误差估计值平方以及立方,增加了运算复杂度。

### 2)改进的泰勒补偿结构

本文为了用更少的硬件资源去消除前 3 阶误差多项式和误差补偿时无需计算误差估计值平方和立方,提出了一种改进的级联泰勒补偿算法,具体算法过程如下:

先从消除 1 阶误差项开始,用式(11)减去 1 阶误差项的估计值  $\Delta t_m y'_m$ ,在本节中同样是忽略时间失配误差阶数高于  $O(\Delta t_m^4)$  的多项式,得出第  $m$  通道 ADC 经过 1 阶误差补偿后的输出  $\hat{y}_{1,m}$  为:

$$\hat{y}_{1,m} = y_m - \Delta t_m y'_m = x(t) - \frac{1}{2}x''_m(t)\Delta t_m^2 - \frac{1}{3}x'''_m(t)\Delta t_m^3 - \frac{1}{8}x^{(4)}_m(t)\Delta t_m^4 \quad (15)$$

由式(15)可看出,在经过一阶误差补偿后,含有的 1 阶误差项已被消除。接下来从一阶误差补偿后的输出信号  $\hat{y}_{1,m}$  去除二阶误差项,对  $\Delta t_m y'_m$  求一阶导,得到:

$$(\Delta t_m y'_m)' = \Delta t_m y''_m = x''_m(t)\Delta t_m + x'''_m(t)\Delta t_m^2 + \frac{1}{2!}x^{(4)}_m(t)\Delta t_m^3 + \frac{1}{3!}x^{(5)}_m(t)\Delta t_m^4 \quad (16)$$

为了消除 2 阶误差项,将式(16)乘以  $\frac{1}{2}\Delta t_m$ ,得到:

$$\frac{1}{2}\Delta t_m^2 y''_m = \frac{1}{2}x''_m(t)\Delta t_m^2 + \frac{1}{2}x'''_m(t)\Delta t_m^3 + \frac{1}{4}x^{(4)}_m(t)\Delta t_m^4 \quad (17)$$

将式(15)与(17)相加,得出第  $m$  通道 ADC 经过 2 阶误差补偿后的输出  $\hat{y}_{2,m}$  为:

$$\hat{y}_{2,m} = x(t) + \frac{1}{6}x'''_m(t)\Delta t_m^3 + \frac{1}{8}x^{(4)}_m(t)\Delta t_m^4 \quad (18)$$

由式(18)可看出,在经过 2 阶误差补偿后,含有 1 阶误差项和 2 阶误差项已完全被消除。同理,接下来从 2 阶误差补偿后的输出信号  $\hat{y}_{2,m}$  去除 3 阶误差项,对  $\frac{1}{2}\Delta t_m^2 y''_m$  求 1 阶导,得到:

$$\left(\frac{1}{2}\Delta t_m^2 y''_m\right)' = \frac{1}{2}\Delta t_m^2 y'''_m = \frac{1}{2}x'''_m(t)\Delta t_m^2 + \frac{1}{2}x^{(4)}_m(t)\Delta t_m^3 + \frac{1}{4}x^{(5)}_m(t)\Delta t_m^4 \quad (19)$$

为了消除 3 阶误差项,将式(19)乘以  $\frac{1}{3}\Delta t_m$ ,得到:

$$\frac{1}{6}\Delta t_m^3 y'''_m = \frac{1}{6}x'''_m(t)\Delta t_m^3 + \frac{1}{6}x^{(4)}_m(t)\Delta t_m^4 \quad (20)$$

将式(18)与(20)相减,得出第  $m$  通道 ADC 经过 3 阶误差补偿后的输出  $\hat{y}_{3,m}$  为:

$$\hat{y}_{3,m} = x_m(t) - \frac{1}{24}x^{(4)}_m(t)\Delta t_m^4 \quad (21)$$

由式(21)可以看到,通过 3 阶误差补偿后,含有 1 阶误差项、2 阶误差项和 3 阶误差项都已被消除,其输出  $\hat{y}_{3,m}$  信号只存在剩下的 4 阶误差项。

根据以上推导,改进的 3 级级联泰勒补偿结构如图 6 所示。从图 6 中可以看到,所提出的 3 级级联泰勒补偿结构无需计算误差估计值平方以及立方。其中,  $y_m$  为第  $m$  通道 ADC 未校准输出信号;  $\hat{y}_{1,m}$ 、 $\hat{y}_{2,m}$  和  $\hat{y}_{3,m}$  分别为第 1、2 和 3 阶校准输出信号;  $H_d(e^{j\omega})$  为离散时间微分器。

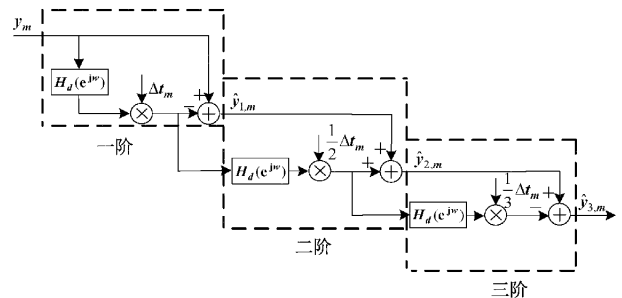


图 6 改进的 3 级级联泰勒补偿结构

从表 1 可以很明显看出,本文提出改进的级联泰勒补偿结构与传统的级联泰勒补偿结构相比,所用到的加法器、乘法器和微分器数目更少,在一定程度上缩小了硬件实现规模。

表 1 3 阶级联泰勒补偿结构资源消耗对比 个

算法	加法器	乘法器	微分器
本文算法	9	15	9
文献[17]算法	18	36	18

### 3 实验结果与分析

在 MATLAB 平台建立一个位数为 16 bit、时钟采样频率为 500 MHz 的 4 通道 TIADC 系统时间误差校准模型进行仿真验证。在仿真过程中加入高斯白噪声,来模拟系统实际中的量化误差、随机噪声等各种固有噪声。通过对比校准前后 TIADC 系统的各项动态性能指标的变化,来衡

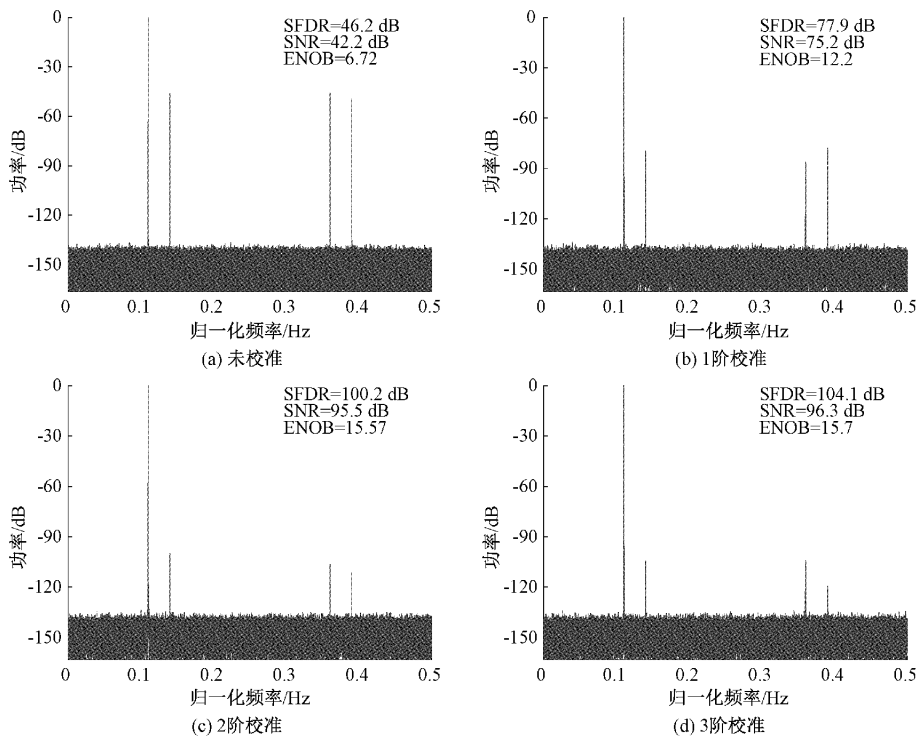


图 7 低频输入时,系统校准前后频谱图

量本文提出的算法是否有效。当归一化频率  $f_{in}/f_s$  为 0.11 ( $f_{in}=55$  MHz),未校准前频谱和各阶校准后频谱如图 7 所示。从图 7 中可看出,输入信号为较低频率时,经过 3 阶校准后,杂散谱已基本被抑制。TIADC 系统的无杂散动态范围 (spurious free dynamic range, SFDR) 由未校准之前的 46.2 dB 提升到 104.1 dB; 信噪比 (signal to noise ratio, SNR) 由未校准之前的 42.2 dB 提升到 96.3 dB; 有效位数 (effective number of bits, ENOB) 由未校准之前的 6.72 提升到 15.70。

当归一化频率  $f_{in}/f_s$  为 0.347 ( $f_{in}=173.5$  MHz),未校准前频谱和各阶校准后频谱如图 8 所示。从图中可以看到,输入信号为较高频率时,经过 3 阶校准后,杂散谱已基本被抑制。TIADC 系统的 SFDR 由未校准之前的 36.1 dB 提升到 97.1 dB; SNR 由未校准之前的 32.3 dB 提升到 93.5 dB; ENOB 由未校准之前的 5.07 提升到 15.23。

从表 2 可看出,当泰勒补偿的级联阶数达到 4 阶和 5 阶时,相对于 3 阶级联校准, TIADC 各项动态性能指标发生微小变化。因为,假设时间失配误差的数量级是  $10^{-2}$ , 则 4 阶和 5 阶误差项的数量级分别达到  $10^{-8}$  和  $10^{-10}$ 。所以对更高阶的误差项的补偿可以忽略不计。后面的实验数据都是采用 3 阶级联泰勒补偿得到。

为研究提出的校准算法在整个奈奎斯特频段内校准

效果,分别相同的时时间失配误差参数和不同的输入信号

#### 3.1 对低频和高频输入信号校准效果验证

效果,分别相同的时时间失配误差参数和不同的输入信号频率情况下,对 TIADC 系统进行时间失配误差校准效果的测试验证。TIADC 系统在 3 阶校准前后的 SNR 和 SFDR 变化趋势在图 9 显示。从图中可以很清楚发现,本文提出的算法在整个奈奎斯特频段内均可适用,其中 SFDR 平均提升 58.4 dB, SNR 平均提升 55.7 dB。

同时为了检验本文给出的方法对不同精度 TIADC 的校准情况,分别在不同精度的 TIADC 系统设置相同的高频输入信号以及时间失配误差。实验结果表明,不同精度的 TIADC 校准前后的 ENOB 变化趋势如图 10 所示。从图中可看出,本文提出的算法对 16 bit 及以下的 TIADC, 具有较好的校准效果。但对 16 bit 以上的 TIADC 校准效果有待提高。



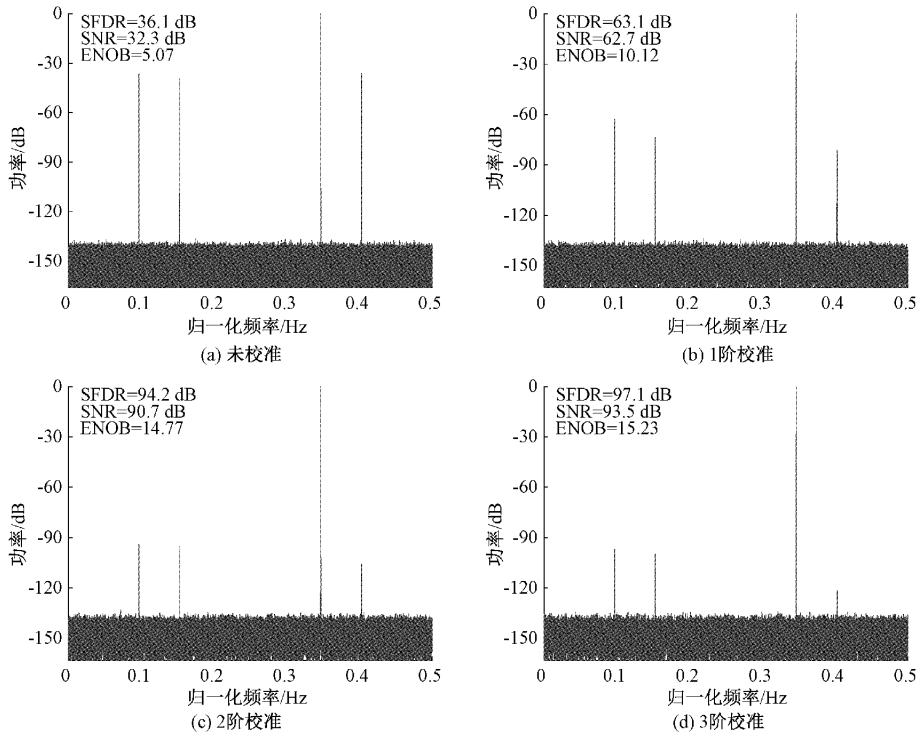


图 8 高频输入时,系统校准前后频谱图

表 2 不同阶数下的 TIADC 各项动态性能指标

阶数	SFDR/dB	SNR/dB	ENOB
3 阶	97.1	93.5	15.23
4 阶	97.6	93.7	15.27
5 阶	97.9	93.9	15.31

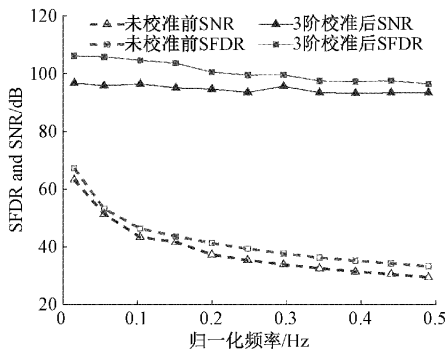


图 9 不同输入频率下校准前后 SFDR 和 SNR 变化情况

### 3.2 对多频输入信号校准效果验证

为了验证本文算法对多频混合输入信号的校准情况,从而对 TIADC 系统输入多个频率正弦信号进行仿真验证。当输入信号归一化频率  $f_m/f_s$  分别为 0.147、0.247 和 0.347,未校准前频谱和各阶校准后频谱如图 11 所示。从图中可明显看出,未校准前,有许多明显的杂散谱。经过 3 阶校准后,大部分杂散谱已明显被抑制。从而证实本文提出的算法对含有时间失配误差的多频混合输入信号有一定的校准效果。

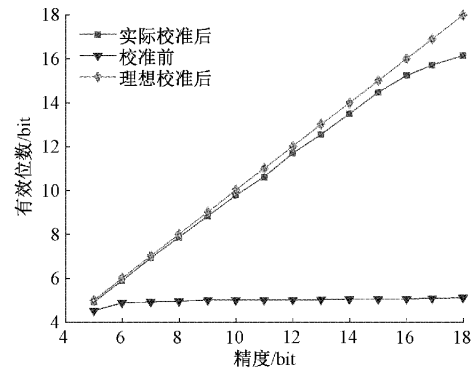


图 10 不同精度的 TIADC 校准效果

### 3.3 与已提出的其他校准算法对比

为验证本文提出改进的泰勒补偿方法与文献[17]提出传统的泰勒补偿方法效果对比。将这两种方法设置相同的环境,对不同大小的时间失配误差参数进行校准。考虑到 TIADC 系统的各通道 ADC 的  $\Delta T$  很小 ( $\Delta T = \Delta t T_s \ll T_s$ )。所以,在本次实验中将时间失配误差  $\Delta t$  范围选取在  $0 \sim 0.1$  变化。通过实验测量,分别得到不同误差下的收敛偏差如图 12 所示(收敛偏差 =  $|(收敛值 - 参数值)/收敛值| \times 100\%$ ),以及不同误差下的校准前后 TIADC 系统的 SFDR 变化如图 13 所示。从图 12 中可以看到,当时间失配误差  $\Delta t$  从  $0.01 \sim 0.05$  变化时,该两种方法都可以对时间失配误差进行精确收敛,且收敛偏差范围都可控制在  $1\%$  以内。但当时间失配误差  $\Delta t$  从  $0.05 \sim 0.1$  变化时,本文提出的方法要比文献[17]提出的方法更加能够收敛到

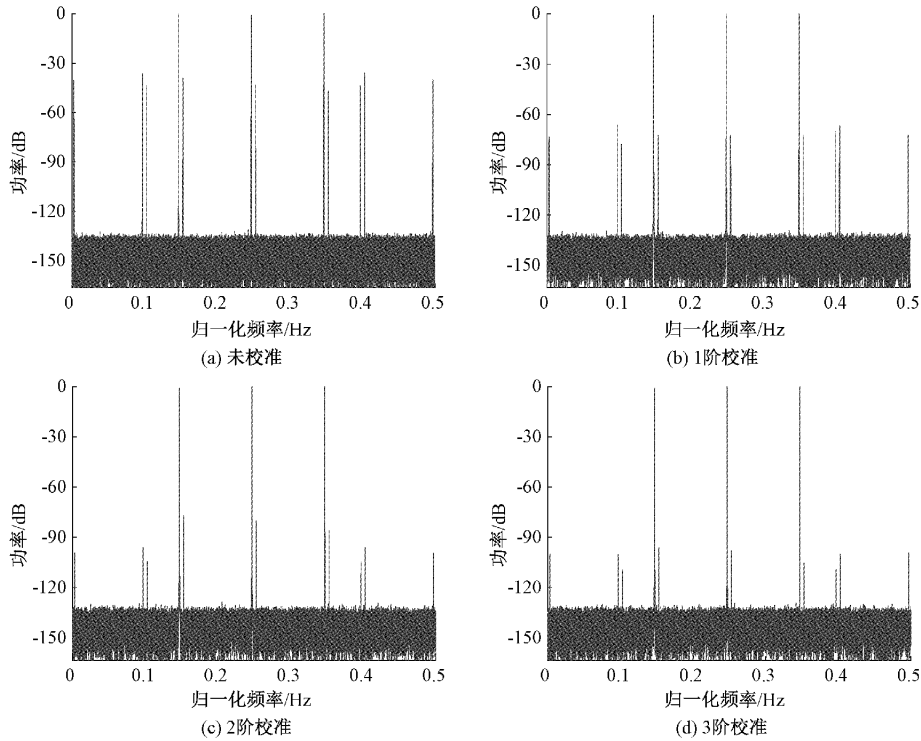


图 11 多频输入时系统校准前后频谱图

时间失配误差的实际值。从图 13 可以看到,在不同时间失配误差下,虽然两种方法在校准后的 SFDR 提升都差不多,但需要注意本文方法所耗费的硬件资源更少。

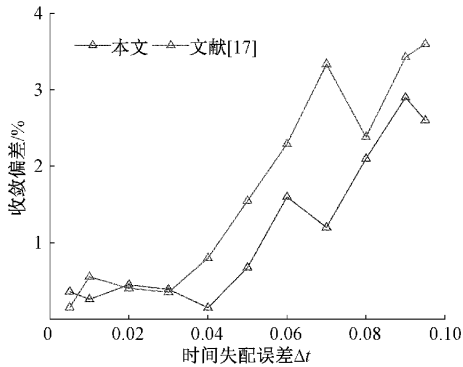


图 12 不同误差下的收敛偏差对比

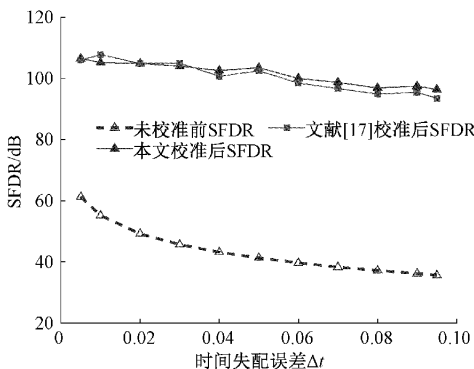


图 13 不同误差下的校准前后 SFDR 对比

同时为了对比本文提出的方法与其他类型文献提出的方法有何优点,对本文和其他类型文献的特点进行了总结,如表 3 所示。从表 3 中可以明显看出,本文算法有许多优点,诸如可以实现全数字后台校准、可以校准高频和多频信号、不需要参考通道。

表 3 本文与其他类型文献方法的特点对比

特点	本文	文献[8]	文献[12]	文献[13]	文献[16]
全数字	是	否	是	是	是
后台校准	是	否	是	是	是
高频信号	是	是	否	否	是
多频信号	是	否	否	否	否
参考通道	否	否	否	否	是

### 4 结 论

本文基于线性近似原理,提出了一种适用于高速高精度 TIADC 系统的时间失配误差补偿算法。该算法是利用一种改进的级联泰勒补偿结构进行失配误差补偿,不仅解决了 TIADC 系统中估计和校准最难的时间失配问题,而且相比于传统的级联泰勒补偿结构,本文校准方案所耗费的硬件资源更少,从而进一步缩小了硬件实现规模。

仿真结果表明,该方法可对时间失配误差进行精准估计。当输入信号为低频、高频或多频时,经过 3 阶级联泰勒补偿后,校准效果良好。同时,当泰勒补偿阶数为 4 阶甚至更高阶时,经过补偿后的 TIADC 各项动态性能指标

相比于 3 阶,基本不发生变化。因此,通常 3 阶级联泰勒补偿即可满足实际需求,且实现简单,非常适用于工程应用。

### 参考文献

- [1] 杨扩军,田书林,蒋俊,等. 基于 TIADC 的 20 GS/s 高速数据采集系统[J]. 仪器仪表学报, 2014, 35(4): 841-849.
- [2] KHAKPOUR A, KARIMIAN G. A new fast convergent blind timing skew error correction structure for TIADC[J]. Circuits and Systems II: Express Briefs, IEEE Transactions on, 2021, 68(4): 1512-1516.
- [3] 刘聪,罗向东,牛光珊. 分时交替模数转换器通道失配校准技术进展[J]. 南通大学学报(自然科学版), 2021, 20(2): 43-56.
- [4] YIN Y S. Background timing mismatch calibration technique for TIADC in Nyquist frequency band[J]. Electronics Letters, 2020, 56(15): 753-756.
- [5] 白旭,韦雪洁,胡辉,等. TIADC 系统误差自适应估计及补偿方法[J]. 电子测量与仪器学报, 2017, 31(12): 1953-1959.
- [6] 杨扩军,孔祥伟,施佳丽,等. 数理统计和频谱分析的 TIADC 误差校正方法[J]. 电子科技大学学报, 2018, 47(1): 43-50.
- [7] CHEN H M, YIN Y S, LIU T, et al. A split-based fully digital feedforward background calibration technique for timing mismatch in TIADC [J]. Integration-the VLSI Journal, 2020, 71: 105-114.
- [8] RAZAVI B. Design considerations for interleaved ADCs[J]. IEEE Journal of Solid-State Circuits, 2013, 48(8): 1806-1817.
- [9] LI J, WU S, LIU Y, et al. A digital timing mismatch calibration technique in time-interleaved ADCs [J]. Circuits & Systems II Express Briefs IEEE Transactions on, 2014, 61(7): 486-490.
- [10] 尹勇生,吴景生,陈红梅,等. 一种带参考注入信号的 TIADC 时间失配校准算法[J]. 电子技术应用, 2017, 43(5): 44-47.
- [11] WANG C Y, WU J T. A multiphase timing-skew calibration technique using zero-crossing detection[J]. Circuits and Systems I: Regular Papers, IEEE Transactions on, 2009, 56(6): 1102-1114.
- [12] YUE X Z, SHANG L Z, YONG C L, et al. Timing mismatch compensation in time-interleaved ADCs based on multichannel lagrange polynomial interpolation [J]. IEEE Transactions on Instrumentation & Measurement, 2011, 60(4): 1123-1131.
- [13] CHEN S, WANG L, ZHANG H, et al. All-digital calibration of timing mismatch error in time-interleaved analog-to-digital converters [J]. IEEE Transactions on Very Large Scale Integration Systems, 2017, 25(9): 2552-2560.
- [14] JAMAL S M, FU D, SINGH M P, et al. Calibration of sample-time error in a two-channel time-interleaved analog-to-digital converter[J]. Circuits and Systems I: Regular Papers, IEEE Transactions on, 2004, 51(1): 130-139.
- [15] ELBORNSSON J, GUSTAFSSON F, EKLUND J E. Blind equalization of time errors in a time-interleaved ADC system [J]. IEEE Transactions on Signal Processing, 2005, 53(4): 1413-1424.
- [16] 王亚军,李明. TIADC 通道误差自适应修正方法[J]. 西安电子科技大学学报, 2013, 40(3): 27-35.
- [17] LI X, WU J, VOGEL C. A background correlation-based timing skew estimation method for time-interleaved ADCs [J]. IEEE Access, 2021, 9(9): 45730-45739.

### 作者简介

张洋,硕士研究生,主要研究方向为数字模拟混合电路设计。

E-mail: zhangyang@stmail.ntu.edu.cn

崔子豪,硕士研究生,主要研究方向为高精度低功耗 Sigma-Delta ADC 电路设计。

E-mail: 2110310025@stmail.ntu.edu.cn

张建伟,硕士研究生,主要研究方向为模拟器件的动态非线性校准。

E-mail: 2010310048@stmail.ntu.edu.cn

李雪涛,硕士研究生,主要研究方向为高速度高精度电路设计。

E-mail: 2010310044@stmail.ntu.edu.cn

赵佳庆,硕士研究生,主要研究方向为高速模拟数字混合电路设计。

E-mail: 2110310052@stmail.ntu.edu.cn

罗向东(通信作者),博士,教授,主要研究方向为半导体材料、器件和工艺以及超分辨率高速模数转换电路的设计。

E-mail: luoxd@ntu.edu.cn