

DOI:10.19651/j.cnki.emt.2210794

基于FPGA的可变带宽基带信号回放系统设计*

田高峰 邓计才 张延彬 邹坤衡 刘子龙
(郑州大学电气与信息工程学院 郑州 450001)

摘要: 针对不同带宽基带信号回放到目标中频的需求,设计了一种可变带宽基带信号回放系统。该系统以FPGA为核心数据处理单元,通过配置高速数模转换芯片AD9122和时钟芯片AD9516完成基带信号的回放功能。为解决不同带宽基带信号采样率与DAC发射速率不匹配的问题,设计了一种多速率处理算法,采用多级HB滤波器、CIC滤波器和Farrow滤波器级联的结构实现了任意倍的采样率转换功能。算法仿真和实际测试结果表明该系统能够以较少的资源消耗将1 kHz~20 MHz的可变带宽基带信号回放到目标中频上,回放信号无杂散动态范围不低于60 dBc,满足实际通信系统需求。

关键词: FPGA;多速率处理;基带信号回放;可变带宽

中图分类号: TN838 **文献标识码:** A **国家标准学科分类代码:** 510.4030

Design of variable bandwidth baseband signal playback system based on FPGA

Tian Gaofeng Deng Jicai Zhang Yanbin Zou Kunheng Liu Zilong
(School of Electrical and Information Engineering, Zhengzhou University, Zhengzhou 450001, China)

Abstract: Requirement for playback of baseband signals of different bandwidths to the target intermediate frequency, a variable bandwidth baseband signal playback system was designed. The system took FPGA as the core data processing unit, and completed the playback function of the baseband signal by configuring the high-speed digital-to-analog conversion chip AD9122 and the clock chip AD9516. In order to solve the problem that the sampling rate of baseband signal with different bandwidth does not match the transmission rate of DAC, a multi rate processing algorithm is designed. The cascade structure of multi-stage HB filter, CIC filter and Farrow filter is adopted to realize the function of arbitrary multiple sampling rate conversion. The algorithm simulation and actual test results show that the system can play back the 1 kHz~20 MHz variable bandwidth baseband signal to the target IF with less resource consumption. The playback signal has spurious free dynamic range not less than 60 dBc, meeting the requirements of the actual communication system.

Keywords: FPGA; multirate processing; baseband signal playback; variable bandwidth

0 引言

在通信电子对抗干扰中,通常需要将存盘的基带信号以及目标时间段内的频谱信息进行回放,以便于对过往信号进行回溯、测试和分析^[1-2]。文献[3]研究了脉冲雷达信号在多种状态下的回放功能设计。文献[4]中直接对中频信号进行采集存储回放操作,实现了对中频信号的回放功能。文献[5]通过在FPGA内部RAM存储基带数据的方式实现了复杂雷达波形信号的回放功能。文献[6]采用

4倍内插加带通滤波的方式实现了固定带宽的中频测控信号回放功能。上述不同信号回放系统设计都基于特定的应用场景,实现对固定带宽信号的回放功能。可变带宽基带信号的回放设计在电子对抗干扰中应用广泛,但相关研究却鲜有人提及。可变带宽基带信号的回放设计需要解决不同带宽基带信号采样率与固定发射速率之间的多速率转换问题^[7-10],已有多速率转换算法在FPGA实现时消耗资源较多,实现复杂,不能很好的适用于可变带宽基带信号回放设计。因此本文设计了一种多速率处理算法,以较少的资

收稿日期:2022-07-23

* 基金项目:国家重点研发计划“前沿科技创新”专项(2019QY0302)、国家自然科学基金青年项目(61901417)、河南省科技攻关项目(212102210173,212102210566)资助

源消耗实现采样率的转换功能。

本文在以 FPGA 为核心的软件无线电开发平台上设计了一种可变带宽基带信号回放系统。其核心是基于多种滤波器级联的多速率信号处理算法,采用多级半带(half band, HB)滤波器、级联积分梳状(cascaded integrator comb, CIC)滤波器和 Farrow 滤波器级联的结构解决了回放过程中基带信号采样率与发射速率不匹配的问题,实现了将不同带宽基带信号回放到目标中频上的功能。

1 可变带宽基带信号回放总体设计

在高速卫星信号回放系统中要求将带宽在 16 kHz~20 MHz 之间的不同基带信号以 80 MHz 的发射速率回放到 140 MHz 的中心频率上,并且回放信号的无杂散动态范围(spurious free dynamic range, SFDR)要求不小于 60 dBc。基于此,根据上述回放参数指标设计满足要求的回放系统。

回放系统总体设计框架如图 1 所示,主要由基带信号处理部分(FPGA 模块)、外部时钟模块以及数模转换(digital-to-analogue conversion, DAC)模块组成。

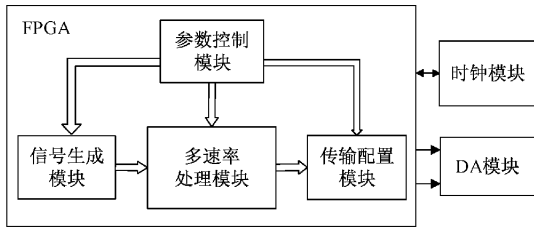


图 1 回放系统总体设计框架

信号生成模块通过 m 伪随机序列生成基带信号或通过低电压差分信号(low-voltage differential signaling, LVDS)接口方式接入外部信号,为回放提供稳定的信号源。多速率处理模块将不同带宽基带信号采样率转换至固定的发射速率,完成基带信号的采样率转换工作。传输配置模块实现 DAC 传输时序的数据格式转换功能以及其他模块的必要配置。参数控制模块控制其他模块的工作时序,同时根据不同带宽基带信号进行相关的参数配置。FPGA 中完成基带信号数据的处理工作,并通过高速数模转换芯片完成基带信号的回放功能。

2 多速率处理算法设计

可变带宽基带信号回放的设计难点在于不同带宽基带信号的采样率与 DAC 模块要求的发射速率不匹配的问题^[11-12]。可变带宽基带信号的采样率与发射速率的比值通常为分数,很难通过整数倍的内插滤波实现采样率转换。传统的先内插后抽取方式实现的非整数倍采样率转换会产生很高的中间频率,不利于 FPGA 实现。因此,本文设计了一种基于多种滤波器级联的算法来解决可变带宽基带信号的采样率转换问题。

2.1 回放算法设计

多速率处理算法采用 HB 滤波器、CIC 滤波器、Farrow 滤波器等多种滤波器级联的方式实现。具体算法如图 2 所示。

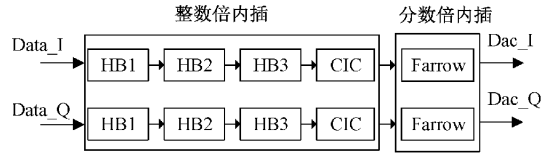


图 2 可变带宽信号采样率转换算法

算法主要分为整数倍内插和分数倍内插两部分。整数倍内插部分由 3 级级联的 HB 滤波器和 5 级级联的 CIC 滤波器组成。I、Q 两路基带信号通过整数倍内插模块后,信号采样率与发射速率的比值通常在 1~2 倍之间,无法再进行整数倍的内插转换。分数倍内插模块由 3 阶拉格朗日 Farrow 滤波器组成,通过改变滤波器的延迟因子可以实现采样率的非整数倍转换。信号通过整数倍和分数倍内插后采样率与发射速率一致,实现了不同带宽基带信号的采样率转换到固定发射速率的功能。

2.2 HB 滤波器

HB 滤波器是一种特殊的 FIR 滤波器,由于其阻带和通带相对于 $1/2$ Nyquist 频率对称,其系数除了中间值为 0.5 外,其余偶数位系数均为 0,在 FPGA 实现时相较于普通的 FIR 滤波器可以节省近一半的乘法器和加法器资源,计算效率高、实时性强^[13]。

HB 滤波器的频率响应满足关系式(1):

$$\begin{cases} \omega_s = \pi - \omega_p \\ \delta_s = \delta_p = \delta \end{cases} \quad (1)$$

其中, ω_p 为通带截止频率, ω_s 为阻带起始频率, δ_p 为通带波纹, δ_s 为阻带波纹。HB 滤波器的通带宽度 ω_p 和阻带宽度 $(\pi - \omega_p)$ 是相等的,且通带和阻带波纹也相同。因此 HB 滤波器非常适合 2 的整数次幂插值,通过多级级联的 HB 滤波器可以实现 2 的整数倍内插采样率变换。

由于基带信号的带宽范围变化大,在小带宽时内插倍数高,大带宽时内插倍数低。为了折中资源消耗和兼容不同带宽信号,采用 3 级级联的半带滤波器设计,每级 HB 滤波器进行 2 倍插值滤波,最大可以提高 8 倍采样速率。

2.3 CIC 滤波器

CIC 滤波器是一种基于零点相消的 FIR 滤波器。其结构简单,只有加法器、积分器和寄存器,没有乘法器,适合于工作在高采样率条件下,具有运算速度快,占用资源少的特点^[14]。非常适合在 FPGA 中进行大倍数的内插操作。

CIC 滤波器的冲击响应函数如式(2)所示。

$$h(n) = \begin{cases} 1, & 0 \leq n \leq L - 1 \\ 0, & \text{其他} \end{cases} \quad (2)$$

其中, L 为滤波器长度。从 CIC 滤波器的冲激响应函数可以看出,CIC 滤波器是一种具有线性相位的 FIR 滤波

器,当通过卷积和来计算输出信号时,其滤波计算只有加法而没有乘法,因此只需将相邻的数据相加即可得到输出数据。

对式(2)进行傅里叶变换,其频谱特性如式(3)所示。

$$|H(e^{j\omega})| = \left| \frac{\sin(\omega L/2)}{\sin(\omega/2)} \right| \quad (3)$$

由式(3)可知,CIC滤波器的幅频响应是近似于Sinc函数,当 $L \gg 1$ 时,CIC滤波器的第一旁瓣电平相对于主瓣电平的差值几乎是固定的13.46 dB,阻带衰减很难满足实际要求,解决这一问题可采用多级CIC滤波器级联来实现。

式(4)为N级级联的CIC滤波器幅频响应函数。

$$|H_N(e^{j\omega})| = \left| \frac{\sin(\omega L/2)}{\sin(\omega/2)} \right|^N = L^N \cdot \frac{sa(\omega L/2)^N}{sa(\omega/2)^N} \quad (4)$$

由式(4)可知,多级级联的CIC滤波器幅频响应是单级CIC滤波器幅频响应的线性叠加。每增加一级滤波器,阻带衰减增加13.46 dB。多级级联的CIC滤波器阻带衰减增大时,同时也会导致通带衰减增大,需要综合考虑通带容限和阻带衰减大小来选择CIC级联级数。通常级联3~5级CIC滤波器即可满足设计要求。

本设计采用5级级联的CIC滤波器,其第一旁瓣阻带衰减达到了67.3 dB。信号内插后产生的镜像频谱位置阻带衰减大于85 dB,基本满足设计需求。通常CIC滤波器后级需要级联一个CIC补偿滤波器来补偿通带衰减,使其满足通带容限的设计要求。但在内插操作时,如果基带信号带宽相对于采样频率足够小,则总可以满足通带容限的设计要求,不需要级联CIC补偿滤波器。

2.4 Farrow 滤波器

Farrow 滤波器^[15]是一种多速率滤波器结构,可以实现连续可调的信号重采样功能。可变带宽信号采样率转换过程中,输出采样率与输入采样率之间的比值通常为分数,并且会出现分子和分母都比较大且不可分解的情况。此时传统的转换算法不再适用,而基于拉格朗日插值的Farrow滤波器可以很好地解决该问题。

设输入信号采样序列为 $x(nT_1)$,插值滤波器脉冲响应为 $h(t)$,经过插值滤波器后的输出为 $y(mT_2)$,重采样公式可以表示为:

$$y(mT_2) = \sum_{n=0}^{n=N-1} x(nT_1)h(mT_2 - nT_1) \quad (5)$$

令

$$\sigma = \text{ent}\left(\frac{mT_2}{T_1}\right) \quad (6)$$

$$\xi = \sigma - n \quad (7)$$

$$\mu = \frac{mT_2}{T_1} - k \quad (8)$$

将式(6)~(8)代入式(5)中化简可得:

$$y(mT_2) = \sum_{n=0}^{n=N-1} x((\sigma - \xi)T_1) \cdot h((\mu + \xi)T_1) \quad (9)$$

其中, σ 表示输出第 m 个采样点时经历过的输入采样点的个数, $\mu \in [0,1)$,表示数字延时,决定了输出采样值的具体位置。

由式(9)可知,数字采样率转换的关键是 $h(t)$ 的表达与实现。 $h(t)$ 用等长度的分段多项式函数可表示为:

$$h(\mu) = \sum_{k=0}^M C_k \mu^k \quad (10)$$

其中, C_k 是滤波器系数, M 是多项式的阶数。将式(10)带入式(9)得到有限长多项式的采样率转换公式:

$$y(m) = \sum_{n=0}^{n=N-1} x((\sigma - \xi)) \cdot \sum_{k=0}^M C_k \mu^k \quad (11)$$

对式(11)进行变形化简得:

$$y(m) = \sum_{k=0}^M g(k) \mu^k \quad (12)$$

$$g(k) = \sum_{n=0}^{n=N-1} x(\sigma - \xi) C_k \quad (13)$$

从式(12)、(13)可知,基于多项式的滤波器可以通过系数为 C_k 的 M 个并行FIR滤波器来实现。这种基于多项式的插值滤波器实现结构就是Farrow结构。基于3阶拉格朗日插值的Farrow滤波器结构如图3所示。

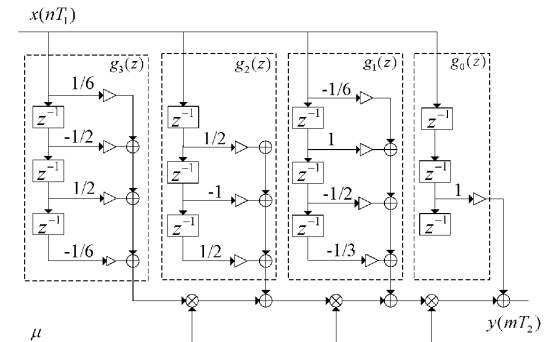


图3 3阶拉格朗日Farrow结构框图

由图3可知3阶拉格朗日Farrow滤波器的系数是不变的,通过控制延迟因子 μ 改变输出采样率与输入采样率之间的比例,可以实现任意分数倍延迟的采样率转换。基于拉格朗日插值算法的Farrow滤波器阶数越高插值越精确,但随着阶数的增高会出现龙格现象,误差增大。因此本文采用基于3阶拉格朗日插值的Farrow滤波器,计算量和存储量少,复杂度低,非常适合在FPGA中实现。

3 多速率处理算法仿真与分析

在FPGA设计之前首先在MATLAB中进行算法仿真验证。根据基带信号带宽和采样率之间的关系,在MATLAB中利用FdaTool工具箱分别进行3级HB滤波器的设计,各级半带滤波器设计参数如表1所示。

由表1设计的各级HB滤波器的幅频响应曲线如图4所示。

由图4可知,各级半带滤波器的阻带衰减均在-100 dB左右,可以有效的抑制内插过程中产生的镜像频

表 1 HB 滤波器设计参数

| 滤波器级数 | 滤波器设计方法 | 归一化通带范围(pi/rad) | 滤波器阶数 |
|-------|---------|-----------------|-------|
| 一级 | 凯撒窗函数 | 0.170 | 19 |
| 二级 | 等波纹设计 | 0.085 | 11 |
| 三级 | 等波纹设计 | 0.045 | 7 |

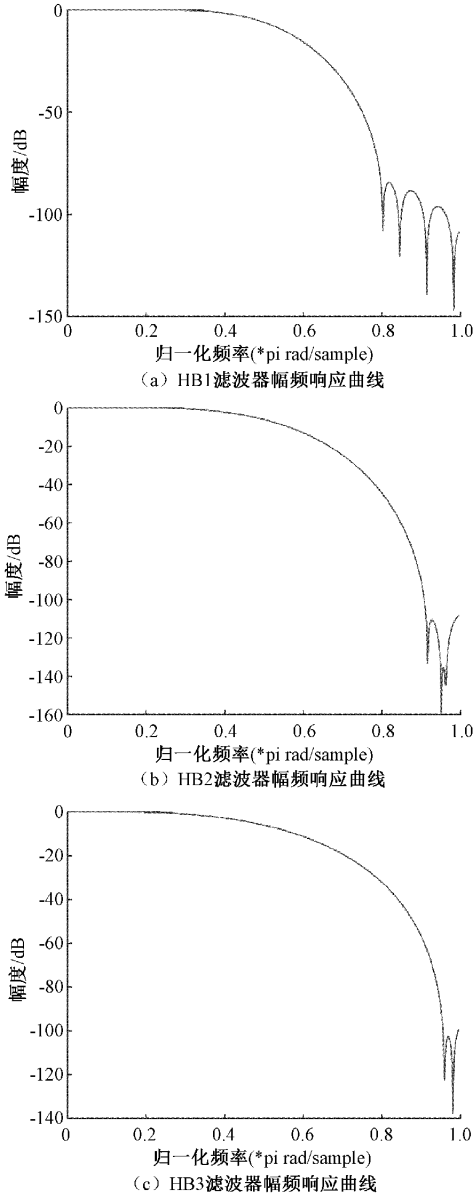


图 4 各级 HB 滤波器的幅频响应曲线

谱。通过 3 级级联的 HB 滤波器可以实现最大 8 倍的采样率内插。

在 MATLAB 中分别设计完成 HB 滤波器、CIC 滤波器和 Farrow 滤波器后进行仿真测试,带宽为 8 MHz 的基带 QPSK 信号通过多速率算法处理前后的频谱如图 5 所示。

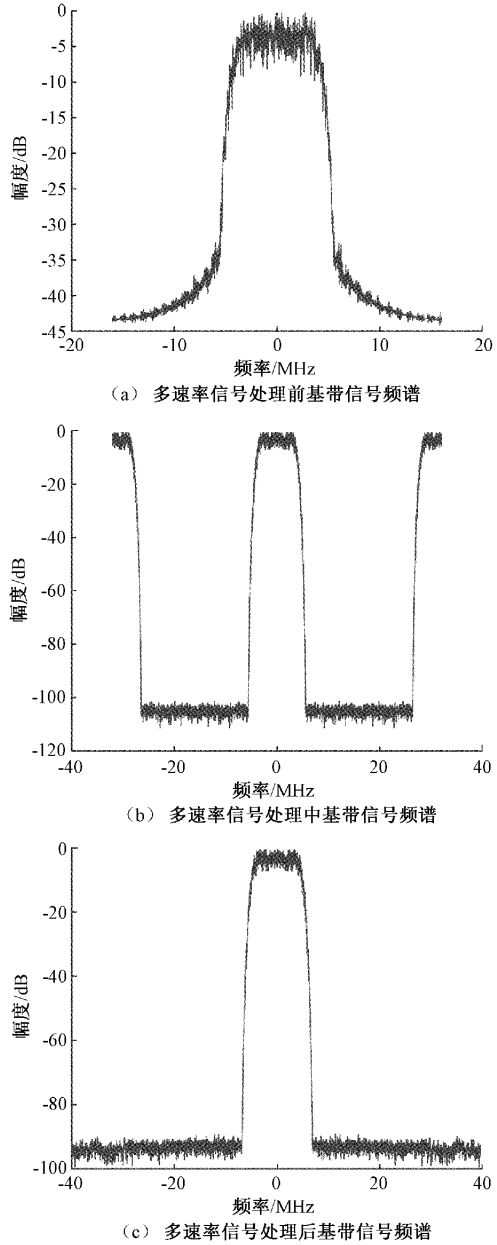


图 5 多速率信号处理前后的频谱

由图 5 可以看出,在多速率处理中由于插值会导致镜像谱的产生,插值后通过级联的 HB 滤波、CIC 滤波器和 Farrow 滤波器后,信号带外衰减低至 -100 dB 左右,很好地抑制了由于内插带来的镜像谱问题。信号经过多速率处理算法后采样率变到了 80 MHz 的发射速率上,实现了不同输入采样率转换为固定输出采样率的功能。通过多次仿真测试,该算法可以很好地实现基带信号带宽在 1 kHz~20 MHz 之间的采样率转换功能,满足系统设计要求。

4 可变带宽回放系统设计与实现

4.1 基于 FPGA 的硬件系统设计

根据前述多速率处理算法分析及回放系统总体设计方

案,以FPGA为核心处理单元设计的可变带宽回放系统如图6所示。

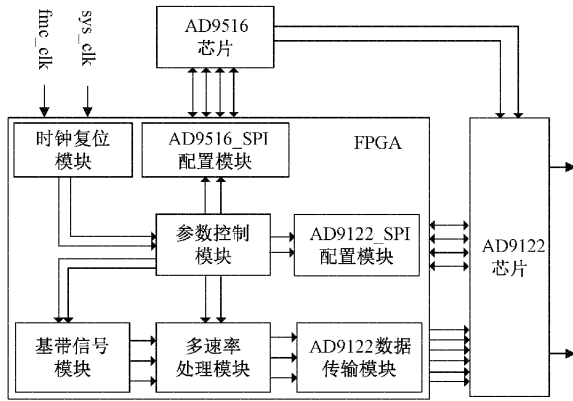


图6 可变带宽回放系统

FPGA内部采用模块化设计实现可变带宽基带信号的采样率转换以及数据传输格式转换功能。主要模块包括基带信号模块、多速率处理模块、AD9122数据传输模块以及参数控制模块等,此外还有时钟复位模块、AD9516_SPI配置模块以及AD9122_SPI配置模块等系统环境配置部分,主要实现对全局时钟的控制以及外部芯片的配置功能。

DA模块采用ADI公司的高动态范围数模转换芯片AD9122^[16]。在FPGA中通过SPI同步串行通信端口配置AD9122内部寄存器值,控制芯片内部信号处理过程,实现信号在不同目标频点上的回放功能。

时钟模块采用ADI公司的专用高速时钟管理芯片AD9516。在FPGA中通过SPI接口配置AD9516内部的相关寄存器,为AD9122提供稳定的工作时钟。在DA模块配置前先配置时钟芯片AD9516,可以保证DA模块在稳定的高速时钟下进行数模转换功能。

4.2 可变带宽回放系统性能测试

根据前述系统指标要求,需要将不同带宽的基带信号以80 MHz的速率发射出去。首先对所设计的回放系统进行逻辑功能验证,带宽为8 MHz的基带QPSK信号通过多速率处理模块后的行为级仿真波形如图7所示,基带信号模块输出的I、Q两路信号经过多速率处理后,采样率变到了80 MHz的输出速率,同时I、Q两路信号波形基本保持不变,逻辑功能仿真验证正确。

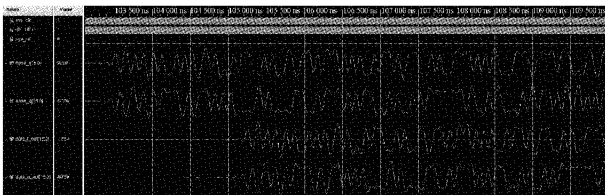
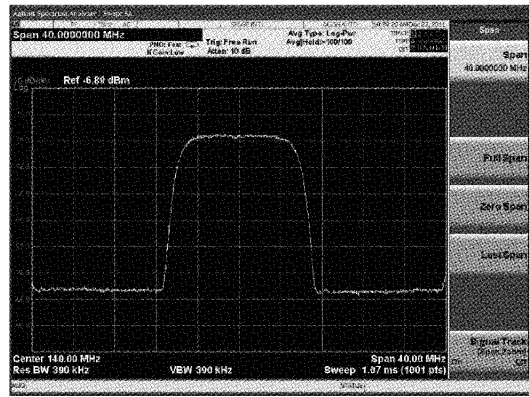


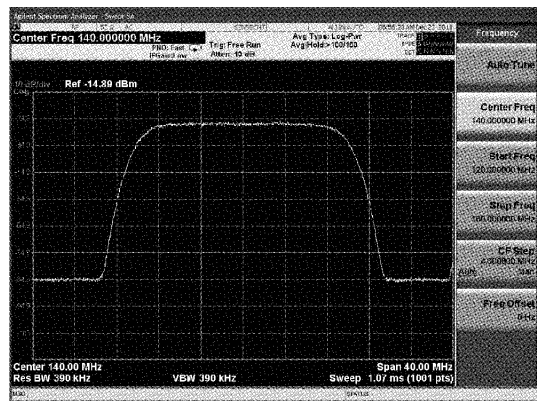
图7 基带QPSK信号行为级仿真

其次,对所设计的系统进行实际信号回放测试,分别对带宽为8 MHz和20 MHz的基带QPSK信号进行回放测

试,在信号分析仪中观测回放信号频谱,结果如图8所示。



(a) 回放带宽8 MHz的QPSK信号频谱



(b) 回放带宽20 MHz的QPSK信号频谱

图8 回放信号频谱

在图8中,带宽为8 MHz和20 MHz的基带QPSK信号均回放到了140 MHz的目标中频上,回放信号无杂散动态范围SFDR ≥ 60 dBc,满足回放系统设计要求。改变基带信号带宽进行多次测试,测试结果均满足回放设计要求,因此该回放系统可以实现1 kHz到20 MHz带宽基带信号的回放功能。

4.3 系统占用资源分析

在Vivado2018.3环境下,对FPGA芯片综合布线后资源使用情况进行统计,资源占用情况如表2所示。

表2 FPGA芯片资源消耗

| 资源 | 消耗资源 | 可用资源 | 利用率/% |
|--------|-------|---------|-------|
| LUT | 1 190 | 303 600 | 0.39 |
| LUTRAM | 33 | 130 800 | 0.03 |
| FF | 1 776 | 607 200 | 0.29 |
| DSP | 38 | 2 800 | 1.35 |
| IO | 35 | 600 | 5.83 |
| BUFG | 6 | 32 | 18.75 |
| MMCM | 2 | 14 | 14.29 |

FPGA 中主要资源分为逻辑资源、存储资源和乘法器资源 3 类。由表 2 可知,实现 1 kHz~20 MHz 带宽的基带信号回放功能在 FPGA 中消耗的 LUT、FF、DSP 等资源占比不超过 2%,有效地节约了 FPGA 片内资源。

5 结 论

可变带宽基带信号回放系统以 FPGA 为核心数据处理单元,通过配置高速数模转换芯片 AD9122 和时钟芯片 AD9516 完成基带信号的回放功能。为解决不同带宽基带信号采样率与 DAC 发射速率不匹配的问题,设计了一种多速率处理算法,采用多级 HB 滤波器、CIC 滤波器和 Farrow 滤波器级联的结构实现了任意倍的采样率转换功能。对系统进行了算法仿真和板卡调试验证,结果表明通过多速率处理算法解决了可变带宽基带信号回放过程中采样率与发射速率不匹配的问题,实现了将带宽范围在 1 kHz~20 MHz 之间的基带信号回放到 140 MHz 目标中频上的功能。回放信号无杂散动态范围 SFDR \geq 60 dBc,满足实际通信系统需求。同时系统实现结构简单,在 FPGA 中消耗的 LUT、FF、DSP 等资源占比不超过 2%,资源消耗较少,适用于处理不同带宽基带信号的回放任务。

参 考 文 献

- [1] 崔新风,姚辉伟,聂孝亮. 基于高速数据采集的雷达对抗试验数据回放与分析平台[J]. 舰船电子对抗, 2019, 42(2):99-102.
- [2] ABU UL FAZAL M, FERGUSON S, JOHNSTON A. Investigating efficient speech-based information communication: A comparison between the high-rate and the concurrent playback designs[J]. Multimedia Systems, 2020, 26(5): 621-630.
- [3] HE J, LIU Y. Design of radar signal playback module based on FPGA[C]. IOP Conference Series: Materials Science and Engineering. IOP Publishing, 2018, 394(3): 032087.
- [4] 罗义军,覃语豪. 中频宽带信号采集存储回放系统设计[J]. 科学技术与工程, 2022, 22(10):3998-4004.
- [5] 黄云青,张佳琦,白森. 基于 AD9154 和 FPGA 的高速复杂雷达信号波形的设计[J]. 航空兵器, 2020, 27(1): 76-80.
- [6] 马宏,史学书. 宽带中频测控信号记录回放系统设计与实现[J]. 装备学院学报, 2014, 25(4):85-88.
- [7] 冯佳梅,邹刚,朱南,等. 基于可变带宽多速率处理算法的设计与实现[J]. 数字通信世界, 2015, (8):21-25.
- [8] MATHUR N, LAKSHMI B. High throughput arbitrary sample rate converter for software radios[C]. 2014 International Conference on Control, Instrumentation, Communication and Computational Technologies(ICCICCT), IEEE, 2014: 1121-1123.
- [9] 王大海,彭华,李天响. 固定采样率任意符号速率基带信号产生算法[J]. 计算机工程, 2016, 42(2):77-80.
- [10] 孙磊,蒋德富. 多通道信号发射机中上变频技术的研究[J]. 国外电子测量技术, 2018, 37(4):26-29.
- [11] 高庆,王波涛,张凤娇. 符号定时同步环路中高阶内插滤波器的设计[J]. 国外电子测量技术, 2018, 37(9):111-115.
- [12] 瞿军武,薛骏,施彦. 高性能异步任意速率采样率转换器[J]. 中国集成电路, 2020, 29(9):23-28, 51.
- [13] 王文博. 一种半带滤波器系数量化的优化方法[J]. 中国集成电路, 2021, 30(8):31-35.
- [14] 王璞,张玉明,田野,等. 基于 FPGA 的多级 CIC 滤波器的设计与实现[J]. 云南大学学报(自然科学版), 2018, 40(4):676-681.
- [15] 李向闪. Farrow 结构分数延时滤波器设计[J]. 国外电子测量技术, 2019, 38(10):124-127.
- [16] 丁照雨,黄明,张轩,等. 高速数模转换芯片 AD9122 在数字中频发射机中的应用[J]. 工业技术创新, 2018, 5(3):35-41.

作者简介

田高峰,硕士研究生,主要研究方向为数字信号处理。

E-mail: 202022172013126@gs.zzu.edu.cn

邓计才,教授,主要研究方向为通信信号检测与处理。

E-mail: iejcdeng@zzu.edu.cn

张延彬,副教授,主要研究方向为高速实时信号处理、嵌入式系统。

E-mail: iezybzhang@zzu.edu.cn

邹坤衡,博士研究生,主要研究方向为卫星信号处理。

E-mail: 1062144649@qq.com

刘子龙,博士研究生,主要研究方向为卫星信号处理。

E-mail: zilongliu@gs.zzu.edu.cn