

DOI:10.19651/j.cnki.emt.2209540

基于三路同源时钟的 TLK2711 高速数传接口设计*

温超然^{1,2} 聂婷¹ 王晓峰^{1,2} 农深恺^{1,2} 黄良¹

(1. 中国科学院长春光学精密机械与物理研究所 长春 130033; 2. 中国科学院大学 北京 100049)

摘要: 随着卫星载荷相机的分辨率不断提升,其获取的图像数据量也迅速增加,如何将载荷数据高速且可靠地传输至后端设备处理是当前所需要解决的问题。本文在高速 SERDES 接口芯片 TLK2711 和三路同源时钟的工作原理上进行研究应用,针对星载 TLK2711 高速数传链路中出现的传输误码等问题做出了分析,提出了一种基于三路同源时钟的高速数传接口设计,并对该高速数传接口具体设计做了详细描述。首先分析原始方案,即无外部参考时钟的 FPGA 向 TLK2711 输出时钟信号的缺点,并在原方案基础提出改进方案,在原电路基础上加入三路同源时钟为 FPGA 和 TLK2711 提供参考时钟。深入分析了误码率产生的原因及影响,从而提出了最佳相位检测和 RS 编码,并对其在高速数传接口应用的可行性进行了验证。对接口设计进行验证,实验结果表明,采用 TLK2711 高速数传接口可实现高达 2.5 Gbit/s 的数据传输,相比较于原始方案,基于三路同源时钟的 TLK2711 高速数传接口设计数据时钟抖动下降 59.5%,采用的 RS 编码纠错能力强,使得 CRC 错误数大幅度降低,显著降低了误码率,硬件实现简单,增强了接口的工作稳定性。

关键词: 高速串行传输;高速数传接口;TLK2711;三路同源时钟;最佳相位检测;RS 编码

中图分类号: TP2 **文献标识码:** A **国家标准学科分类代码:** 510.1050

Design of TLK2711 high speed data transfer interface based on three-way homologous clock

Wen Chaoran^{1,2} Nie Ting¹ Wang Xiaofeng^{1,2} Nong Shenkai^{1,2} Huang Liang¹

(1. Changchun Institute of Optics and Mechanical Sciences, Chinese Academy of Sciences, Changchun 130033, China;

2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: With the increasing resolution of satellite payload cameras, the amount of image data acquired by them also increases rapidly. How to transfer payload data to the back-end device for high-speed and reliable processing is the current problem to be solved. In this paper, the high-speed SERDES interface chip named TLK2711 and three-way homologous clock working principle are studied and applied, and the transmission error in the high-speed data link of the satellite TLK2711 is analyzed. A high-speed data interface design based on three-way homologous clock is presented, and the specific design of the high-speed data interface is described in detail. Firstly, the disadvantage of the original scheme, that is, the output data signal to TLK2711 by the field programmer without additional reference clock, is analyzed. Based on the original scheme, an improved scheme is proposed. Three-way homologous clocks are added to the original circuit to provide reference clocks for the field programmer and TLK2711. The causes and effects of bit error rate are analyzed in depth, and the optimal phase detection and RS encoding are proposed, and the feasibility of its application in high-speed data transmission interface is verified. The interface design is validated. The experimental results show that the TLK2711 high-speed data transfer interface can achieve up to 2.5 Gbit/s data transmission. Compared with the original scheme, the data clock jitter of TLK2711 high-speed data transfer interface design based on three-way homologous clock is reduced by 59.5%, and the RS encoding error correction capability is strong, which greatly reduces the error rate of CRC, significantly reduces the error rate of hardware implementation, and enhances the working stability of the interface.

Keywords: high-speed serial transmission; high speed data transfer interface; TLK2711; three-way homologous clock; optimal phase detection; Reed-Solomon code

0 引言

空间光学遥感器在气象观测、地质勘探等领域有着广

泛的应用^[1]。近年来,随着空间遥感技术的发展,卫星遥感数据的获取方式也呈现多样化趋势,遥感数据源向着出高空间分辨率、高时间分辨率和高光谱分辨率的方向发展,卫

收稿日期:2022-04-08

* 基金项目:国家自然科学基金(62105328)项目资助

星载荷数据类型增加,卫星载荷数据量也随之急剧增加,这就对星上数据的传输性能提出了更高的要求:既要传输速率快,也要误码率(bit error rate, BER)低。而在高速数据传输过程中,如何将海量的卫星载荷观测数据高速传输回地面成为了问题的关键^[2-3]。传统的 RS422 接口和 LVDS 接口无法满足数据高速传输要求,如果通过增加路数来实现载荷数据传输速率的提高,将极大地增加了成本,同时多位宽并行数据传输容易受到外界干扰性,信号存在较大的时延,导致信号同步性较差,数据传输不可靠^[4]。一种较为常用的策略是使用高速 SERDES 接口芯片 TLK2711 进行数据的发送和接收,该芯片专为超高速双向点对点数据传输系统设计,能够将至多 16 位并行数据转换为串行数据后以 1.6~2.5 Gbps 的速率进行传输,并采用时钟恢复技术,增强了抗干扰能力^[5]。

但 TLK2711 对输入的参考时钟要求较高,要求频率容限(frequency tolerance, FT)在 $\pm 100 \times 10^{-6}$ 之间且抖动值小于 40 ps^[6-10]。在之前设计中由于没有着重考虑该问题,直接将经过 FPGA 处理后的 IO 口时钟传给 TLK2711 作为参考时钟,导致实际图像传输时出现了多于预期的误码。张媚等人在文章中指出,对于数据发送,多位宽并行数据传输方式易受信号同步问题影响,各信号的瞬时抖动不一致必将导致传输质量的下降^[11]。徐磊等^[12]通过设计时钟管理控制模块来对信息传输进行时序控制,虽然能高速传输数据,但存在信号延迟较大,同步性较差等问题。李君豪等^[13]设计的传输系统稳定性好,但仍然达不到低延迟效果。倪建军等^[14]所设计的高速数传接口,在其应用环境效果良好,但缺少纠错编码算法的设计,导致误码率偏高,无法保证传输可靠性。Kenich 等^[15]采用向前纠错编码(forward error correction, FEC),虽然提高了数据传输的可靠性,但 FEC 算法由于译码过程较为复杂,且耗时较长,不适用于卫星载荷相机的信息传输。余达等^[16]采用晶振输出的时钟经多路时钟分路器输出多路低抖动时钟作为发送端系统的参考时钟,虽然能解决时钟相位对齐,但仍存在时钟抖动较大等问题。因此,设计一个稳定、噪声低的高速数传接口对于星载图像高速串行传输系统至关重要。

本文针对上述方案的不足,结合 TLK2711 的传输特点,在现有技术的基础上提出了一种高传输速率低抖动的数传接口设计,并加入了最佳相位检测和一种纠错能力强且易于硬件实现的纠错编码算法,大大降低了高速传输的误码率。

1 三路同源时钟高速数传接口结构

1.1 高速数传接口硬件设计及改进

高速串行传输系统总体示意图如图 1 所示,可分为图像传感器、高速数传接口和数据接收端三部分。在高速数传接口中,主控 FPGA 驱动图像传感器,将采集到的图像数据输出到 FPGA 中,FPGA 将来自图像传感器的图像数

据转化,并采用高速 SERDES 接口芯片进行传输至发送端。高速 SERDES 接口芯片选用 TI 公司的 TLK2711,其提供 1.6~2.5 Gbps 的有效串行接口速度。在高速数传接口中,TLK2711 把输入的 16 bit 并行有效数据分成两个字节,并与控制码 TKLSB 和 TKMSB 同时送入两个 8 bit/10 bit 编码器进行编码,8 bit/10 bit 编码器将 8 bit 的数据转换为 10 bit 的编码数据字符,以改善其传输特性。由每个编码器所产生的 10 bit 有效数据经过多路复用器送入串行器进行并串转换,串行器接收两个并行 8 bit/10 bit 编码器多路复用的 20 bit 有效数据,并将其转换为串行流。完成把并行低速数据转换为高速串行数据。

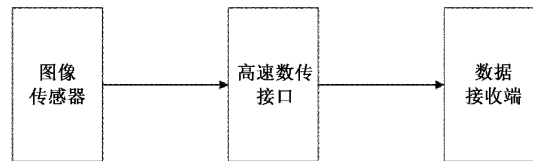


图 1 高速串行传输系统示意图

原始方案如图 2 所示,高速数传接口由 FPGA 与 TLK2711 直接构成,为防止主份 TLK2711 出现故障,设置另一路 TLK2711 作为数据传输备用路径。将 FPGA 从图像传感器获得图像数据直接输出至 TLK2711,但由于高速数传接口电路采用 16 bit 并行传输,因此需要考虑各路时钟的同步性。FPGA 内部数字时钟管理单元(digital clock manager, DCM)在时钟信号传输中会出现时钟偏斜和时钟抖动,全局时钟抖动为 150 ps,达不到 TLK2711 所要求的时钟抖动小于 40 ps,致使 FPGA 与 TLK2711 初始相位相异,传输过程误码率高于预期。因此原始方案达不到设计要求。

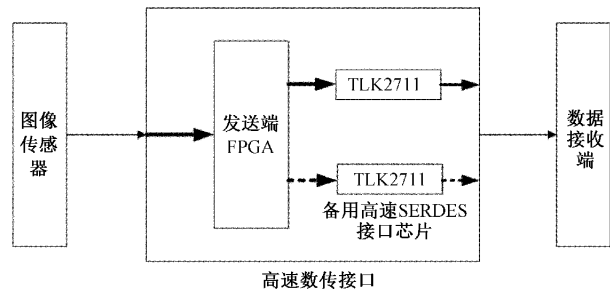


图 2 原始方案高速数传接口结构

本文提出一种新方案,如图 3 所示,在原方案基础上,在电路中加入 ZC32-B-C-83C2-III-100M0000 型方波温补晶振作三路同源时钟(three-way homologous clock, THC),为 FPGA 和 TLK2711 提供参考时钟。ZC32-B-C-83C2-III-100M0000 型温补晶振由海创公司生产,可为焦面提供占空比稳定的 100 M 三路方波时钟,此类型晶振具有同源性及相位抖动指标好,可靠性、频率稳定性高,占空比稳定,上升及下降边沿速度快等优点,适用于项目使用。电路上电时,三路同源时钟产生三路低抖动时钟信号(clock1、

clock2、clock3),分别送入 TLK2711 和 FPGA 中。三路同源时钟输出至 FPGA 中的时钟信号通过其内部的数字时钟管理单元对时钟信号进行延迟,作为 FPGA 的工作时钟,并与 TLK2711 的时钟信号同步,从而达到时钟信号同步。之后将 FPGA 处理后的图像数据同步由 TLK2711 输出到接收端。

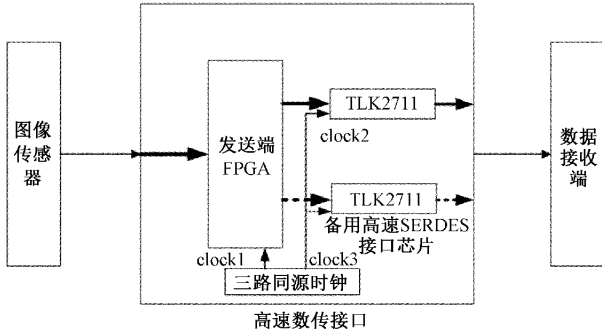


图 3 改进方案高速数传接口结构

1.2 高速数传接口软件设计

高速数传接口在高速串行数据传输时,将接收到的高速串行数据进行数据的串并转换以及并行数据的时钟恢复。随着长时间的误差累积以及信道干扰的存在,虽然 TLK2711 具有时钟恢复的功能,但如果软件设计不合理,数据传输的误码率将会大幅提升。为保障其传输的可靠性,针对以上问题,在基于硬件设计的基础上,加入最佳相位检测和 RS 编码纠错两部分程序来解决问题。

1) 最佳相位检测

在数据传输发送时,如果数传接口处于非最佳相位,可能会导致接收端数据接收出现缺失,从而影响原始图像的复原。因此需要对高速数传接口进行最佳相位检测的程序设计。

电路上电后,高速数传接口主控 FPGA 进入发送上电初始化状态机,通过 FPGA 上的数字时钟管理单元,调试并检测进入高速 SERDES 接口芯片的图像数据和时钟的最佳相位,发送图像数据和时钟的最佳相位则通过实验测试得到的极大误差相位值 φ_1 和极小误差相位值 φ_2 ,取平均值作为最佳相位 $\varphi_3 = (\varphi_1 + \varphi_2) / 2$ 。当处于最佳相位时,进入到 2 ms 的同步码发送状态,最后将图像数据以帧为单位发送出去。数据发送软件工作流程如图 4 所示。

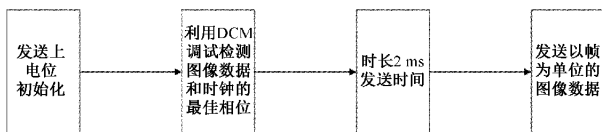


图 4 数据发送软件工作流程

2) RS 编码纠错

为了减少误码率且考虑到卫星载荷相机对实时传输的要求及 FPGA 的处理数据的能力,在算法上应选用编译码简单、快速及纠错能力强的算法。本文采用 RS 编码,RS

编码是一种特殊的非二进制 BCH 码,可同时纠正随机错误和突发错误。 $RS(n, k)$ 码长度为 $2^m - 1 (m > 0)$,伽罗华域 (galois field, GF) 表示为 $GF(2^m)$ (m 表示一个符号的位数),可纠正 $t = (n - k) / 2$ 个突发错误,其信息段具有 k 个符号,监督段具有 $(n - k)$ 个符号。将信息多项式 $m(x)$ 乘于 x^{n-k} ,并对生成多项式 $g(x)$ 相除求余得到校验多项式 $c(x)$,将得到的校验多项式的系数加在信息码多项式系数便可得到 RS 编码^[17]。RS 编码电路主要由线性反馈移位寄存器 (linear feedback shift register, LFSR) 组成,以生成多项式 $g(x)$ 为除数得出的除数电路进行实现^[18]。根据 RS 编码原理设计可得 $RS(255, 239)$ 电路参数如表 1 所示,由 RS 编码参数设计的电路原理如图 5 所示,图 5 中 g_0, g_1, \dots, g_{15} 为生成多项式 $g(x)$ 的系数。

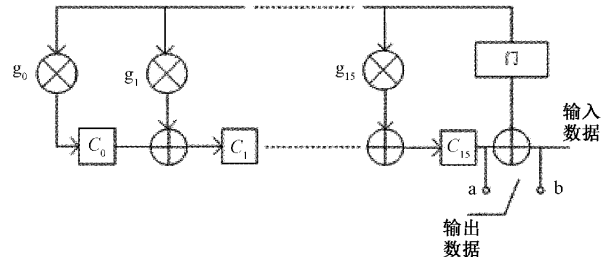


图 5 RS 编码电路实现流程

表 1 RS 编码参数

伽罗华域	$GF(2^m)$
RS 码长 n /bit	255
信息码长 k /bit	239
纠正错误数 t /个	8
生成多项式 $g(x)$	$g(x) = g_{15}x^{15} + \dots + g_1x + g_0$
信息码多项式 $m(x)$	$m(x) = m_{238}x^{238} + \dots + m_1x + m_0$
校验多项式 $c(x)$	$c(x) = c_{15}x^{15} + \dots + c_1x + c_0$

将移位寄存器电路工作之前全部清零,将开关位于 b 处,将信息码 m_i 由高到低依次输入进编码电路中,一路由输出端输出,一路进入电路进行除法运算和移位操作。当信息码全部输入并完成除法运算后,关闭门,保留移位寄存器中的数据,即余数的系数,RS 码的校验码位。把开关位于 a 处,随着时钟周期移位寄存器 $C_{15}, C_{14}, \dots, C_0$ 依次输出校验码值 $c_{15}, c_{14}, \dots, c_0$,完成 $RS(n, k)$ 编码。

编码的输入信息和输出信息均以比特为单位,但在 RS 编码 IP 核所接受的是以字节为单位的数据流,因此需要设计串并转换模块和并串转换模块用于字节和比特的单位转换。串并转换模块将比特转换为字节,而并串转换模块将字节转换为比特^[19]。RS 编码流程如图 6 所示。

2 实验与结果

为了验证高速数传接口的工作性能,测试其是否满足设计需求。使用示波器和误码率分析仪对高速数传接口进行测



图 6 RS 编码工作流程

试,利用采集到的时间抖动图和眼图,对接口性能进行分析。

2.1 时间抖动直方图测试

在同一时间源内 3 种方案的时间抖动直方图测试结果如下图所示,由表 2 中直方图统计计算参数可以看出,无外部参考时钟的 FPGA 生成的时钟信号平均值为 -191.986 fs ,最大值为 98.628 ps ,最小值为 -57.381 ps ,峰峰值为 156.009 ps 。使用时钟分路器生成的时钟信号平均值为 -46.4866 fs ,最大值为 31.9720 ps ,最小值为 -39.7121 ps ,峰峰值为 71.6841 ps 。使用三路同源时钟生成的时钟信号平均值为 -32.1571 fs ,最大值为 21.9449 ps ,最小值为 -21.8709 ps ,峰峰值为 43.8159 ps 。由实验结论可得,使用三路同源时钟的方案误码率明显降低。

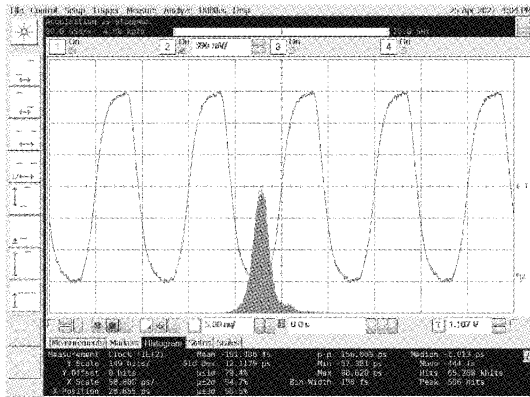


图 7 无外部参考时钟的 FPGA 生成时钟信号

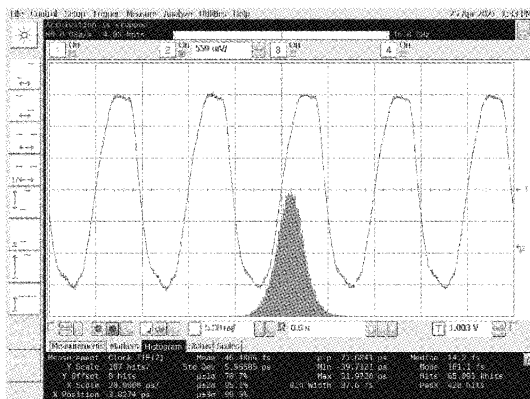


图 8 使用时钟分路器生成的时钟信号

无外部参考时钟的 FPGA 生成的时钟信号的时钟周期标准差 12.1179 ps ,使用时钟分路器生成的时钟信号周期标准差 5.96585 ps ,使用三路同源时钟生成的时钟信号周期标准差为 4.90241 ps ,对比结果如表 3 所示,结果表明基于三路同源时钟方案时间抖动明显降低。

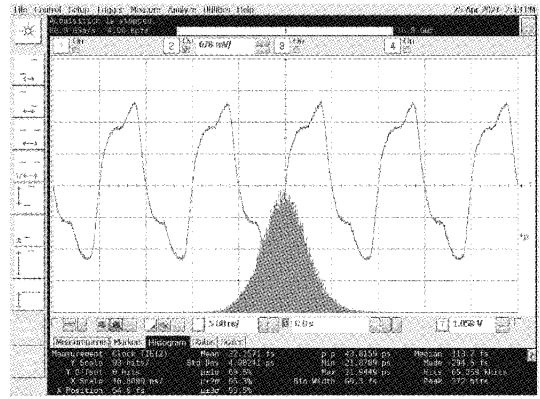


图 9 使用三路同源时钟生成的时钟信号

表 2 直方图统计计算参数对比结果

	无外部参考时钟的 FPGA 生成的时钟信号	使用时钟分路器生成的时钟信号	使用三路同源时钟生成的时钟信号
平均值(Mean)	-191.986 fs	-46.4866 fs	-32.1571 fs
最大值(Max)	98.628 ps	31.9720 ps	21.9449 ps
最小值(Min)	-57.381 ps	-39.7121 ps	-21.8709 ps
峰峰值(p-p)	156.009 ps	71.6841 ps	43.8159 ps

表 3 时间曲线对比结果

	无外部参考时钟的 FPGA 生成的时钟信号	使用时钟分路器生成的时钟信号	使用三路同源时钟生成的时钟信号
时钟周期标准差 (Std Dev)	12.1179 ps	5.96585 ps	4.90241 ps

2.2 眼图测试

在对高速数传接口设计的测试实验得到如下的眼图效果,眼图效果如表中所示,对比高速数传接口信号特性在不同情况时的传输数据循环冗余校验码(cyclic redundancy check,CRC)和错误数统计,以判断数据传输时的误码情况,眼图的横纵向张开程度受噪声和抖动影响,眼高越高,眼宽越宽,其信号质量越高。经眼图测试对比结果如表 4 所示,无外部参考时钟的 FPGA 的 CRC 错误数为 72,使用时钟分路器的 CRC 错误数为 45,使用三路同源时钟的 CRC 错误数大幅度降低。无外部参考时钟的 FPGA 的眼高为 1.5293 V ,眼宽为 397.836 ps ,眼图抖动为 14.279 ps ,使用时钟分路器的眼高为 1.5896 V ,眼宽为 412.164 ps ,眼图抖动为 10.013 ps ,使用三路同源时钟的眼高为 1.6138 V ,眼宽为 424.44 ps ,眼图抖动为 9.661 ps ,实验结果表明,基于三路同源时钟方案效果更好。

表 4 眼图对比结果

	无外部参考时钟的 FPGA 眼图	使用时钟分路器的眼图	使用三路同源时钟的眼图
CRC 错误数	72	45	0
眼高(Eye height)	1.529 3 V	1.589 6 V	1.613 8 V
眼宽(Eye width)	397.836 ps	412.164 ps	424.44 ps
眼图抖动(Eye jit RMS)	14.279 ps	10.013 ps	9.661 ps

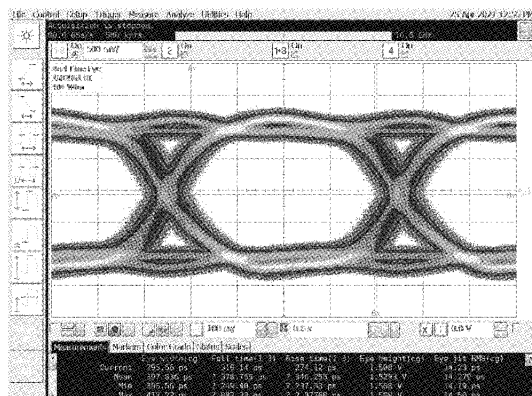


图 10 无外部参考时钟的 FPGA 眼图

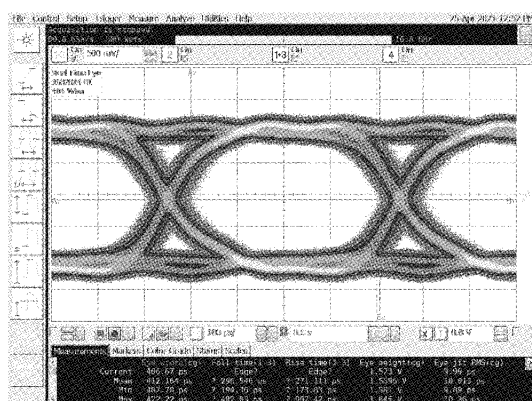


图 11 使用时钟分路器的眼图

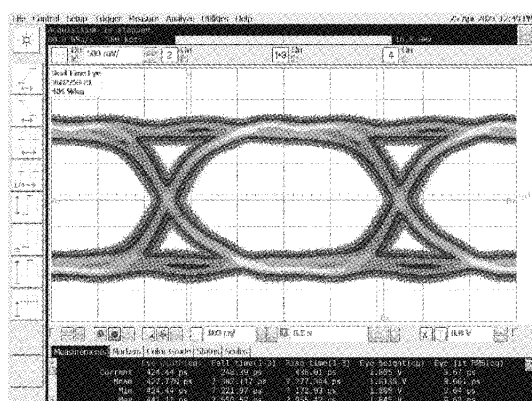


图 12 使用三路同源时钟的眼图

3 结 论

本文针对星上数据传输提出了一种基于三路同源时

钟的 TLK2711 高速数传接口设计,此设计包括硬件设计与软件设计。硬件设计部分简单描述了 TLK2711 和三路同源时钟的工作原理以及高速数传接口的硬件设计。软件设计部分包括最佳相位检测和 RS 编码。然后对设计出来的接口进行测试并与无外加参考时钟的 FPGA 输出、使用时钟分路器输出等方案进行对比,利用 TLK2711 测试得出使用三路同源时钟方案效果最好。相对于以上两个方案,新方案中直方图表现效果好,时钟周期标准差更小,眼图的眼睛张开度更大,CRC 错误数更少,表明误码率更低,时间抖动更小,发送端工作稳定度高。此方案为以后基于三路同源时钟的 TLK2711 高速数传接口设计提供新的思路。

参考文献

- [1] 任建岳. 空间光学遥感器专题文章导读[J]. 光学精密工程, 2008, 16(10): 1852-1852.
- [2] 贾建超, 陈涛, 李钊. 基于 TLK2711 的高速数据串行传输[J]. 集成电路应用, 2013, 39(9): 47-53.
- [3] 潘明, 陈元枝, 李强. 基于 FPGA 的图像采集系统的设计[J]. 国外电子测量技术, 2012, 31(3): 58-61.
- [4] 蒋志胜, 吴振广, 周浩, 等. 高速 SERDES 接口芯片 TLK2711 宇航应用研究[J]. 电子元器件与信息技术, 2021, 5(3): 1-3.
- [5] 林美东. 基于 8B/10B 编解码 2.5Gbps 高速 SERDES 电路关键技术研究[D]. 北京: 中国航天科技集团公司第一研究院, 2016.
- [6] 何品权, 耿晨曦, 张力丹, 等. 高速大容量 TLK2711 接口卫星数传基带模拟源的研制[J]. 科学技术与工程, 2021, 21(36): 15555-15562.
- [7] 王张萌. 高速 SERDES 接口的关键电路设计[D]. 合肥: 合肥工业大学, 2016.
- [8] 任静. 基于 FPGA 的 TLK2711 高速协议转换地检系统设计与实现[D]. 秦皇岛: 燕山大学, 2021.
- [9] 黄俊泽. 基于高分辨率面阵相机与高光谱成像仪的机载成像系统研究[D]. 北京: 中国科学院大学(中国科学院上海技术物理研究所), 2021.
- [10] 李正军, 周志权, 赵占锋. 基于 FPGA 的高速数据传输系统设计与实现[J]. 计算机测量与控制, 2016, 24(9): 188-190, 194.
- [11] 张媚, 杜辉, 关晖, 等. 基于 TLK2711 的遥感卫星高速串行载荷数据接口设计[J]. 航天器工程, 2015, 24(6):

- 13-19.
- [12] 徐磊,崔雪楠. 基于 FPGA 的遥感高速图像数传系统设计[J]. 电子测量技术, 2015, 38(3): 72-76.
- [13] 李君豪,毕丽霞,王永利. 多通道高速数据安全传输系统的设计与实现[J]. 计算机技术与应用, 2018, 44(9): 125-128.
- [14] 倪建军,李涛,王建宇. 基于 TLK2711 的高速串行全双工通信协议研究[J]. 电子设计工程, 2013, 21(10): 76-80.
- [15] KEN-ICHI K, AKIHIRO M, YUKI Y. Digital coherent technology for optical fiber and radio-over-fiber transmission system[J]. Journal of Lightwave Technology, 2015, 32(20): 3411-3420.
- [16] 余达,刘金国,徐东,等. 多路基于 TLK2711 高速串行图像数据的传输系统[J]. 液晶与显示, 2017, 32(10): 815-821.
- [17] 李锦明,刘梦欣,成乃朋. RS 编码算法的优化与 FPGA 实现[J]. 电子技术应用, 2020, 46(2): 76-79, 83.
- [18] 严紫薇,陈少华,张宝朋. 采用 RS 编码的改进高速数据传输平台实现[J]. 单片机与嵌入式系统应用, 2021, 21(5): 79-83.
- [19] 杨晓玲,郭烜. 基于 FPGA 的 RS 编码的设计与实现[J]. 河南机电高等专科学校学报, 2016, 24(7): 11-14.

作者简介

温超然, 硕士, 主要从事红外图像处理方面的研究。

E-mail: 15526870941@163.com