

DOI:10.19651/j.cnki.emt.2209119

插件化的 IPMC 板卡管理系统硬件设计

施周荣 陈 健 赵永成

(上海大学特种光纤与光接入网重点实验室 上海 200444)

摘要: 虽然目前作为服务器管理核心的 IPMC 的设计日趋成熟,但是 IPMC 仍然是以直接焊接在服务器主板之上的“一体化”形式设计,在硬件更新维护方面具有极高的复杂度。在此背景之下,本文提出“硬件插件化”思想,将 IPMC 以金手指的硬件接口形式制作成可插入式的板卡,该板卡不仅可以解决上述所提到的问题,还具备千兆以太交换功能。板卡硬件主要由 Cortex-M4 内核的单片机 MSP432E401Y 和二层以太交换芯片 KSZ9897R 构成,为解决板卡间以太网通信的硬件冗余问题,本设计采用了无变压器以太网电路互连。经 HFSS 软件对过孔参数的仿真优化及板卡间高速信号的眼图以及 S 参数测试,结果表明本文所设计的插件化板卡硬件在传输千兆速率信号时,最大电压损耗为 3.5 dB,回波损耗皆大于 10 dB,完全满足 IEEE802.3 标准对于以太网信号的损耗要求。

关键词: IPMI;ATCA;IPMC;信号完整性;无变压器以太网

中图分类号: TN919 **文献标识码:** A **国家标准学科分类代码:** 510.50

Hardware design of plug-in IPMC board management system

Shi Zhourong Chen Jian Zhao Yongcheng

(Key Laboratory of Specialty Fiber and Optics Access Networks, Shanghai University, Shanghai 200444, China)

Abstract: Although the design of IPMC as the core of server management is becoming more and more mature, IPMC is still designed in the form of "integration" directly welded on the server motherboard, which has a high complexity in hardware update and maintenance. In this context, this paper puts forward the idea of "hardware plug-in", which makes IPMC into a pluggable board in the form of golden finger hardware interface. This board can not only solve the problems mentioned above, but also has Gigabit Ethernet switching function. The board hardware is mainly composed of microcontroller MSP432E401Y and L2 Ethernet switch chip KSZ9897R. In order to solve the hardware redundancy problem of Ethernet communication between boards, this design uses a transformerless Ethernet circuit interconnection. After the simulation and optimization of via parameters by HFSS software and the eye diagram and S-parameter test of high-speed signals between boards, the results show that the plug-in board hardware designed in this paper has a maximum voltage loss of 3.5 dB when transmitting gigabit rate signals. The return loss is greater than 10 dB, which fully meets the loss requirements of the IEEE802.3 standard for Ethernet signals.

Keywords: IPMI;ATCA;IPMC;signal integrity;transformerless ethernet

0 引 言

随着网络数据爆炸式的增长,各大中小型企业对服务器的需求越来越大。面对庞大的服务器体量,传统的以人工为主的服务器监控管理方式不堪重负^[1],无法继续保证服务器硬件正常稳定运行。因此,智能平台管理接口(intelligent platform management interface, IPMI)应运而生。利用 IPMI 可以实现对服务器硬件全天候实时检测、故障报警和自动化调节。运维管理人员可以通过网络或者串口远程访问服务器,通过获取记录的传感器数据和事件

日志,对服务器进行管理监控、故障分析和故障处理^[2]。IPMI 的出现为大规模服务器硬件管理带来了福音,越来越多的服务器厂商均在他们的产品上设计基于 IPMI 的智能平台管理控制器(intelligent platform management controller, IPMC),IPMC 便是服务器硬件管理的核心部分,用来监控和管理服务器。而随着业务的不断拓展,各大中小型企业对服务器的稳定性要求越来越高,进而对服务器监控管理提出了更高的要求。因此,IPMC 必须进行功能拓展以满足要求。如果 IPMC 上的 MCU 或其他芯片不足以支持所需功能的拓展,厂商会对芯片进行重新选型。目前国内外

收稿日期:2022-03-01

厂商生产服务器时,都是将IPMC直接焊接在服务器底板之上,所以一旦更换芯片型号,就会导致整块服务器底板重新设计、生产和测试,人力和时间成本很高。此外,如果IPMC上的芯片发生损坏需要维修,需先打断服务器正常运行,才能进行芯片的更换工作。这就影响了服务器的工作效率,对企业来讲,不可接受。

文献[3]中所设计的IPMC主要通过选用低成本且外设接口丰富的ARM9内核处理器来完成服务器监控管理功能,降低了硬件设计复杂度。文献[4]中设计的IPMC利用IPMI协议解决了ATCA构架体系中IPMC没有完全按照规范要求设计而引发的兼容性差的问题,软件通用性好。文献[5]中设计的IPMC通过精简硬件电路以解决管理系统在某些特殊领域存在成本高,功能冗余的问题,成本更低,管理更高效。

上述所提到的IPMC设计方案虽然都具备各自的优势,但却没有考虑到IPMC硬件更新或维护的问题,缺乏灵活性。且他们所设计的IPMC基本上采用与服务器系统共享LAN控制器的形式来完成以太网数据的传输,可靠性不高,占用服务器资源,且不支持多端口远程硬件管理。

针对以上不足,本文提出了“IPMC插件化”的解决方案,设计了可插件化的IPMC板卡管理系统。主要工作如下:

1)利用DDR4内存条形式的结构将IPMC设计成可插件化的小板卡,以解决硬件更新维护复杂且成本高的问题,灵活且通用性强。

2)在传统的IPMC设计基础上,增加了交换芯片KSZ9897R,以实现多端口远程硬件管理功能。

3)以ATCA为目标服务器设计一块服务器测试底板,以验证IPMC插件化方案的可行性。

4)用电阻电容代替网络变压器的功能,设计了无变压器以太网电路,以解决板卡间以太网信号通信问题。

5)针对所设计硬件进行相关信号完整性测试,以确保插件化IPMC与一体化IPMC在传输信号的可靠性上无异。

综上所述,本设计不仅可以完成服务器监控管理功能,还具备硬件更新维护快捷方便、灵活性、通用性强等优势。在未来服务器底板硬件设计方面有较高参考价值。

1 系统结构及总体设计

1.1 硬件整体结构

插件化IPMC板卡的硬件设计框图如图1所示,主要包含两部分硬件设计:插件化IPMC板卡硬件设计和ATCA测试底板硬件设计。

如图1所示,插件化IPMC采用DDR4内存条外形及引脚进行设计,主要由MCU和2层千兆以太交换芯片构成。其中,MCU负责处理接收到的各种IPMI命令以完成对服务器的监控和管理操作^[6-9]。而交换芯片的存在,是为了满足多端口远程硬件管理以及系统内部以太网数据传输的需求。

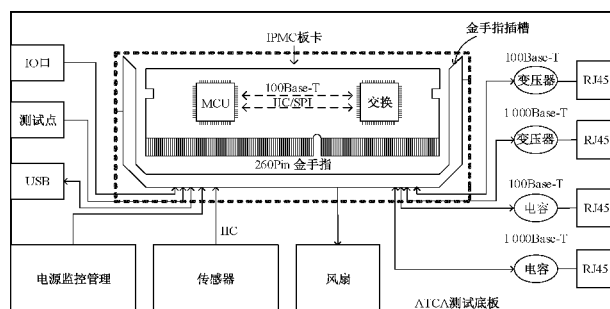


图1 硬件设计结构框图

为验证IPMC插件化方案的可行,需设计一块服务器测试底板。可选的服务器平台种类有很多,如ATCA、OPEN VPX、MTCA、VME和CPCI等。ATCA相较于上述平台更加关注网络架构、业务灵活性、可拓展性和稳定性等,具有服务器代表性和众多优势^[10-11]。故本次设计选用ATCA作为目标服务器来设计测试底板。图1中红色虚线框以外的部分便是本次设计的ATCA测试底板。其中包括金手指插槽、电源电路、传感器电路、以太网电路、USB电路、风扇电路以及测试接口。上述电路中所用到的各种接口皆需引到金手指插槽的Pin脚上,以配合IPMC完成服务器的监控管理功能。

1.2 硬件设计实现中的难点

插件化IPMC板卡在本次设计过程中存在以下几个难点。

第1个难点,所设计的硬件必须具备良好的信号完整性。PCB设计过程中对于过孔扇出、过层所造成的阻抗突变、信号衰减、对于绕线造成的信号串扰等问题^[12]均需要进行合理化的信号完整性设计。针对这一难点,本文在设计过程中利用HFSS仿真软件对过孔进行仿真,以获取最优的过孔参数,确保信号经过过孔传输时阻抗连续。利用Cadence软件中的规则约束保证了差分走线的等长。

第2个难点,需解决小板卡间以太网可靠通信的问题。本文设计的IPMC板卡可提供多端口远程硬件管理功能,而本次设计所选用的MCU或市面上常见的MCU一般只有一路以太网接口,无法满足上述要求。为实现这一功能,在IPMC板卡上增加了交换芯片的设计。由图1可知,IPMC的设计采用了DDR4内存条的形式,体积较小,没有空间在MCU与交换芯片之间放置网络变压器来提高以太网信号的稳定性和抗干扰能力。针对此难点,本设计采用电阻电容来代替网络变压器的作用尝试无变压器以太网电路的设计。电阻电容的选值需要通过理论计算以及实际的测试结果而定,以保证以太网信号的可靠传输。

2 硬件模块设计

2.1 IPMC板卡硬件设计方案

由图1可知,本次插件化IPMC板卡硬件设计主要由负责服务器监控管理的MCU和负责多路以太传输的交换

芯片构成。

MCU 型号的选取是不限的,开发者可以根据自身的需求选用任意一款 MCU,只需选取的 MCU 的资源满足设计需求即可。本设计要求所选用的 MCU 至少需要 1 路千兆以太网接口,2 路 I²C 接口,1 路 UART 接口,1 路 USB 接口。其中 I²C 接口可视服务器实际需要管理的资源数量进行删减。MCU 最好集成以太 PHY 功能,以便降低板卡的面积。满足以上选取条件后,可根据 MCU 的编程难易度、MCU 的成本等因素灵活多变地进行 IPMC 板卡设计。本次设计选用的 MCU 是 TI 公司研发的 32 位的单片机 MSP432E401Y,该单片机集成了 10/100 M 以太网 MAC、IEEE 1588 PTP 硬件支持的 PHY、ULPI 接口选项和链路层电源管理(LPM)的 USB 2.0 OTG 主机或器件、8 个通用异步接收器/发射器(UART)、4 个四通道同步串行接口(QSSI)以及高速模式支持的 10 个内部集成电路(I²C)模块。该芯片满足设计需求且成熟度高、成本低,故选该芯片作为 IPMC 的主控。

以太交换芯片 KSZ9897RTX1 是集成了 2 层管理的七端口千兆以太网芯片,含有多项先进功能。7 个端口中的 5 个包含 10/100/1 000 Mbps PHY。另外两个端口具有可配置为 SGMII、RGMII、MII 或 RMII 的接口形式。该芯片不仅满足设计需求,而且价格较低,集成度高,编程方便,故本设计选用该款芯片来完成多路以太网交换通信功能。

基于 MPS432E401Y+KSZ9897RTX1 的插件化 IPMC 通用板卡硬件框图如图 2 所示。

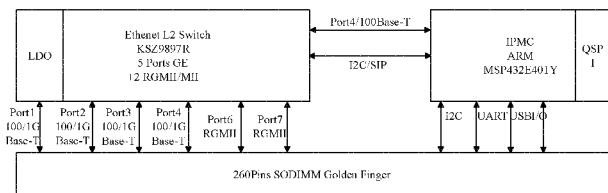


图 2 板卡硬件框图

图 2 中所示的端口 Port1~Port4、Port6、Port7、I²C、USB、I/O 等引脚皆引到 260Pins SODIMM 金手指上即可。MCU 与交换芯片之间通过无变压器以太网电路进行连接。该板卡可以提供 6 路以太网数据接口,8 路 I²C 接口,2 路 Uart 接口,1 路 USB 接口以及一些方便软件调试的普通 IO 接口。任何需要管理的设备,只要在底板上留有接口插槽,便可将 IPMC 板卡插上直接进行监控管理操作,通用性极强。

2.2 ATCA 测试底板设计方案

ATCA 测试底板结构如图 1 虚线框以外部分。电源部分是通过 1766500-1ATCA 背板连接器配合 DC/DC 以及降压模块给整个系统进行供电,该方式的电源电路框图如图 3 所示。

图 3 中的 DC/DC 选用的是 DIM3R3400SFA,该模块专为 ATCA 或其他电信平台提供双冗余热插拔 48 V 直流

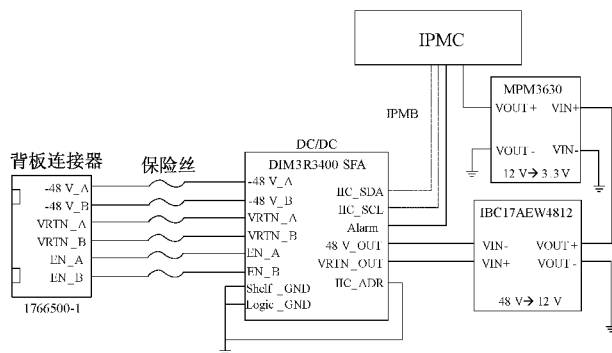


图 3 ATCA 背板供电电源电路原理

配电,提供电磁干扰过滤和浪涌电流限制,IPMC 可以通过 IPMB 总线对该模块进行监控和管理。

传感芯片采用的是 MAX6643,该芯片是带有过温报警输出的自动 PWM 风扇速度控制器,是一款温度控制器和风扇控制器集成的芯片。IPMC 可通过 OT 引脚判断底板温度是否过热以及通过 FANFAIL 引脚判断风扇是否发生故障。该部分电路原理如图 4 所示。

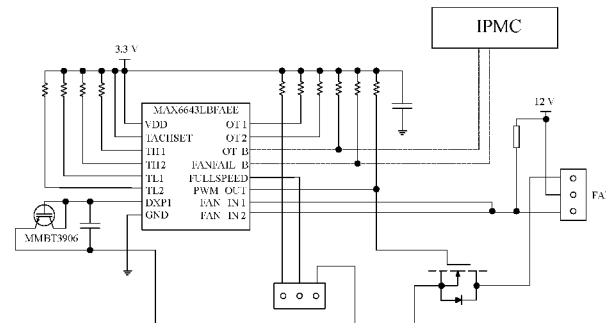


图 4 底板温控电路原理

图 1 中的 Test Points 采用的是 SMA_JACK 射频接口端子,用来进行信号完整性测试。图 1 中的 4 对 RJ45,分别通过无变压器以太电路和有变压器以太电路进行百兆和千兆以太网传输,该电路有两个作用,一是用来传输以太网信号,另一作用是为了验证无变压器以太网电路设计的可行性。USB 接口用来进行代码的下载与调试。

2.3 PCB 设计

为保证整个硬件系统具备良好的信号完整性,在 PCB 布局走线之前,对高速信号的过孔进行了仿真优化,避免因过孔设置不合理而导致高速信号的损伤问题。

过孔仿真工作主要分为以下几步。第 1 步,根据 PCB 的层叠结构以构建层叠模型。在 PCB 层叠结构方面,采用板厚为 1.2 mm 六层板混叠结构,层叠设计结构如图 5 所示。第 2 步,利用 HFSS 软件建立差分过孔与回流地孔三维模型,模型如图 6 所示。第 3 步,利用过孔模型建立等效电路模型,设置过孔参数,包括孔径、中心间距、焊盘、反焊盘大小、回流地孔位置。第 4 步,将过孔模型导入仿真软件,并导出差分特性阻抗曲线。最后利用仿真软件调整过

孔参数大小,得到合适的阻抗参数模型。本设计的差分阻抗应为 100 Ω。受 PCB 工艺以及板卡体积的限制,无法采用过孔的半径作为变量进行仿真。故本设计选择通过不断修改反焊盘大小来获得不同情况下的传输特性阻抗曲线,从而在众多曲线中,寻找到最优曲线对应的反焊盘大小参数,并以此参数作为过孔参数进行 PCB 设计。通过修改反焊盘大小得到的传输特性阻抗曲线如图 7 所示。基于图 7 中的仿真曲线结果,最终选用了反焊盘大小为 15 mil,过孔半径为 5 mil 的参数进行过孔设计。

Total:1.2 mm +/-0.2		
TOP	L1	0.035 mm+Plating
	PP 2313 Er=4.05	FR-4 0.1 mm
SIG	L2	0.017 78mm
	Core Er=4.25	FR-4 0.365 mm
PWR	L3	0.017 78mm
	PP 2116 Er=4.25	FR-4 0.127 mm
GND	L4	0.017 78mm
	Core Er=4.25	FR-4 0.365mm
SIG	L5	0.017 78mm
	PP 2313 Er=4.05	FR-4 0.1 mm
BOTTOM	L6	0.035 mm+Plating

图 5 硬件设计层压叠结构图

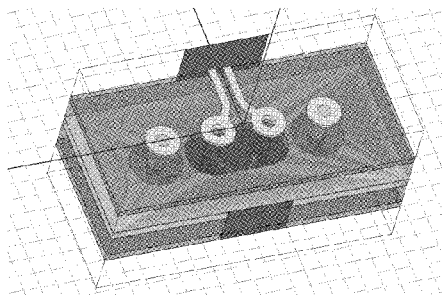


图 6 过孔模型

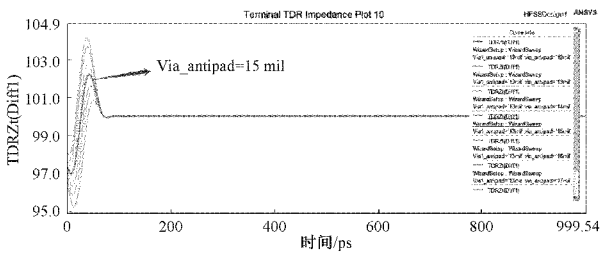


图 7 差分过孔阻抗图

对于特征阻抗的设计,一般要求为单端 50 Ω,差分 100 Ω,本设计利用 SI9000 软件计算并控制单端、差分线的走线宽度与走线距离等参数。利用 SI9000 软件,根据图 5 中的层叠结构以及需要控制的阻抗值计算出的每种阻抗对应线宽和线距参数如表 1 所示。

表 1 各层差分阻抗线宽线距参数表

层数	线宽/mil	线距/mil
1	6	4
2	5	4
5	5	4
6	6	4

2.4 无变压器以太网设计

本设计中,选取的 MCU(MSP432E401Y)集成了以太网 MAC 与 PHY 功能,所以 MCU 与 KSZ9897R 交换芯片之间的连接实际上是 PHY 对 PHY 的物理结构。这两块芯片之间进行以太网数据传输通常需要增加 1 个网络变压器。网络变压器有助于提高系统的抗干扰能力以及增加数据传输的距离,同时还可以解决收发器两端电平不匹配的问题。缺点是网络变压器体积大,正如前文中所述,在小体积的插件化板卡上如果仍然选用网络变压器结构,会使得整张板卡很冗余,且元器件会因为变压器占用较大空间而摆放不下。为解决类似小体积板卡中芯片与芯片之间以太网通信的问题,从而进行了无变压器以太网的电路设计。

无变压器的以太网电路^[13]如图 8 所示。该电路用电容和电阻来取代网络变压器的作用。电容用来代替变压器的隔离作用以及抑制共模干扰。电阻的存在与否取决于芯片的数据端口是电流驱动型还是电压驱动型。如果是电流驱动型,则需要外部馈电给 PHY 内部的驱动器,即需要用电阻外部上拉。如果是电压驱动型,则不需要外部馈电给 PHY 内部的驱动器。经查阅芯片手册,交换芯片 KSZ9897R 是电压驱动型,而 MSP432E401Y 则是电流驱动型,所以在 MSP432E401Y 侧需要进行外部电阻上拉。

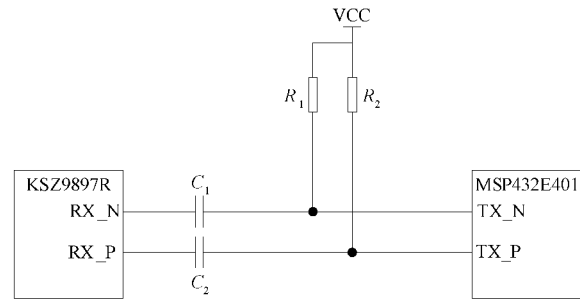


图 8 无变压器以太网电路

图 8 中,上拉电阻 R_1 和 R_2 为了进行差分阻抗匹配以及给 MCU 进行外部馈电,所以 R_1 和 R_2 选值为 50 Ω。

图 8 中电容的选择必须是非极化电容,电容值的选择必须满足 ANSI INCITS 263-1995 TP-PMD 规定的物理层必须满足幅度和相位的回波损耗标准。对于非屏蔽双绞线,回波损耗必须大于 16 dB,阻抗范围为 $100 \pm 15 \Omega$,标称电阻性,在 2~80 MHz 的频率范围内相位角小于 3° 。最小推荐电容计算如下^[14]:

IEEE 规范规定回波损耗 RL 在 2 MHz 时是 -16 dB,故由下面公式来计算 C 的值,其中 $Z_0 = 100 \Omega$ 。

$$RL = 20 \lg \left(\frac{Z_{load} - Z_0}{Z_{load} + Z_0} \right) = -16 \quad (1)$$

$$Z_{load} = Z_0 + 2 \cdot X_{C,Z_{load}} = 137.66 \Omega \quad (2)$$

目标频率为 2 MHz(最差情况阻抗),根据回波损耗要求,最小串联阻塞电容值为 4.23 nF。

$$Z_{load} = 100 + 2 \cdot X_c = 137.66 \Omega$$

$$X_c = \frac{1}{\omega C} = 18.83 \Omega, C = 4.23 \text{ nF}$$

ANSI 标准还规定了对负载相角大小的限制(最大 3°)。对于相位计算,100 Ω 时给出:

$$\left(\frac{2/\omega C}{100}\right) = \tan(+3) = 0.0524$$

解得 $C = 30.4 \text{ nF}$ 。最接近的电容取值为 33 nF 。故电容值的选取最小值应为 33 nF 。本次设计采用电容值为 33 nF 的电容。至此,本设计的主要硬件电路部分介绍基本完成。

3 板卡硬件性能测试

板卡硬件性能测试主要分为两部分:信号完整性测试和无变压器以太网电路测试。信号完整性测试主要从信号眼图和回波损耗两方面去验证 IPMC 在设计成插件化形式的板卡后,仍能有效可靠地传输千兆速率信号,以满足服务器底板硬件管理和千兆以太交换的需求。无变压器以太网电路测试则是通过信号眼图之间的对比以及不同传输链路之间的 Ping 命令操作以验证本文所设计的无变压器以太网电路可以替代网络变压器,实现以太网信号的可靠传输,解决小板卡间以太网传输硬件冗余的问题。

3.1 信号完整性测试

当千兆以太网信号经过插件化 IPMC 板卡上的过孔和金手指连接器后,势必会发生损耗^[15-16]。如果损耗过大,不能满足千兆以太网数据的传输要求,便无法实现服务器底板硬件管理以及千兆以太交换功能。而本文为了尽可能地降低该损耗,在 PCB 设计时已经对过孔设计进行了仿真优化,但在实际生产打板后,仍需通过相关信号完整性测试来验证本设计的性能。可按图 9 所示的测试链路接线图进行信号眼图以及回波损耗的测试。

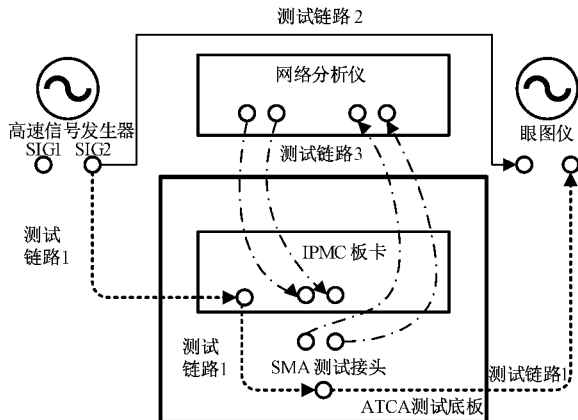


图 9 测试链路接线图

图 9 中, SIG1 与 SIG2 信号同频等幅。测试链路 1 为高速信号发生器给 IPMC 板卡上的 SMA 测试接口输出一个高速正弦波信号,该信号通过板卡上的过孔以及金手指

连接器后,到达 ATCA 测试底板,再经底板上的 SMA 测试接头接入眼图仪。测试链路 2 为高速信号直接接入眼图仪。根据图 9 所示的两条测试链路进行眼图测试得到的测试结果中,除了眼高发生变化外,眼宽、斜率、噪声等方面皆没有明显区别。为方便阅读,将测试结果中的眼高参数值以表 2 的形式呈现。

表 2 眼图眼高测试表

眼图眼高/ mV	测试链路 1	测试链路 2	电压损耗/ dB
百兆信号	500	550	-0.9
千兆信号	339	512	-3.5

由表 2 可知,百兆速率信号经过过孔和连接器后,电压损耗为 -0.9 dB ,可忽略不计。千兆速率信号经过过孔和连接器后,电压损耗为 -3.5 dB ,对千兆以太网信号的传输而言是完全可以接受的,并不会影响千兆以太网信号的解码。

而 IEEE802.3 标准中定义了千兆以太网信号的回波损耗(ReturnLoss)的要求。该要求如表 3 所示。故为进一步验证本设计能有效可靠地传输千兆速率信号,按图 9 中的测试链路 3 对所设计的板卡进行了 S11 参数测试,S11 与回波损耗的关系为^[17]: $\text{ReturnLoss} = -S11$ 。测试结果如图 10 所示。

表 3 IEEE802.3 千兆以太网回波损耗要求

频率范围/MHz	回波损耗最小值/dB
50~625	10
625~1 025	$10 - 10\log(f/625)$

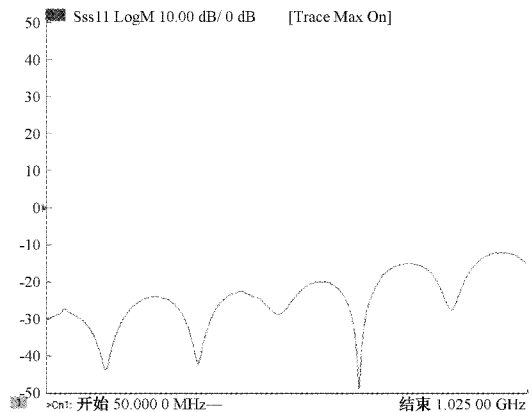


图 10 千兆以太网 S11 测试结果图

图 10 是信号在 $50 \sim 1\,025 \text{ MHz}$ 的 S11 测试结果图,当频率为 $1\,025 \text{ MHz}$ 时,回波损耗按照表 3 中 IEEE802.3 千兆以太网回波损耗要求应大于 8 dB 。而图 10 中所测得的 S11 曲线图,在 $50 \sim 1\,025 \text{ MHz}$ 内,回波损耗皆大于 10 dB ,

完全满足 IEEE802.3 中对千兆以太网传输的性能指标,说明本设计中过孔的阻抗优化较好,千兆速率信号经过过孔后基本不会出现阻抗失配,从而导致回波损耗不达标的情况。

由信号眼图数据以及回波损耗等信号完整测试结果表明,本文将 IPMC 设计成插件化的板卡后,仍能可靠地传输千兆速率信号,达到了过孔优化的目的,确保了服务器底板硬件管理和千兆以太交换的可行性。

3.2 无变压器以太网电路测试

本节测试的目的是为了验证用电容电阻搭建的无变压器以太网电路的可行性和适用性。

为验证无变压器以太网电路的可行性,利用 MCU 不断的发送以太网数据,用示波器探头分别测量网络变压器输出端的差分数据眼图以及图 8 中过电容后的差分数据眼图,将两张眼图进行对比验证。网络变压器端的差分数据眼图如图 11 所示。无变压器端的差分数据眼图如图 12 所示。

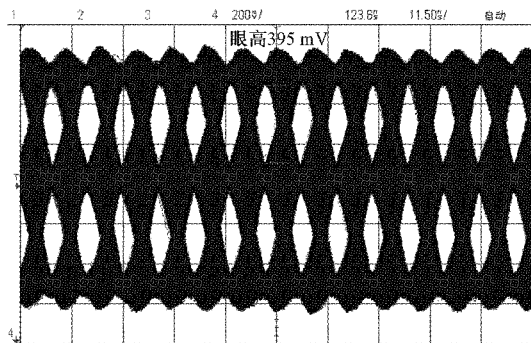


图 11 网络变压器端数据眼图

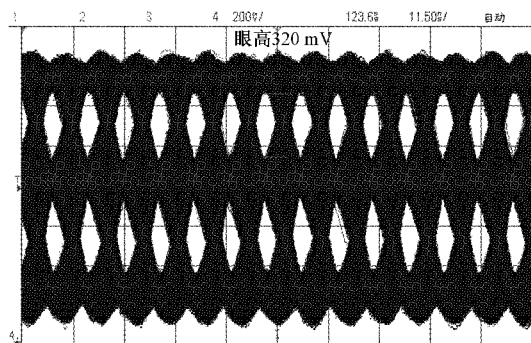


图 12 无变压器端数据眼图

两张眼图对比可以发现,无变压器端的眼图较有变压器端的眼图而言,眼睛周围多了一些噪声,从而使得眼睛张开的程度变小了,从 395 mV 减小到 320 mV。这的确是无变压器以太网电路的缺点,即抗干扰能力不如网络变压器强。不过该噪声很小,只使得眼高减小了 15%,完全在可接受范围以内,并不会影响千兆以太网的电平判决,说明电容电阻的取值是合理的,无变压器以太网电路的设计是可行的。

为验证无变压器以太网电路的适用性,按图 13 所示的 5 条链路进行测试。其中,链路 1 和 3 是信号从无变压器端输入,从有变压器端输出。链路 2 和 4 是信号从有变压器端输入,从无变压器端输出。链路 5 是信号从无变压器端输入,从无变压器端输出。用两台电脑按上述 5 条链路进行 Ping 操作,皆 Ping 通。说明无变压器以太网电路可以和网络变压器电路混合使用,适用性强。

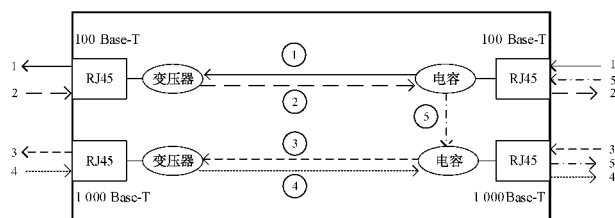


图 13 适用性测试链路

由以上可行性和适用性测试结果表明,本文所设计的无变压器以太网电路能够可靠地传输千兆以太网信号,解决了小板卡间以太网通信硬件冗余的问题。与网络变压器电路相比,该电路成本低、占用空间极小,能够适用于 PCB 尺寸受限的以太网通信电路的设计。

4 结 论

针对传统 IPMC 硬件更新维护复杂的问题,本文引入“插件化硬件”思想,以 ATCA 为测试平台,提出了插件化的 IPMC 板卡管理系统的硬件设计方案。通过仿真和实际的硬件测试,验证了将 IPMC 设计成插件化形式的板卡后,仍能可靠地传输千兆速率信号,以满足服务器监控管理需求。与其他的 IPMC 设计相比,本设计具有一定的扩充能力和更新能力。扩充能力体现在可提供千兆以太交换功能,以满足多端口远程硬件管理以及系统内部的以太网数据传输的需求。更新能力体现在板卡的插件化形式,使得硬件更新维护更加快捷高效。未来工作将采用背钻技术进一步对过孔进行优化,并对连接器进行仿真优化,使得所设计的板卡具备更好的信号完整性。

参考文献

- [1] 蔡积森. 基于 IPMI 的服务器管理的软硬件设计与实现[D]. 济南:山东大学,2017.
- [2] 贾夫松. 基于 Zabbix 的服务器监控平台的研究[D]. 济南:山东师范大学,2018.
- [3] 何毅平. 基于 ARM 的 BMC 设计与实现[D]. 武汉:华中科技大学,2014.
- [4] 孙博文,苏绍璟,黄芝平,等. 基于 ARM9 的通用 IPMC 载板设计[J]. 计算机测量与控制,2014,22(6):1926-1928,1931.
- [5] 覃江毅,刘纯武,张羿猛,等. 基于 ARM 的实用 Advanced TCA 智能管理系统设计[J]. 计算机测量与

- 控制,2013,21(10):2817-2819.
- [6] 张义良. IPMI 服务器监控系统的设计与研究[J]. 信息与电脑(理论版),2015(16):16-17.
- [7] 徐文芳. 高性能服务器自主管理板的设计与实现[D]. 哈尔滨:哈尔滨工业大学,2011.
- [8] 李明,刘军,马永,等. 基于 IPMI 的数据中心带外管理设计与实现[J]. 软件导刊,2017,16(3):74-76.
- [9] 李孟君,王乐东,叶忠. 基于 IPMI 的智能平台管理系统设计与实现[J]. 网络安全技术与应用,2017(9):26-27.
- [10] 林博. 基于 IPMI 的 ATCA 服务器管控的研究与实现[D]. 武汉:武汉理工大学,2015.
- [11] 谭悦. ATCA 平台管理控制系统的设计与实现[D]. 北京:北京邮电大学,2013.
- [12] 于争. 信号完整性揭秘[M]. 北京:机械工业出版社,2013.
- [13] 李汝虎,蔡舒宏. 无网络变压器的以太网口通信电路[P]. CN:207283569U,2018.
- [14] BENJOSEF O. TLK100 ethernet PHY transformerless operation[J]. Texas Instruments, 2011(1): 1-8.
- [15] 吴苏坡,陈健,徐斌. 宽频带传输线的损耗分析[J]. 电子测量技术,2019,42(12):12-16.
- [16] 徐斌,施周荣,胡庆昆,等. 基于 Kintex UltraScale+ 器件的 200 G 网络加速卡硬件电路设计[J]. 电子测量技术,2020,43(13):13-18.
- [17] 何毅军. 用频谱分析仪进行 S 参数及 VSWR 快速测量[J]. 国外电子测量技术,2012,31(3):16-18.

作者简介

施周荣,硕士研究生,主要研究方向为高速硬件电路设计和嵌入式硬件电路设计等。

E-mail:714023920@qq.com