

DOI:10.19651/j.cnki.emt.2209097

基于FPGA的多通路SRIO数据传输设计

任勇峰 多卉枫 武慧军

(中北大学电子测试技术国家重点实验室 太原 030051)

摘要: 为满足航天遥测系统中多路高速数据可靠传输的需求,提出了一种基于FPGA控制器和Serial RapidIO (SRIO)协议的四通路数据传输设计方案。设计使用Xilinx A7系列FPGA,并使用4个其内部集成的SRIO IP核,设计内部逻辑,实现四路SRIO高速数据传输;使用其内部集成的吉比特收发器(GTP)以满足SRIO传输协议物理层要求。硬件电路使用4个高速收发光模块完成光电转换;并使用高质量时钟芯片产生125 MHz的差分时钟信号作为SRIO IP核的参考时钟。经测试验证四路数据传输速率可达440 MB/s,且无丢帧、误码现象,该设计已成功运用于遥测系统某地面测试台项目,可实现四路高速数据稳定传输。

关键词: 可编程逻辑器件(FPGA);Serial RapidIO协议;SRIO IP核;吉比特收发器;共享逻辑

中图分类号: TN919 **文献标识码:** A **国家标准学科分类代码:** 510.99

A design of multi-channel data transmission with SRIO protocol based on FPGA

Ren Yongfeng Duo Huifeng Wu Huijun

(National Key Laboratory for Electronic Measurement Technology, North University of China, Taiyuan 030051, China)

Abstract: In order to meet the requirement of reliable multi-channel high-speed data transmission in space telemetry system, a four-channel data transmission design based on FPGA controller and Serial RapidIO (SRIO) protocol is proposed. Xilinx A7 series FPGA is used in the design, and four SRIO IP cores are used to design the internal logic and realize the high-speed data transmission of four-way SRIO. Use its internal integrated Gigabit transceiver (GTP) to meet the SRIO transport protocol physical layer requirements. The hardware circuit uses four high-speed receiving and luminous modules to complete the photoelectric conversion. A high quality clock chip is used to generate 125 MHz differential clock signal as the reference clock of the SRIO IP core. The data transmission rate of four channels can reach 440 MB/s without frame loss and error. The design has been successfully applied to a ground test platform project of telemetry system, which can realize stable transmission of four channels high-speed data.

Keywords: FPGA; Serial RapidIO protocol; SRIO IP core; Gigabit transceiver; shared logical

0 引言

随着电子信息技术的高速发展,对信息传输速率的要求也越来越高,针对信息高速传输的需求,近年来多种高速传输接口技术被广泛应用,例如文献[1]采用PCIe3.0总线接口技术,实现了航天设备与计算机之间实时高带宽的数据传输;文献[2]利用FPGA内部GTX高速收发器提出了一种宽带自适应串行数据实时传输设计应用于示波记录仪采集数据传输中。此外,SRIO作为一种数据有效载荷大、软件开销小、传输延时小的开放式互连技术被广泛应用于多芯片间数据并行高速传输场合^[3]。文献[4]基于SRIO传输接口设计了一种

FPGA与4块DSP芯片间数据实时并行传输系统;文献[5]利用SRIO互联技术设计了多块FPGA控制器间数据传输系统用于高速射频信号传输,但目前相关文献基于SRIO互连技术多芯片间数据传输设计均为一路或两路SRIO链路传输。

本文以FPGA为主控器件提出一种基于SRIO的四通路数据传输设计方案,以满足遥测系统对数据回收时高速多路并行传输的需求。随着遥测技术的高速发展,采集参数越来越多,存储容量越来越大,遥测系统对数据高速传输的需求愈加迫切,因此设计采用四路“SRIO+光收发模块”为传输接口实现测试台同时与4台遥测数据存储设备进行数据传输。

收稿日期:2022-02-27

1 SRIO IP核简介

SRIO IP核由3个子核构成,与RapidIO的3层分级布局结构相对应,它们分别为:逻辑子核、缓冲子核与物理子核,其中每个子核有3种接口,图1所示为SRIO IP核的原理结构^[6]。

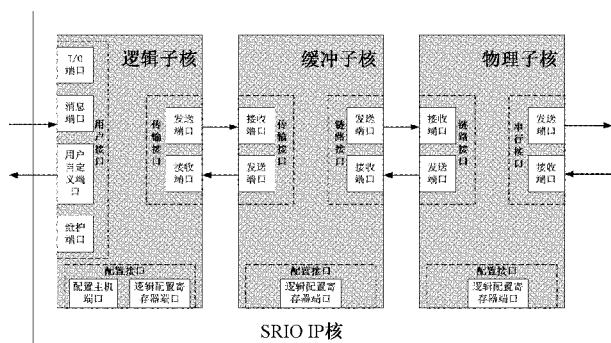


图1 SRIO IP核的原理结构

逻辑子核的3个接口为:用户接口、传输接口和配置接口。用户接口包含4种端口,I/O端口和3个可选的端口:消息端口、维护端口和用户自定义端口^[7]。不同类型的事务在不同端口传输,当生成SRIO IP核时可以配置端口的数目和事务类型,同时也能通过AXI4-Lite接口发起维护事务对本地或者远程的寄存器进行访问与配置^[8]。传输接口包含发送和接收两个端口,它用来连接中间的缓冲子核。配置接口也包含两个端口,其中配置主机端口用来读写本地配置空间;逻辑配置寄存器端口用来读写一部分逻辑层或传输层配置寄存器。缓冲子核是用来对发送和接收的包进行缓冲,发送端负责把将要发出去的事务放到队列中,并对发往物理层的包流进行管理;接收端用来存储和转发接收通路上发送给逻辑层的数据,缓冲子核的传输接口与逻辑子核互连,链路接口与物理子核相连。物理子核用来处理链路连通和初始化,同时还包括包循环冗余校验码(CRC)与应答标识符的插入。物理子核的串行接口与高速串行收发器相连,以实现RapidIO协议高速串行传输。

2 方案设计

为满足测试台可同时测试4台存储设备,实现四通路数据高速传输,且传输速率大于3 Gbps的任务需求,设计采用四路“SRIO+光模块”架构为传输接口来实现四路大容量数据高速传输。图2所示为整体设计方案框图。存储器测试台的主控制器为FPGA,通过4个光收发模块实现光电信号的转换,通过光缆与存储设备连接完成数据远距离传输,通过上位机软件实现数据读取,处理与存储。

本设计选取的逻辑控制器件为Xilinx Artix-7中的XC7A100T,该芯片支持Xilinx基于RapidIO 2.2协议研发的Serial RapidIO Gen2(SRIO IP核),还集成了GTP高速串行收发器,可用来实现SRIO传输的物理层协议。

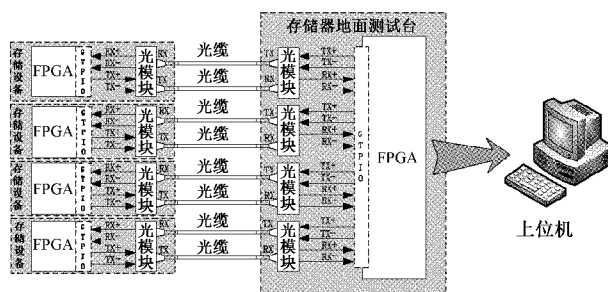


图2 整体设计方案框图

2.1 SRIO接口硬件电路设计

SRIO协议传输采用光纤通信,所以硬件电路需使用光电收发模块实现光信号到电信号的转换。本设计选用四块中航海信公司的单路收发一体光模块,该产品传输速率为10.3125 Gbps,发射、接收波长均为1310 nm,传输距离为30 km。该模块发送端与接收端分别供电,且需在电源管脚附近放置一个滤波电路;为保证光模块稳定可靠工作,需对发射端和接收端电源进行滤波处理,且滤波电路中的电感应具有足够的过流能力。FPGA和光模块间的高速信号采用交流耦合,在走线时也应保证差分线传输阻抗为100 Ω。光模块LOS引脚为接收信号异常指示引脚,当引脚输出高电平时,表示接收信号异常;TDIS引脚可控制发送信号,输入高电平时发送端关断,输入低电平时发送端使能^[9]。

2.2 SRIO时钟电路设计

因SRIO传输需使用差分时钟提供参考时钟,所以需要单独设计时钟电路来产生差分时钟信号,设计选用TI公司的CDCM61001型高质量时钟芯片产生差分时钟信号作为SRIO传输时钟信号的输入。该时钟芯片可以利用低频晶振产生高频差分时钟信号,且具有低抖动的优点^[10]。本设计SRIO IP核参考时钟选用为125 MHz,所以时钟芯片需提供125 MHz的差分时钟,输入的低频晶振频率应为25 MHz。为产生125 MHz时钟信号,需将CDCM61001的PR1、PR0、OD0、OD1、OS0、CE、PATN引脚置为高电平,OD2、OS1引脚置为低电平。

2.3 SRIO接口FPGA逻辑设计

1) SRIO共享逻辑设计

为实现四路SRIO接口同时传输数据,FPGA内部使用4个SRIO IP核,且4个核配置相同:线速率选择1.25 Gbps、链路宽度均为1x,参考时钟为125 MHz,因此这4个核可以采用共享逻辑。共享逻辑是Serial RapidIO Gen2具有的一种新特性,它提供了一种更灵活的体系结构,使得SRIO IP核既可作为独立的核,也可以作为拥有多个共享逻辑核的大型设计的一部分,这样使逻辑语言修改量最小化,同时保留了实现内核更多用途的灵活性。当核中包含共享逻辑:MMCM、reset和GT-COMMON时,核使用的所有时钟信号、复位信号和GT-COMMON信号便

可从核中取出,此时,这 3 类信号将作为核的输入^[11]。为实现共享逻辑,可在 SRIO IP 核配置的共享逻辑选项里选择相应选项,可选择共享逻辑在核中或核外,本设计选择共享逻辑在核外。图 3 所示为 SRIO 接口 FPGA 逻辑整体框图,4 个 SRIO IP 核共享时钟逻辑、复位逻辑和 GT-COMMON 逻辑。

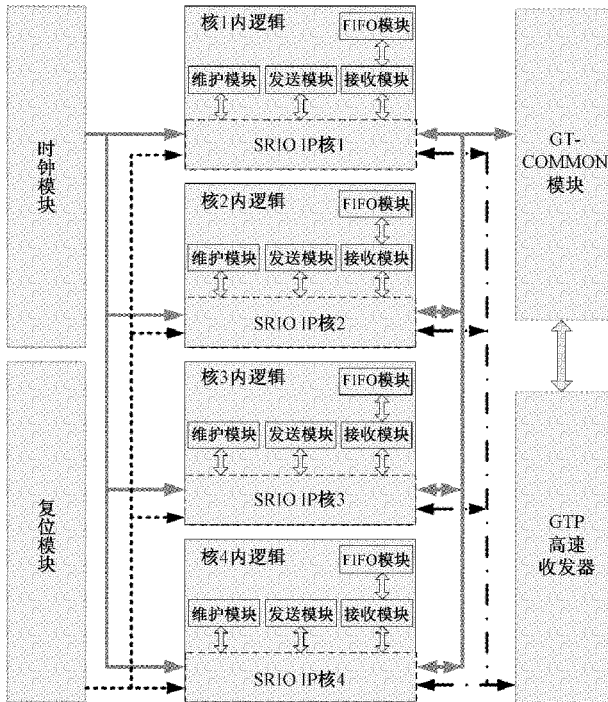


图 3 SRIO 接口 FPGA 逻辑整体框图

时钟模块利用 FPGA 内部 MMCM 核将参考时钟分频或倍频得到物理层、逻辑层、传输层所需的时钟。其中,物理层有两个时钟域,一个是 phy_clk ,它是物理层最主要的核时钟,另一个是 gt_pcs_clk ,它用于 GTP 串行收发接口,时钟 gt_clk 并未被物理层使用,而是被串行收发接口所使用,它的频率为参考时钟的 1/2,本设计参考时钟频率为 125 MHz,因此 gt_clk 的频率为 62.5 MHz。 gt_pcs_clk 的频率为 gt_clk 的 1/2 即 31.25 MHz。而对于链路宽度为 1x 的系统, phy_clk 的频率为 gt_clk 的 1/4 即 15.63 MHz。逻辑层工作在 log_clk 时钟域,为保证最优的吞吐量, log_clk 的频率应该大于或等于 phy_clk 的频率,一般取等于 phy_clk 的频率 15.63 MHz^[12]。为得到这几种不同时钟信号的频率,FPGA 内部采用了 MMCM 从参考时钟 $refclk$ 得到 SRIO 核所需的各种时钟。

复位模块将复位信号同步到每个时钟域,因为逻辑层、传输层、物理层及 GTP 高速串行收发模块有各自的时钟域,而每个时钟域都有相应的复位信号,且复位信号应该至少在各自的时钟域中保持 4 个时钟周期。所以复位模块的作用便是将 4 个不同时钟域的复位信号同步到一个时钟下,复位模块有一个单复位输入信号 sys_rst ,用来同步其

他复位信号,需将其他复位信号与该信号同步并扩展脉宽以满足最小复位周期要求^[13]。此外,复位模块包含 SRIO 传输链路硬件复位与软件复位逻辑,复位逻辑需保证发送端和接收端同时复位以减少包和控制符号的丢失率。

GT-COMMON 模块可为 GTP 高速收发器通道提供驱动时钟和初始化信号,XC7A100T 内部有两个 GTP 收发器(GTP Quad),1 个 Quad 中有 1 个 GT-COMMON 和 4 个 GTP 收发通道,其中 GT-COMMON 由两个环形振荡器构成,它可为当前 Quad 中的 4 个收发通道提供驱动时钟和初始化信号。本设计使用一个 GTP Quad 共 4 个 GTP 通道来实现四路 SRIO 接口数据的传输。GTP 收发通道在锁相环复位完成输出锁定信号后开始初始化,因此在锁相环复位期间,GTP 通道不能正常工作。GT-COMMON 模块的 PLL 复位信号由 SRIO IP 核的 PLL 复位信号输入,在 SRIO IP 核链路初始化未完成时,PLL 复位信号一直有效,即锁相环一直处于复位状态,复位完成锁定信号一直为无效状态,GTP 通道处于失效状态。由于本设计 4 个 SRIO IP 核共用 1 个 GT-COMMON 模块,便也共用 1 个 PLL 复位信号,即 4 个核的 PLL 复位信号共同控制锁相环复位,为使四通道可以自由选择通道传输,需设计复位选通逻辑:哪条通路传输数据时,GT-COMMON 的 PLL 复位信号就由这条通路的 SRIO 核 PLL 复位信号决定,4 个通路共有 16 种通断情况,因此 GT-COMMON 的 PLL 复位信号也有 16 种逻辑。

2) SRIO 核内逻辑设计

本设计使用的 4 个 SRIO IP 核核内逻辑相同,均包括四大模块:数据发送模块、数据接收模块、维护模块以及数据缓存 FIFO 模块。数据发送模块用来产生 SRIO 请求事务,并按照不同事务的 HELLO 格式组装包头,接着把包头和数据按 SRIO 传输协议时序发送。本设计需传输大量数据故采用高效率写事务 SWRITE 事务以实现大量数据写入^[14],对于测试台端,发送模块采用 SWRITE 事务将指令通过 $ircq$ 通道发送给存储设备;对于存储设备端发送模块采用 SWRITE 事务将数据通过 $ircq$ 通道发送给测试台。数据接收模块可产生 SRIO 响应事务,SRIO 协议中只有 NREAD、DOORBELL、MESSAGE 以及 NWRITE_R 这几种事务有响应事务,因此本设计接收模块不产生响应事务^[15]。接收模块通过 $trcq$ 通道接收数据,并解析出数据的包头和数据包,将包头的各字段剥离用以识别接收数据的事务类型。FIFO 模块主要用来解决数据跨时钟域传输的问题,为方使用户程序对接收数据进行后续提取分析,接收模块将接收到的数据先存入 FIFO 模块缓冲。图 4 所示为数据发送及数据接收程序流程图。

数据发送模块的内部逻辑主要为:按照 SWRITE 事务 HELLO 格式组装包头,并按照 SRIO 协议时序对各输出信号做时序约束,图 5 所示为 SRIO 传输时序图。对于 $tvalid$ 信号,SRIO 链路初始化完成且指令下发信号有效

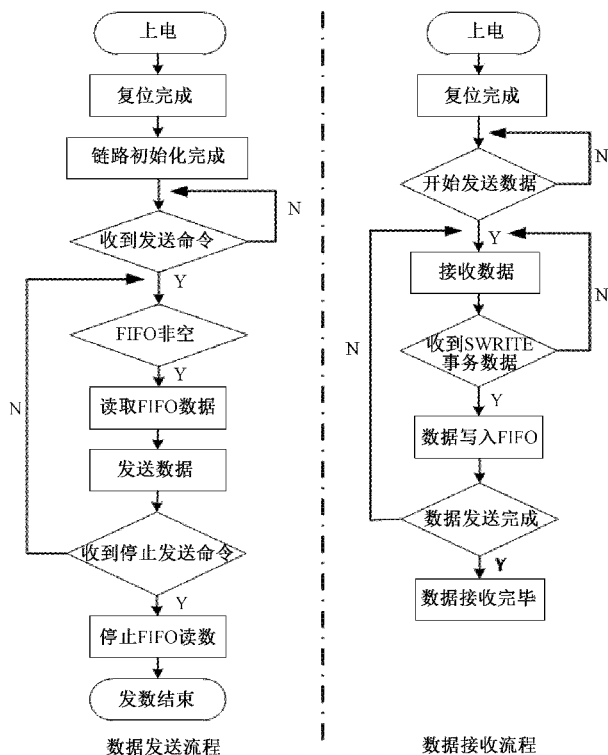


图4 数据发送及数据接收程序流程

时,将 tvalid 信号拉高,数据传输完成后,再将 tvalid 信号拉低;tready 为输入信号,为高电平时,表示目标设备已准备好接收数据;当 tready 信号和 tvalid 信号同时有效时,数据进行传输。由于 SWRITE 事务一包可发送 1~256 byte 数据,而本设计传输数据大于 256 byte,因此需要拆包发送,每包发送 256 byte 数据,且 SRIO IP 核数据总线位宽 64 位,所以一个时钟周期可发送 8 byte 数据。tdata 为数据信号,在 tvalid 和 tready 同时有效的第 1 个时钟周期发送包头,之后 32 个时钟周期依次发送 8 byte 数据。tlast 信号为最后字节指示信号,在每包数据发送最后 8 byte 时拉高;本设计设置时钟计数信号,数据开始传输时开始计数,待计数为 32 时即最后一个发数时钟周期将 tlast 信号拉高。tkeep 信号在 tvalid 和 tready 有效时一直为 8'hFF;tuser 信号在 tvalid 和 tready 同时有效的第一个时钟周期内由 src_id 与 dest_id 拼接而成。

数据接收模块的内部逻辑主要为:在复位完成后将 tready 信号拉高,准备接收数据;通过 treq 通道接收数据,将接收到的数据包头各字段剥离以判断是否正正确接收到 SWRITE 事务数据;若收到的数据是 SWRITE 数据,则将每包数据去除包头存入 FIFO 中以便对数据做后续处理。

FIFO 模块用以缓存接收到的数据,写位宽与 SRIO 数据总线位宽保持一致为 64 位,数据接收模块将每个有效传输时钟周期接收到的数据写入缓存 FIFO,tlast 信号拉高时,数据接收完成,同时停止 FIFO 写操作。

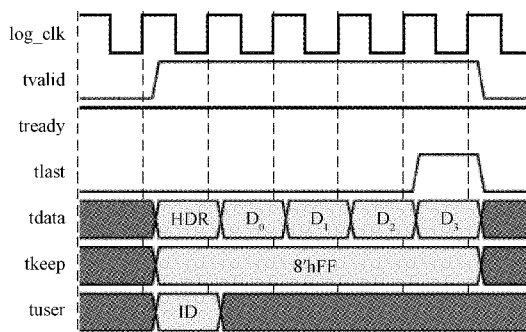


图5 SRIO 传输时序图

3 测试分析

通过光缆连接测试台与 4 台存储设备,对数据传输功能进行测试,存储设备发数相同,每包数据由包计数、包头及 00-F9 递增数组成,图 6 所示为发数包格式。使用 Vivado 软件的 ILA 工具抓取数据传输时序,图 7 所示为存储设备发送数据的时序图,图 8 所示为测试台接收数据的时序图,数据发送时序与数据接收时序均与 SRIO 传输时序一致。

包计数	包头	递增数
FSF9	00000000	EB90 001020304050607 08090A0B0C0D0E0F ... E8E9EAEBECEEDEEF F0F1F2F3F4F5F6F7
FSF9	00000001	EB90 001020304050607 0A090A0B0C0D0E0F ... E8E9EAEBECEEDEEF F0F1F2F3F4F5F6F7
FSF9	00000002	EB90 001020304050607 03090A0B0C0D0E0F ... E8E9EAEBECEEDEEF F0F1F2F3F4F5F6F7
FSF9	00000003	EB90 001020304050607 08090A0B0C0D0E0F ... E8E9EAEBECEEDEEF F0F1F2F3F4F5F6F7

图6 发数包格式

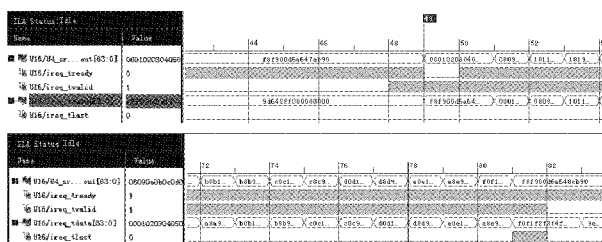


图7 数据发送时序图

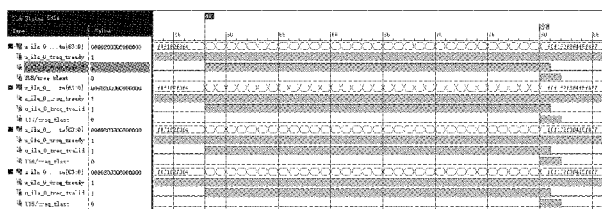


图8 数据接收时序图

根据数据发送及接收时序图可看出,实际传输一包数据(256 byte)需 34 个时钟周期(第 48 个时钟周期到第 82 个时钟周期),且 4 路数据并行传输。据前文分析知逻辑层时钟频率为 15.625 MHz,因此 4 路同时传输 256 byte 数据即传输 1 Kbyte 数据需要 2 176 ns,计算得传输速率为 448 MB/s,单路传输速率为 112 MB/s。图 9 所示为所抓取时序图传输数据包,与图 6 对比可知其与发送包格式一致。

传输周期1	传输周期2	传输周期3	...	传输周期31	传输周期32
F8F900&A847E990	0001020304050607	08090A0B0C0D0E0F	...	E8B9EAE8BCEDEEFF	F0F1F2F3F4F5F6F7

图 9 传输数据图

使用测试台配套上位机软件测试,接收 500 MB 数据,接收到的 4 路存储设备数据经上位机分析无丢包无误码,由图 10 可知上位机分析处理结果。图 11 所示为经上位机接收到的部分原始数据,与图 6 对比知接收数据与发数包格式一致。

```

=====
数据包分解及各包连续性分析结果
=====
E:\20211024_160720_A.dat
=====
E:\20211024_160720_A\CCQ1_20211024_160720_A.dat
首包计数[H]: 0
末包计数[H]: 1F343
共有数据包个数[D]: 127812
数据校验全部正确。
=====
E:\20211024_160720_A\CCQ2_20211024_160720_A.dat
首包计数[H]: 0
末包计数[H]: 1F409
共有数据包个数[D]: 128010
数据校验全部正确。
=====
E:\20211024_160720_A\CCQ3_20211024_160720_A.dat
首包计数[H]: 0
末包计数[H]: 1F4D5
共有数据包个数[D]: 128214
数据校验全部正确。
=====
E:\20211024_160720_A\CCQ4_20211024_160720_A.dat
首包计数[H]: 0
末包计数[H]: 1F3A9
共有数据包个数[D]: 127914
数据校验全部正确。
=====

```

图 10 数据处理结果

包计数	包头	递增数
F8 F9 00	00 00 00 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 01 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 02 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 03 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 04 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 05 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 06 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 07 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 08 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 09 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 0A 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 0B 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 0C 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 0D 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 0E 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 0F 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 10 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 11 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 12 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 13 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 14 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16
F8 F9 00	00 00 15 00	00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 10 11 12 13 14 15 16

图 11 接收数据图

4 结 论

设计使用 FPGA 为主控器件,基于 SRIO 传输协议,采取四路“SRIO+光模块”架构为传输接口实现四路大容量数据高速可靠传输。设计利用 FPGA 内嵌 SRIO IP 核及 GTP 收发器来满足 SRIO 传输协议;使用高质量时钟芯片为 SRIO IP 核提供参考时钟;通过共享逻辑方式使得 4 个 SRIO IP 核共存。经多次试验测试,数据传输速率可达 440 MB/s,且无丢包误码现象。设计已成功应用于航天遥测系统地面测试台项目,可同时与 4 台存储设备进行数据

交互,具有传输速率高、传输距离远、传输稳定可靠等特性,具有一定的工程实用价值,也适用于其他要求多路数据高速可靠传输系统中。

参考文献

- [1] 甄国涌,苏慧思,陈建军,等.基于 FPGA 的 PCIe 接口的数据传输设计与实现[J].国外电子测量技术,2021,40(12):72-76.
- [2] 杨云鹏,许波,高媛,等.GTX 接口在宽带自适应传输中的应用[J].电子测量与仪器学报,2020,34(3):171-179.
- [3] 陈宏铭,李蕾,姚益武,等.基于 AXI 总线串行 RapidIO 端点控制器的 FPGA 实现[J].北京大学学报(自然科学版),2014,50(4):697-703.
- [4] 宁赛男,朱明,孙宏海,等.采用 SRIO 协议实现多 DSP 实时系统图像数据传输[J].计算机工程与应用,2014(22):73-78.
- [5] 石聪,龙巍,李晓,等.基于 SRIO 的高速射频信号存储系统的开发[J].核电子学与探测技术,2020,40(1):54-59.
- [6] 李宾,刘鑫,杨文良,等.一种基于 RapidIO 总线的高速图像数据传输设计[J].航天控制,2018,36(1):69-74.
- [7] 许树军,黄镠,牛戴楠,等.基于 FPGA 的 Serial RapidIO 协议的设计与实现[J].雷达与对抗,2015,35(4):36-38,49.
- [8] 王思文.基于 ZYNQ 的高速信号采集和传输技术的研究与实现[D].哈尔滨:哈尔滨工业大学,2019.
- [9] 辛云旭,文丰,张凯华.基于 Serial RapidIO 的远距离高速数据传输[J].电子测量技术,2021,44(21):125-132.
- [10] 杨志文.基于 SRIO 的数据记录装置的设计和实现[D].太原:中北大学,2019.
- [11] 吕文强.基于 FPGA SRIO 的存储器地面测试台的设计与实现[D].太原:中北大学,2021.
- [12] 朱道山.基于 RapidIO 块数据传输设计与实现[J].现代雷达,2017,39(9):29-32.
- [13] LIU J, TIAN Y, HAO W, et al. Design and implementation of serial rapidIO based on DSP and FPGA[C]. Advanced Materials Research. Trans Tech Publications Ltd, 2014, 971: 1581-1585.
- [14] 黄靖媛.高速串行接口 Rapid IO 的设计与验证[D].西安:西安电子科技大学,2015.
- [15] 张清亮.基于 FPGA 高速通用串行接口的设计与应用[D].西安:西安电子科技大学,2015.

作者简介

任勇峰,教授,主要研究方向为测试计量技术及仪器、电路与系统。

E-mail:renyongfeng@nuc.edu.cn