

DOI:10.19651/j.cnki.emt.2107763

基于FPGA与PXIe总线的光纤通信板卡设计与实现*

蔡伟杰^{1,2,3} 吴洋^{1,2,3} 邹鹏^{1,3} 王友康^{1,2,3} 路美娜^{1,3} 宋茂新^{1,3}(1.中国科学院合肥物质科学研究院安徽光学精密机械研究所合肥230031; 2.中国科学技术大学合肥230026;
3.中国科学院通用光学定标与表征技术重点实验室合肥230031)

摘要:为实现基于线阵CCD成像原理的调焦调平系统的图像数据采集、上传与分析,设计了基于PXIc总线与FPGA的数据传输系统。系统采用FPGA夹层卡(FMC)架构,由夹层卡和载卡构成。夹层卡配备4个高速光纤通信接口,实现与高速图像输出设备的接口互联。载卡采用FPGA做为主控制器,实时接收夹层卡传输的图像数据,将其缓存至板载的DDR SDRAM后,通过PXIc接口传输至PC机。系统研制完成后,对10 Gbps传输速率下的光纤接口的数据传输性能进行了测试,得到了端正、线迹清晰的眼图;进行了PXIc接口的批量数据传输测试,结果表明FPGA发送的数据与上位机接收的数据完全一致,验证了方案的正确性及合理性。

关键词: FPGA; PXIe总线; 光纤; FMC; 调焦调平系统

中图分类号: TP336 **文献标识码:** A **国家标准学科分类代码:** 520.5040

Design and implementation of optical fiber interface card
based on FPGA and PXIe busCai Weijie^{1,2,3} Wu Yang^{1,2,3} Zou Peng^{1,3} Wang Youkang^{1,2,3} Lu Meina^{1,3} Song Maoxin^{1,3}(1. Anhui Institute of Optics and Fine Mechanics, Hefei Institutes of Physical Science, Chinese Academy of Science, Hefei 230031, China; 2. University of Science and Technology of China, Hefei 230026, China;
3. Key Laboratory of Optical Calibration and Characterization of Chinese Academy of Science, Hefei 230031, China)

Abstract: A data transmission system based on PXIe bus and FPGA was designed to realize the acquisition, uploading and analysis of image data in the focusing and leveling system based on linear CCD imaging principle. The system uses FPGA mezzanine card (FMC) architecture, composed of mezzanine card and carrier card. The mezzanine card is equipped with four high-speed optical fiber communication interfaces to realize interface interconnection with high-speed image output equipment. The carrier card adopts FPGA as the main controller to receive the image data transmitted by the sandwich card in real time, cache it to the onboard DDR SDRAM, and then transmit it to PC through PXIe interface. After the development of the system, the data transmission performance of the optical fiber interface at the transmission rate of 10 Gbps was tested, and the correct and clear track eye diagram was obtained. The batch data transmission test of PXIe interface is carried out, and the results show that the data sent by FPGA is completely consistent with the data received by the host computer, which verifies the correctness and rationality of the scheme.

Keywords: FPGA; PXIe bus; optical fiber; FMC; focusing and leveling system

0 引言

随着经济全球化以及信息产业的迅速发展,集成电路产业已经成为各行各业最重要的基石^[1]。在国防与国家安全领域,起着维护国家利益,捍卫国家主权的关键作用^[2];在经济建设与增强综合国力的过程中,集成电路又是核心竞争力^[3]的具体表现^[4]。集成电路行业的发展一直遵循着摩

尔定律,即集成度每3年增长2倍,器件的特征尺寸每3年缩小为原值的 $1/2^{[4-5]}$ 。做为集成电路的核心设备,光刻机在摩尔定律的推动下也不断地发展。

光刻机集成了曝光、工件台掩膜台、调焦调平以及自动对准等多个子系统。在调焦调平系统中,为了与曝光系统同步,保证工件台位置调整的实时性,配置了具有高采集频率、低运算时延的图像处理单元,进行焦面图像信息的实时

收稿日期:2021-09-02

* 基金项目:王宽诚率先人才计划“卢嘉锡国际合作团队项目”(GJTD-2018-15)资助

获取,采用光纤接口将图像数据实时输出至后续的数据处理单元。焦面信息数据具有数据量大,数据传输速率要求高等特点,需要配备一套高速数据传输装置完成数据高速接收及上传,以配合完成系统级功能测试及数据实时分析。针对高速数据传输需求,国内外多家企业或研究机构均开展了高速数据采集与传输的研究工作,并开发了具备多种接口类型、满足不同应用场景需求的通用型板卡,如美国 NI 公司的 PXIe-8234 以太网通信板卡、北京阿尔泰科技的 CPCI9002 型光纤通信卡等,该类板卡都有通用性强、成熟度高、接口配置灵活等诸多优点,但针对某些特定应用场合存在一定的局限性。

本文针对某调焦调平系统中图像处理单元的测试需求,设计了一套高速数据传输测试装置。采用 SFP 光纤接口实时接收调焦调平系统图像数据,经板载存储媒介缓存后,由 PXIe 接口将数据传输至上位机,实现光纤接口数据传输性能验证及数据可视化分析等功能,并可以辅助完成调焦调平系统的测试实验。系统采用 FMC 架构,由载卡与夹层卡构成。夹层卡负责与外部待测设备的接口互联,载卡负责图像数据的缓存并通过 PXIe 接口传输至上位机;通过修改夹层卡的设计,可以配置不同类型、通信速率数据传输接口,满足不同应用场景的测试应用需求,可显著提高板卡应用的灵活性与可扩展性。

1 调焦调平系统原理构成及其测试方案

光刻机系统通过调焦调平分系统进行焦面测量,并通过工件台进行焦面垂向以及焦面倾斜控制,对调焦调平系统的焦面测量精度与控制速率要求较高。焦面测量采用成像的方式,硅片离焦会引起硅片上的光点在感光器件上的位置发生变化,根据该位置变化可获取硅片的离焦量与倾斜量。常用方案包括光栅投影方案、狭缝投影方案、线阵电荷耦合器件(linear charge coupled device, LCCD)方案。其中 LCCD 方案,采用线阵 CCD 进行采样,具有采样频率高,系统结构简单,易于实现等优点。本文所讨论的调平调焦系统即采用基于 LCCD 方案的图像处理方案。

调焦调平系统原理如图 1 所示,光源照明调焦标记(共 5 处),调焦标记经成像系统 1 与转折反射镜 1 成像在硅片的不同位置,经硅片反射被成像系统 2 放大成像在 5 路线阵 CCD 探测器上。硅片每处调焦标记与线阵为共轭关系,硅片离焦会引起标记光点在线阵 CCD 上的位置发生变化,通过硅片 5 处标记的位移量,可以获得硅片的离焦量和倾斜量^[6],并反馈给工件台。

调焦调平系统图像处理单元是调焦调平系统的核心信息处理单元,其原理框图如图 2 所示,5 路线阵 CCD 图像数据通过 Cameralink 接口发送至图像处理单元,DDR SDRAM 缓存后经 SRIO 接口传输到数字信号处理器(digital signal processor, DSP),通过特定算法获取离焦量等数据后,将原图像数据与处理结果通过 SFP 光纤

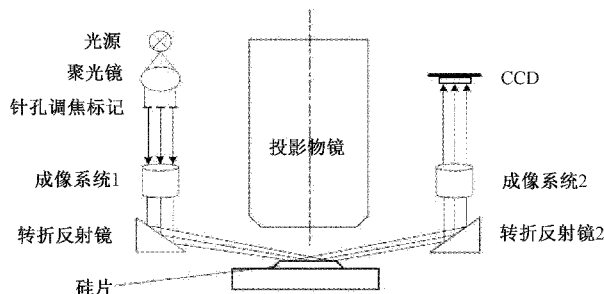


图 1 调焦调平系统原理

接口传输至后续处理设备。图像处理单元通过 RS422 接口与外部电机模块进行通信,控制电机转动;通过 RS232 接口发送指令,控制光源模块;通过 SFP 接口接收光刻机其他系统发送的光斑切换表以及工件台位置信息等。

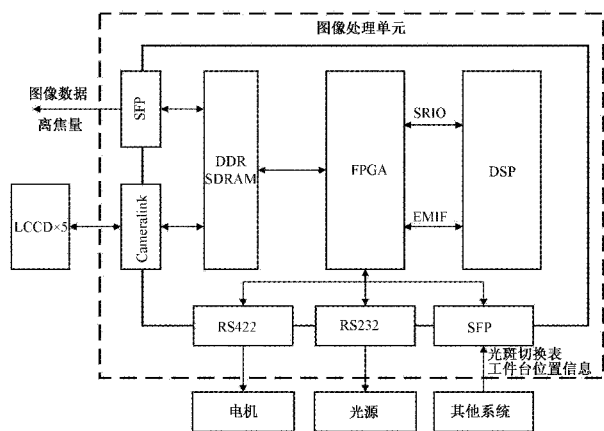


图 2 调焦调平系统图像处理单元

图像处理单元中的图像数据与离焦量等数据均通过 SFP 接口输出,无法直接上传数据至 PC 端。为此设计了一款基于 PXIe 接口的光纤通信板卡并搭建了测试系统,实现图像处理单元与 PC 端数据的中继传输。

测试系统架构及 PXIe 光纤通信板卡框图如图 3 所示, PXIe 光纤通信板卡由 SFP 接口电路、FPGA、PXIe 接口电路以及 DDR SDRAM 等构成。FPGA 控制 SFP 光纤接口实时接收图像处理单元发送的图像数据与离焦量数据等信息,经 DDR SDRAM 缓存后,通过 PXIe 接口发送至上位机。辅以上位机处理软件,实现图像数据的实时显示、处理及分析功能。

2 PXIe 光纤接口卡方案设计

2.1 系统总体方案

系统采用基于 FMC 架构的母卡方案,分为载卡(母卡)与夹层卡(子卡)两部分,载卡与夹层卡通过符合 FMC 规范的 400 引脚的高密度连接器(high pin count connector, HPC)连接器进行互联。板卡 FMC 架构示意图如图 4 所示。

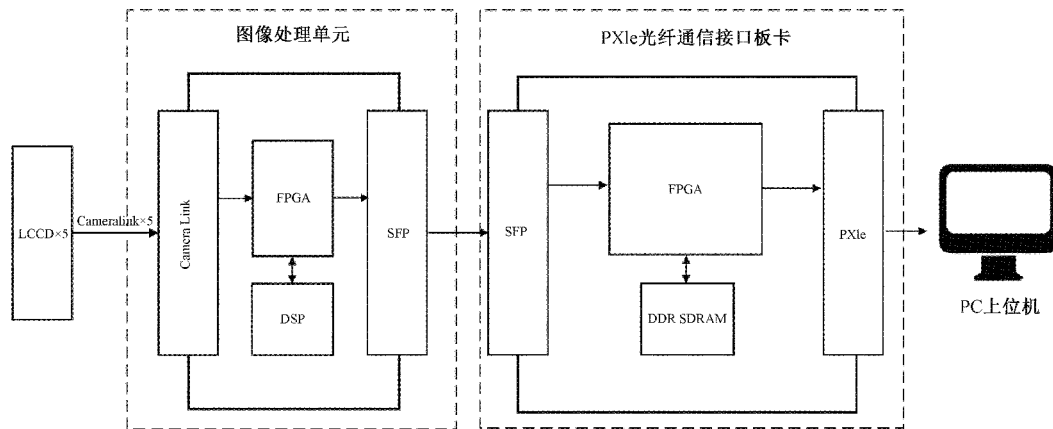


图3 调焦调平测试系统

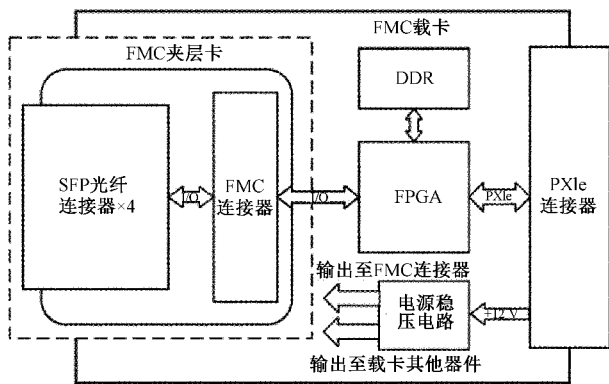


图4 FMC架构

夹层卡模块由四路SFP光纤接口及其外围电路构成,实时接收图像处理单元发送的图像数据与离焦量等数据,通过光纤模块将光信号转成电信号后,经FMC连接器传输至载卡。载卡由电源稳压电路、DDR存储器电路、PXIe总线电路、FPGA及外围电路构成。PXIe接口输入的+12V电源经电源稳压电路转换为载卡内各模块所需要的多种规格工作电压,并输出稳压后电源至FMC连接器,为夹层卡供电。DDR存储电路由4片DDR3 SDRAM与FPGA内部的控制逻辑电路组成,4片DDR3提供了较大的传输带宽,负责图像数据的缓存。PXIe接口电路由FPGA内部的控制逻辑及高速串行收发器和PXIe连接器组成,负责将光纤接口接收到的数据打包并发送至PXIe机箱背板,最终传输至PC端上位机。载卡将FPGA的高速收发器管脚以及不同的电平的IO管脚都连接至FMC连接器,且将FPGA的IO bank供电电压设计为可调模式,以根据后期应用需求灵活配置。

2.2 载卡硬件设计

1) 电源稳压电路

载卡电源分配图如图5所示。电源输入来源于PXIe机箱背板的+12V电源接口,经过DC-DC芯片TPS54620变换为+5V电源网络,做为下一级电源模块的输入,产生+3.3V,+2.5V,+1.8V,+1.5V,+1.0V等电源网络

为载卡上FPGA、DDR SDRAM、EEPROM等模块供电。此外,将DC-DC变换产生的+3.3V与+5V电源输出至夹层卡,为光纤接口电路供电。

2) DDR SDRAM电路

载卡配置了4片DDR3内存颗粒芯片,为Micron公司的MT41J256M16HA-125产品,该款内存颗粒数据位宽为16位,单片存储容量为4Gbit^[7],为了满足高传输带宽的需求,采用位扩展方式,将4片16位的DDR3颗粒的数据位扩展为64位,扩展后的总内存容量共16Gbit,内存带宽可达12.8GByte,满足系统数据传输需求。扩展电路连接关系如图6所示,通过并联4片DDR内存颗粒的数据总线DQ[15:0],数据选通信号线DQS[1:0]、DQS# [1:0],数据屏蔽信号线DM[1:0],实现总线扩展^[8-9]。地址总线以及其余控制信号为4片DDR3颗粒的公共信号线,采用此互联方式实现4片DDR3颗粒的同步控制。

3) PXIe接口电路

本文所设计的PXIe板卡是PXIe系统中的PXIe外设模块,通过PXIe协议规范定义的XJ3与XJ4连接器与机箱背板连接。XJ3连接器包含了8对高速串行差分信号、参考时钟信号以及其他与PCIe总线兼容的信号^[10]。XJ4连接器包含了电源线、槽位地址线、触发信号线等。电路原理框图如图7所示。

板卡中所使用的PXIe总线接口信号如下:

(1) PETp[7:0]、PETn[7:0]、PERp[7:0]、PERn[7:0]

PXIe总线的数据信号线,用于发送和接受高速串行数据,高速串行总线的发送端使用电容进行交流耦合以提高信号的质量,在PCB设计时,需要考虑等长布线以及阻抗匹配的问题,根据PXIe接口设计规范,差分阻抗设计为100Ω。

(2) RefClk+、Refclk-

RefClk差分信号为PXIe总线的参考时钟,由PXIe机箱背板提供,时钟频率为100MHz,通过100nF的交流耦合电容,滤除共模干扰,提高信号质量。

(3) PERST#、PRSNT#、SMBDAT、SMBCLK

PERST#信号线为PXIe机箱处理器系统为其他模块

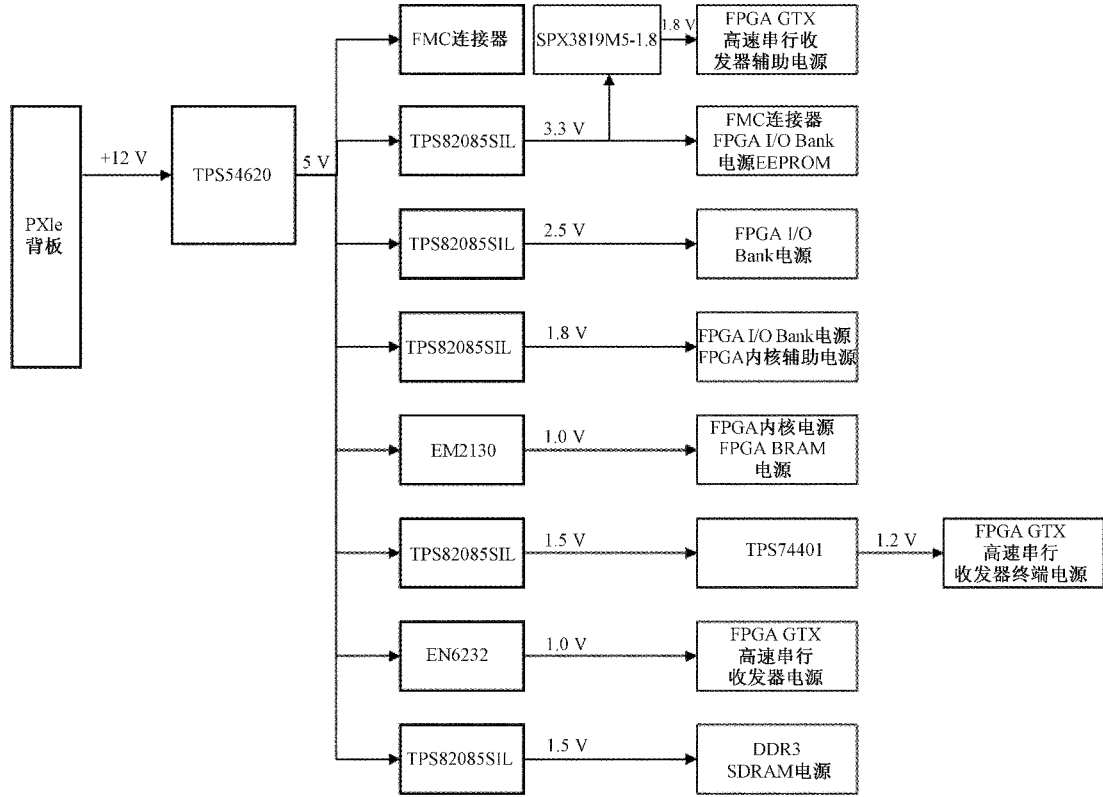


图 5 载卡电源分配

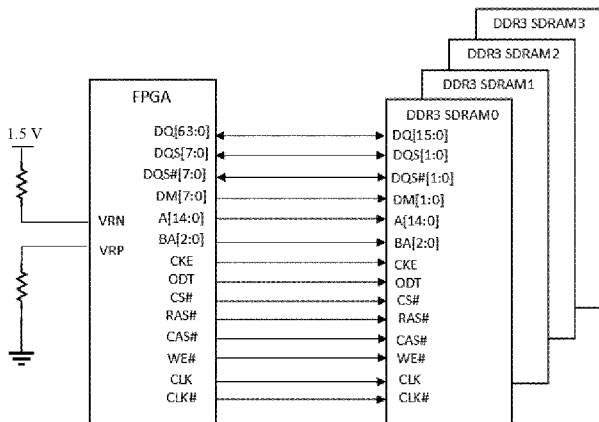


图 6 DDR SDRAM 电路

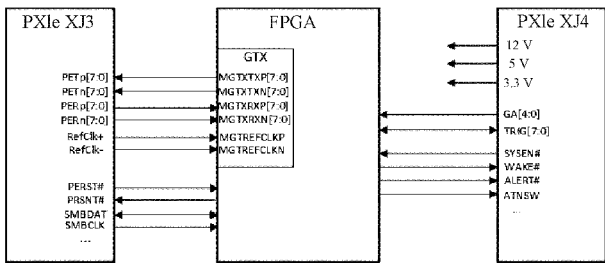


图 7 PXIe 总线电路

提供的复位信号；PRSNT# 信号线为模块存在检测信号，此信号为低电平，告知处理器系统，当前槽位已有模块插

入；SMBDAT 与 SMBCLK 用于背板中 EEPROM 的数据读取。

2.3 夹层卡硬件设计

夹层卡设计了 4 路光纤接口做为前面板的接口。单路 SFP 光纤电路原理如图 8 所示。其中 SFP 的 TX_P、TX_N、RX_P、RX_N 为高速串行差分线，通过 FMC 连接器连接至 FPGA 的 GTX 高速收发器，串接电容进行交流耦合，滤除共模噪声。

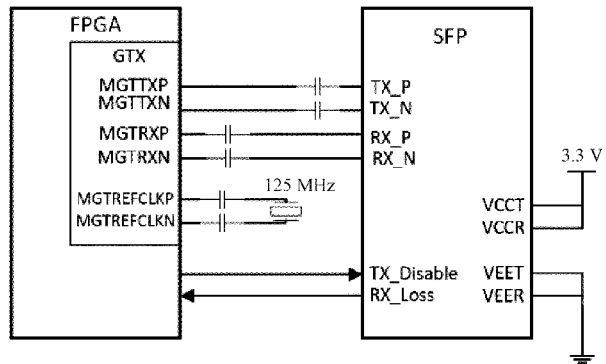


图 8 SFP 接口电路

3 接口卡测试

3.1 光纤接口数据传输测试

光纤通信接口为高速串行接口，码间串扰与误码率是

衡量数据传输性能的重要指标^[11],在光纤通信系统中,码间串扰与误码率主要与收发两端的硬件电路设计与通信速率相关。为了评估硬件电路设计的可行性,采用光纤模块将光纤接口两两连接,在10 Gbps通信速率下对光纤接口的信号传输质量进行评估。

眼图是一系列数字信号累积而显示的图形,它包含了丰富的信息。眼图的“眼睛”张开的大小反映着码间串扰的强弱。“眼睛”张的越大,且眼图越端正,表示码间串扰越小;反之表示码间串扰越大。当存在噪声时,噪声将叠加在信号上,观察到的眼图的线迹会变得模糊不清。若同时存在码间串扰,“眼睛”将张开得更小。与无码间串扰时的眼图相比,原来清晰端正的细线迹,变成了比较模糊的带状线,且不端正^[12]。因此,通过眼图可以分析码间串扰

和噪声的影响,获取数字信号整体的特征,进而评估光纤通信接口信号传输质量的优劣。

Xilinx在Vivado开发环境中提供了集成位误码率测试(integrated bit error ratio test,IBERT)工具用于对FPGA芯片的高速串行收发器进行板级的通信测试^[13],IBERT自行在发送端产生并发送伪随机序列,在接收端接收并判断接收数据是否正确并生成眼图。测试采用IBERT工具并将两光纤接口通过光纤模块连接后进行收发回环测试,其中一条通信链路的眼图如图9所示。可以看出该通信链路的眼图端正、线迹清晰,且经软件分析该眼图的Open UI比例达55.56%。该结果表明在10 Gbps通信速率下,光纤通信链路的码间串扰以及噪声较小,具有较好的高速数据传输性能。验证了光纤通信接口方案的可行性。

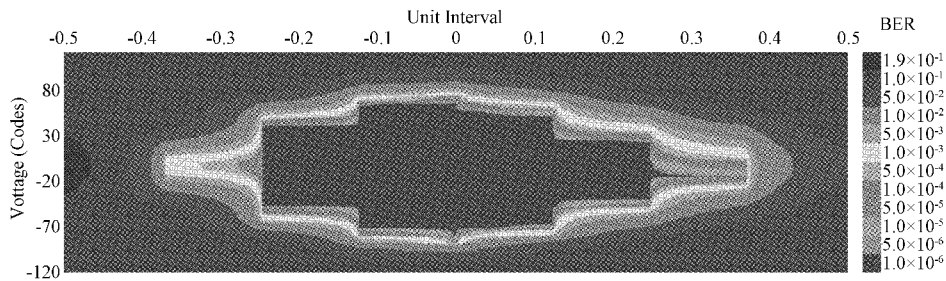


图9 光纤通信眼图

3.2 PXIe接口数据传输测试

为验证PXIe总线通信链路软硬件设计的正确性,进行了PXIe接口的数据传输测试,通过比较FPGA端发送的数据与PC端接收到的数据的一致性评估完成。

PXIe总线主要有两种数据传输方式:可编程输入输出(programmed input and output,PIO)模式以及直接内存访问模式(direct memory access,DMA)。PIO传输模式需要CPU进行数据的读写,占用CPU的资源,效率较低,只适用于少量数据传输;而DMA传输不需要CPU干预,直接对系统的存储器进行读写,传输速率快、不占用CPU资源,适合大批量数据的传输^[14]。无论是PIO模式还是DMA模式,访问PXIe设备时,所传送的数据报文首先通过事务层被封装为一个或多个TLP包,之后才能通过其他层次发送出去^[15]。在调焦调平测试系统中由于图像数据

量较大,实时性要求高,板卡采用DMA的方式将数据发送到系统内存,供上位机读取。通过测试DMA数据传输正确性评估PXIe接口的通信链路是否正常。

DMA数据上传原理如图10所示。PC端的上位机将DMA传输的相关配置参数发送到PCIe IP核中,IP核将数据发送至接收引擎后,由接收引擎进行TLP解包后得到地址及数据信息,进而将PCIe的BAR空间对应地址的寄存器进行赋值后启动DMA传输。数据产生模块每个时钟周期将数据加1后存储至FIFO,DMA引擎逻辑读出FIFO的值后将数据传递到发送引擎,并由发送引擎进行PCIe的TLP组包后发送到IP核内,IP核将数据通过高速串行收发器发送到PCIe接口,传递至PC中的系统内存,上位机再将内存数据读出并存储至硬盘,从而完成经PXIe接口的完整数据传输流程。

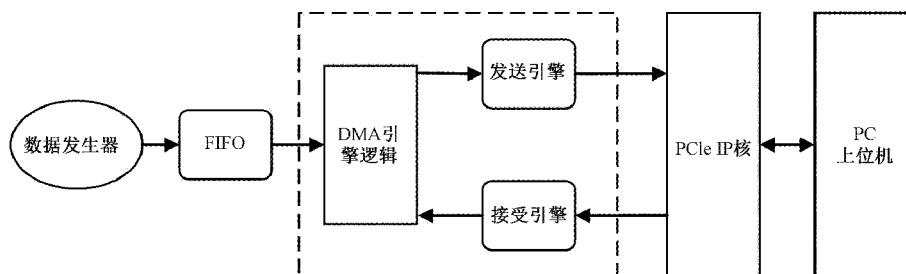


图10 DMA传输测试框架

DMA传输测试通过采用Xilinx集成逻辑分析仪(integrated logic analyzer,ILA)抓取信号波形的方式完

成,抓取的信号波形如图11所示,图中的波形表示发送DMA传输中的一个TLP包,单次发送64位数据,每个

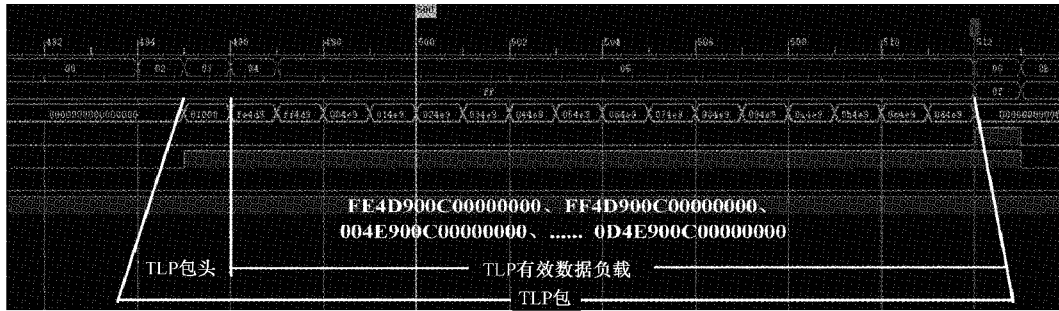


图 11 DMA 传输波形

TLP 包包含有效负载 128 字节, 图中的 TLP 包的有效负载采用大端方式存储与发送, 发送的值为十六进制的 0x00000000C904DFE 到 00000000C0904E0D。

上位机从内存中读取数据并保存, 使用 BES 软件进行核对(文件截图如图 12 所示), 上位机所接收内容与 FPGA 发送的内容完全一致, 且无误码或丢码现象, DMA 数据传输功能正常, 且传输过程稳定可靠, 验证了 PXIe 接口通信链路软、硬件设计的正确性。

```

210784256 FE 4D 90 0C 00 00 00 00
210784257 FF 4D 90 0C 00 00 00 00
210784258 00 4E 90 0C 00 00 00 00
210784259 01 4E 90 0C 00 00 00 00
210784260 02 4E 90 0C 00 00 00 00
210784261 03 4E 90 0C 00 00 00 00
210784262 04 4E 90 0C 00 00 00 00
210784263 05 4E 90 0C 00 00 00 00
210784264 06 4E 90 0C 00 00 00 00
210784265 07 4E 90 0C 00 00 00 00
210784266 08 4E 90 0C 00 00 00 00
210784267 09 4E 90 0C 00 00 00 00
210784268 0A 4E 90 0C 00 00 00 00
210784269 0B 4E 90 0C 00 00 00 00
210784270 0C 4E 90 0C 00 00 00 00
210784271 0D 4E 90 0C 00 00 00 00

```

图 12 DMA 接收数据

4 结 论

本文设计了一套基于 FPGA 与 PXIe 总线的高速光纤通信板卡, 对光纤接口进行了 10 Gbps 的回环测试, 获取了光纤接口的通信眼图, 验证了光纤接口电路设计的可行性与稳定性; 对 PXIe 接口进行了 DMA 传输测试, FPGA 端输出数据与 PC 端接收数据完全一致, 验证了 PXIe 接口电路与 DMA 逻辑的正确性。本文所讨论的板卡, 采用夹层卡与载卡相结合的结构, 在满足调焦调平系统图像处理单元测试需求的同时, 通过对夹层卡的适应性修改设计, 可以满足不同接口类型、不同数据传输速率要求的系统测试需求, 具有较高的灵活性及扩展性。本文完成了通信板卡的硬件电路设计、研制以及模块级的性能测试, 后续将开展整机级功能测试以及数据传输性能测试工作, 完成系统级联合测试状态下板卡应用效果的评估。

参考文献

[1] 刘峰. CMOS 集成电路后端设计与实战[M]. 北京: 机

械工业出版社, 2015.

- [2] 刘旭. 一种用于测试标准单元序性能的电路设计及实现[D]. 西安: 西安电子科技大学, 2017: 1-2.
- [3] 徐锐. 中国集成电路产业发展战略研究[D]. 上海: 复旦大学, 2009: 29-30.
- [4] 欧阳琴. 大面积 PCB 投影扫描式激光曝光机的研制[D]. 广州: 广东工业大学, 2011: 1-3.
- [5] 何俊伟. 浸没式光刻机浸液温度控制算法研究[D]. 武汉: 华中科技大学, 2014: 2-4.
- [6] 尹作海. 基于机器视觉的光刻机调焦调平系统[D]. 武汉: 华中科技大学, 2007: 1-6.
- [7] 旷立强. 基于 FPGA 的 DDR3 设计与实现[D]. 长沙: 国防科学技术大学, 2014: 49-51.
- [8] 陶然, 王昭磊, 罗悦, 等. SOPC 通用化弹载自测试平台的设计与实现[J]. 现代防御技术, 2019, 47(2): 145-153.
- [9] 陈彬. 宽带信道模拟器的数字硬件设计与实现[D]. 成都: 电子科技大学, 2015: 38-39.
- [10] 任彦林. 基于 FMC 的数据采集及 PXIe 载板研制[D]. 哈尔滨: 哈尔滨工业大学, 2015: 25-27.
- [11] 张帆. 支持多种接口的数据存储系统设计与实现[D]. 西安: 西安电子科技大学, 2013: 32-34.
- [12] 罗磊. 某雷达光纤传输系统设计与实现[D]. 西安: 西安电子科技大学, 2012: 51-52.
- [13] 朱奇凡. 基于 PCI Express 的光纤通信卡研制[D]. 哈尔滨: 哈尔滨工业大学, 2019: 53-54.
- [14] 李挺. 基于 FPGA 的 PCIE 总线接口和光纤通信模块设计[D]. 秦皇岛: 燕山大学, 2013: 48-55.
- [15] 张彪, 宋红军, 刘霖, 等. 基于 PCIE 接口的高速数据传输系统设计[J]. 电子测量技术, 2015, 38(10): 113-117.

作者简介

蔡伟杰, 硕士研究生, 主要研究方向为光电检测技术。

E-mail: 1109931822@qq.com

邹鹏(通信作者), 博士, 副研究员, 主要研究方向为光电检测技术、信号处理。

E-mail: pzou@aiofm.ac.cn