

DOI:10.19651/j.cnki.cmt.2107336

## 基于 DDS 时钟合成的变采样率偶发信号采样方法\*

郝思聪<sup>1</sup> 贺庆<sup>1</sup> 李晓曦<sup>2</sup>

(1.北京信息科技大学 仪器科学与光电工程学院 北京 100192; 2.航天恒星科技有限公司 信息传输与处理事业部 北京 100086)

**摘要:** 目前信号采集技术在某些领域如金属测伤、生物医疗中,主要关注偶发信号。如果采用传统固定频率采集信号的方法会造成存储资源严重的浪费。针对这一问题,提出一种基于 DDS 时钟分相合成的变采样率偶发信号采样方法。该方法结合了 DDS 技术和波形分相合成技术,并根据信号特征自适应地切换采样频率。在保证信号信息完整性的同时,减少了无用信号的数据存储。经过仿真与实验验证结果表明,此方法在 FPGA 平台上很好的实现了采样率 12 MHz 与 96 MHz 的实时切换控制,完整还原了最高频率为 10 MHz 的探伤检测波形细节,同时在 FPGA 的并行处理下利用分相合成技术提高了至少 4 倍采样率,优化了资源利用率。

**关键词:** 信号采集;偶发信号;DDS;变采样率;采样方法

**中图分类号:** TN792 **文献标识码:** A **国家标准学科分类代码:** 510.40

Sampling method of variable sampling rate for occasional signal  
based on DDS clock synthesisHao Sicong<sup>1</sup> He Qing<sup>1</sup> Li Xiaoxi<sup>2</sup>

(1. School of Instrument Science and Opto Electronic Engineering, Beijing Information Science and Technology University, Beijing 100192, China; 2. Information Transmission and Processing Division of Aerospace Star Technology Co., Ltd., Beijing 100086, China)

**Abstract:** At present, in some fields, such as metal wound detection and biomedical, the signal acquisition technology mainly focuses on occasional signal. If the traditional fixed-frequency signal acquisition method is used, it will cause a serious waste of storage resources. To solve this problem, a sampling method based on DDS clock phase synthesis is proposed. The method combines DDS technology and waveform phase synthesis technology and adaptively switches the sampling frequency according to the signal characteristics. While ensuring the integrity of signal information, the data storage of useless signals is reduced. Through simulation and experiment results show that the method on FPGA platform is well on achieving the sampling rate of 12 MHz and 96 MHz real-time switching control, a complete reduction of the highest frequency of 10 MHz waveform detection details, at the same time under the parallel processing of the FPGA using split phase synthesis by sampling rate of at least four times, optimize the resource utilization.

**Keywords:** signal acquisition; occasional signal; DDS; variable sampling rate; sampling method

## 0 引 言

采样技术广泛应用于电子测量的各个领域,在数字示波器、雷达、脑电仪等多种测试仪器中都运用到采集技术。

采样方法按采样间隔分为均匀采样和非均匀采样。等效采样就是一种均匀采样,针对周期信号,在不同的信号周期进行采样,然后将采样数据拼接起来重构信号波形。文献[1]采用了斜坡式步进比较延时的方法,最高等效采样率

达到了 125 GS/s。文献[2]提出过一种基于频差法的顺序等效采样方法,可以扩展应用到许多等效采样的领域中。均匀采样主要用于信息分布均匀的信号,如语音信号、图像信号。均匀采样有着采集速率高,信息存储量大的要求。而在某些如故障检测、生物医疗等领域中,主要是关注于偶发性或突发性的有用信号信息,信息分布局部集中(稀疏)。如果采用高速率均匀采集,会采集到大量无用信息存入存储器中,造成数据冗余。为解决这一问题,可采用非均匀

收稿日期:2021-07-21

\* 基金项目:北京市教委科技计划一般项目(KM201911232019, KM202011232008)、国家自然科学基金项目(51775051)、北京市自然科学基金青年基金项目(4214080)资助

采样。

非均匀采样是采样时间间隔变化的采样,其中最典型的是压缩感知采样。压缩感知采样是指:如果信号在整个处理带宽内只包含少量的有用信息,可以通过满足一定条件的随机观测方法对信号进行欠奈奎斯特采样<sup>[3-11]</sup>。用随机采样获取信号的离散样本,进行优化算法对信号进行重构<sup>[5]</sup>。为解决均匀采样所面临的信息冗余、低效率和资源浪费等问题提供了新思路<sup>[6]</sup>。文献[7]采用基于压缩感知在线稀疏的红外视频遥感凝视成像技术,提高了遥感红外图像的重构效果。文献[8]提出基于压缩采集与深度学习的轴承故障诊断方法,实现对不同故障位置和缺损程度的故障特征自动提取与准确故障诊断。压缩感知方法的特点是采样速率低,所需数据少<sup>[9]</sup>。在现实生活中,核磁共振和图像处理就用到压缩感知采样法。但是压缩感知采样法的使用前提是要满足:1)测量到的数据包含信号的全局信息;2)有数学方法能够保证从不完整的数据中还原信号<sup>[10]</sup>。采样数据后还要用到 CPU 或 DSP 的处理平台进行重构运算。可见,压缩感知采样法有一定的局限性和复杂性。

本文提出一种实时切换采样率的非均匀采样方法,在出现有用信号时使用高速采样,在出现无用信号时采用低速采样。目的是为了解决偶发信号间的无用信号造成存储资源浪费等问题。为保证本方法能准确及时地切换任意采样频率,本文采用直接数字频率合成(DDS)技术产生方波采样信号。DDS 算法的特点在于频率调节方便,且可以在频率范围内进行精细调节<sup>[11-12]</sup>。但是 DDS 技术生成信号

的最大频率只有输入时钟的 1/2。随着系统的采样速率需求提高,设计成本升高,设计难度增加。因此,本文提出一种 DDS 多路时钟合成的方法来解决这一问题,利用多路等相位间隔的 DDS 时钟信号并合成,提高 DDS 生成时钟的最大频率<sup>[13]</sup>。目前 DDS 技术虽然已有较多相关研究和文献资料,但是尚未有利用 DDS 分相合成实现变采样率的方法研究。FPGA 的灵活多变以及可重复编程的特性决定了它比集成芯片更适合多路信号合成与信号采集的设计<sup>[14-16]</sup>。因此本系统使用 FPGA 进行设计,并在 FPGA 平台上进行仿真实验验证这一方法的有效性,检验该方法能否达到提高关键信号的采样率,提高存储器的空间利用率,减少数据冗余度的效果。

## 1 系统设计

本方法在应用中主要采集偶发信号。偶发信号的特点是有用信息的出现具有突发性,占空比低,信息分布集中,无用信号波形通常为幅度较小的噪声信号。因此,本方法设置信号幅值作为判断是否出现偶发信号的依据,并据此切换不同采样率。为简化说明,本文中只设置两种采样率,出现偶发信号时采用高采样率  $f_H$  采样,在无用信号时切换为低采样率  $f_L$ 。

本方法在 FPGA 内部编程实现,系统由频率控制字、频率控制字选择器、相位累器、分相加法器、方波查找表,及 FPGA 外部的 ADC(模数转换器)和存储器组成,如图 1 所示。

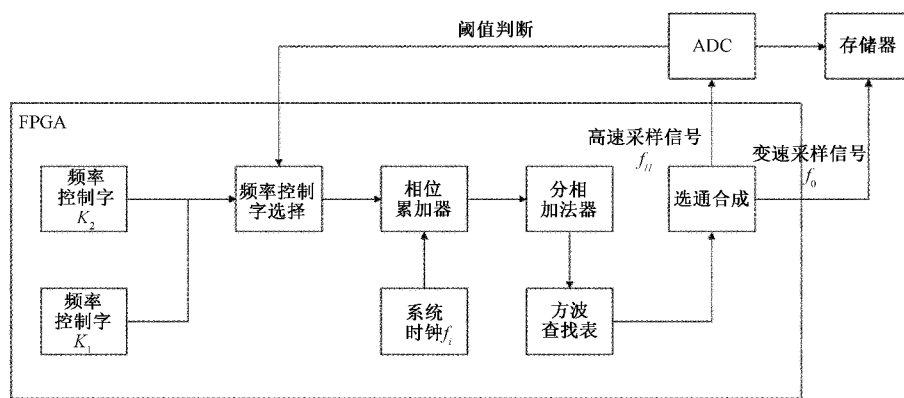


图 1 基于时钟合成的变采样偶发信号采集系统结构

首先, FPGA 根据 ADC 输出信号是否超过阈值进行判断,选择合适的频率控制字  $K$ 。 $N$  位相位累加器以系统时钟  $f_1$  为节拍对频率控制字  $K$  进行累加。为了提高 DDS 输出信号频率,利用分相加法器对累加器结果进行分相。将 1 路累加结果分成 4 路等间隔相位地址,分别对方波查找表进行寻址,最后,对 4 路信号进行相位合成得到方波。用 DDS 算法产生的方波作为信号的采样时钟,进行采集<sup>[16]</sup>。为了实时追踪信号幅度,ADC 一直采用高速采样时钟  $f_H$  进行信号采样。由于本文主要解决数据量冗余,

存储资源浪费的问题。对于存储器的控制时钟  $f_0$ ,根据幅度是否超过阈值在  $f_H$  与  $f_L$  之间进行切换。对于有用信号,存储器的写入速度与 ADC 采样速度相同,保证了有用数据波形细节的完整性。而对于无用噪声信号,尽管 ADC 仍采用高速采样,但存储器采用低速存储,相当于对信号的二次取样。

存储器控制时钟  $f_0$  由 FPGA 中运行 DDS 算法生成。按照经典的 DDS 算法,方波输出信号频率  $f_0$  为:

$$f_0 = \frac{K}{2^N} f_1, K \leq 2^{N-1} \quad (1)$$

由式(1)可知,  $f_o$  最大可以达到  $f_i/2$ 。可见 DDS 技术虽然可以实时改变输出时钟信号频率,但同时造成了时钟频率的降低。为了提高采样时钟信号的最大频率,本文采用一种多路相位合成的方法,以 4 路相位合成为例进行分析。

首先,分相加法器把相位累加器的 1 路地址数据  $A$  分别与 3 个相位间隔相等的相位字相加,得到 4 路相位间隔相等的相位地址:  $A, A+K/4, A+K/2, A+3K/4$ 。采用合成的相位字对同一个方波查找表进行循环查表寻址后,相当于 DDS 的相位点数增加 4 倍,得到方波最大频率提高至原 DDS 算法输出频率的 4 倍。以此方波作为信号采集的采样时钟信号,既可实现采样频率实时切换,又能保证输出时钟信号的频率不下降。

对存储信号进行数字信号处理时,数值大于阈值的数据按照高速采样率  $f_H$  进行还原,数值小于阈值的数据按照低速采样率  $f_L$  进行还原。即可得到原始信号的数字波形。

## 2 仿真验证

为验证所提方法的有效性,在 Quartus 中完成 FPGA

的相关编程后,在 Modelsim 上进行程序仿真,验证所提出方法的有效性。在 Modelsim 的激励文件中,设置系统时钟频率  $f_i$  为 500 MHz,也是 DDS 的取样时钟。调用 Quartus 内部 IP 核 RAM 作为本系统的存储器,设置数据宽度为 10 位,地址深度为  $2^{16}$ 。

为方便演示,本文只设置了两个频率控制字  $K_1$  和  $K_2$  进行频率切换。设置占空比为 1:5 的锯齿波作为被采信号,假设被测信号中有用信号波形为锯齿波,幅度为 500~800,无用噪声信号设置为幅度在 0~255 之间的随机信号。根据被测信号特性,阈值设置为信号幅度是否超过 300,如果达到阈值,则采用高速采样时钟对存储器进行控制。为实现高频率分辨率,时钟 DDS 的累加器位数为 46 位。为使 DDS 合成时钟频率达到最高,高速频率控制字  $K_1$  设置为  $2^{17}$ ,低速频率控制字  $K_2$  设置为  $2^{15}$ 。由公式计算得知,DDS 输出的时钟经过 4 路分相合成后,得到的高速采样时钟频率为 1 GHz,低速采样时钟频率为 250 MHz。全编译后,进行仿真,观察采样时钟频率变化、信号原始波形及 RAM 存储器波形的关系,结果如图 2 所示。

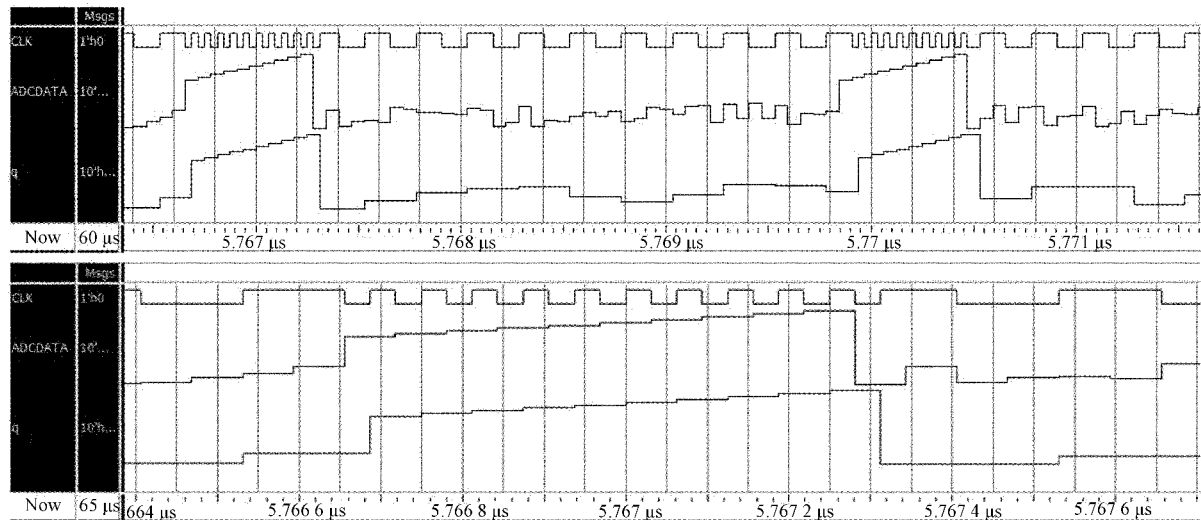


图 2 锯齿波采集仿真结果

图 2 中,CLK 为存储器控制时钟,即经过 DDS 分相合成后的方波信号。ADCDATA 为 FPGA 输入的被测原始波形,  $q$  为 RAM 存储波形。在出现无用信息时,相位累加器以频率控制字  $K_2$  进行累加,分相合成后的采样时钟的频率输出为 250 MHz。在出现有用信息时,相位累加器自动切换为频率控制字  $K_1$  进行累加,分相合成后的采样时钟的频率输出为 1 GHz。经过仿真可见,系统对无用信号采用低速时钟进行存储器控制,节省了存储空间,当信号幅度超过阈值时,系统切换为高速时钟进行存储器控制。

可以看出,本方法实现了采集频率自切换,采集信号频率的切换以及数值都符合预期。

## 3 实验验证

本章利用 FPGA 开发板进行实验,验证本方法的实际可行性。

FPGA 采用 Altera 公司的 EP4CE6F17C8N 型号芯片,输入时钟为 12 MHz,经锁相环倍频后达到 48 MHz 作为系统时钟  $f_i$ 。存储器调用 FPGA 内部 ROM 软核,存储地址深度设置为  $2^{14}$ ,数据位宽设置为 10 位。使用参考电压 2.5 V,10 位的 ADC 采集一段微损伤裂痕的探伤检测波形。有用信号为一段振荡脉冲,占空比 1:10。最高幅度达到 2.49 V,最低幅度为 0.1 V。探伤检测波形有用信号频谱主频在 1.5 MHz 左右,频率范围为 0~10 MHz,为

完整还原信号细节信息,本实验中对有用信号采用 96 MHz 的高速采样,而对无用信号采用 12 MHz 低速采样。设置系统相位累加器位数  $N$  为 46 位,频率控制字  $K_1$  设置为  $2^{17}$ ,  $K_2$  设置为  $2^{14}$ 。判断阈值设置为幅度是否在 1.2~1.3 V 之间,如果在阈值之内,则采用低速采样时钟控制存储器。由于此信号的特性,在有用信号段也会达到

阈值区间,所以当切换为高速采样时钟,则在持续一段时间后,再进行阈值判断。

将程序下载到开发板后,利用 Quartus 中的 SignalTap 抓取实验采集的数据,观察采样时钟频率变化、ADC 输出波形及 RAM 存储器波形的关系,结果如图 3 所示。

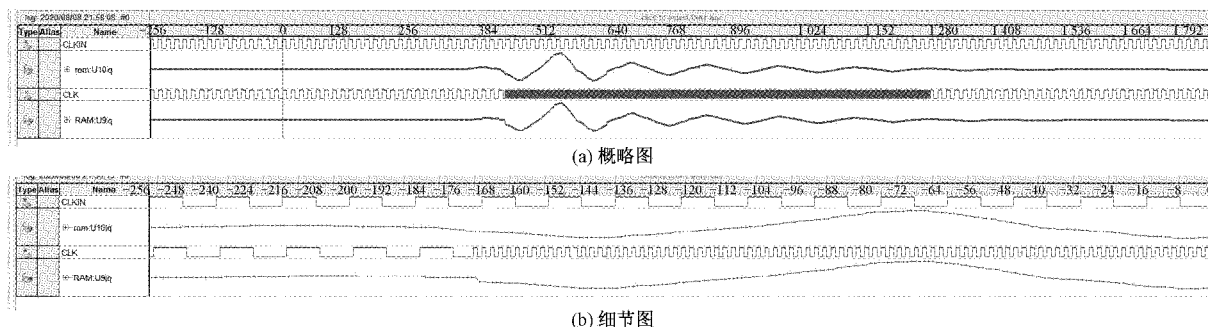


图 3 某场合下微损伤裂痕探伤检测波形

如图 3 所示,CLKIN 为 FPGA 晶振时钟为 12 MHz, rom 是 ADC 采集到的信号波形, RAM 是存储器存储的信号波形。CLK 为经 DDS 算法合成的方波采样时钟。在物体没有裂痕的情况下被测波形几乎是一段直流,为无用信息,所以此时采样时钟采用低频率(12 MHz)。而在物体有裂痕的情况下则会出现一段脉冲波形,为有用信息。为完整捕获信号信息此时采样时钟采用高频率(96 MHz)。

可以看到,当被测信号超过阈值时,采样信号也实时的自适应切换相应的频率对信号进行存储,保留信号细节特征的同时,避免了无用信号的采集存储。可以说明实验效果达到预期效果,证明了该方法的可行性。本实验为了便于演示,只进行了两种频率切换,如果遇到复杂的情况,可以设计出更多频率档级进行切换,提高采样效率。在不同的有用信号出现时,采样信号切换为对应的采样频率,既能捕获到有用信号的细节信息,也能减少存储器中无用信息,减少信息冗余,节省存储器的资源。

#### 4 结 论

本文提出了一种基于 DDS 时钟合成的变采样率偶发信号采集新方法。通过可变时钟的 DDS 结构实现频率实时切换控制;利用时钟分相合成技术提高 DDS 输出时钟信号的频率;对 ADC 采集信号设置阈值,自适应的控制存储器写入频率的切换。文中对该设计的算法进行了介绍与分析,通过仿真及实验验证了此方法的有效性以及可行性。该方法具有存储器资源利用率高,实现简单,采样频率实时切换的特点。采用分相相位合成的方法,可有效提高信号的采样率。在故障检测,金属测伤,生物医疗等领域中,采用本方法可以减少信号无用信息的存储,保留信号有用细节,有效节省存储空间,减少信息冗余。在实际应用中,可根据应用场景的需要,设置三级甚至更多级采样频率切

换,达到最佳采集效果。

#### 参考文献

- [1] 沈绍祥,刘丽华,方广有,等.时域反射仪高精度步进延迟系统设计[J].深圳大学学报(理工版),2013,30(3):242-247.
- [2] 李海涛,李斌康,阮林波,等.一种基于频差法的顺序等效采样方法及其实现[J].电子学报,2020,48(6):1071-1076.
- [3] 傅建军,刘琛琛,许伟.基于非均匀采样的稀疏信号恢复 FPGA 实现技术研究[J].电子与封装,2019,19(10):34-38,43.
- [4] 余恺,李元实,王智,等.基于压缩感知的新型声信号采集方法[J].仪器仪表学报,2012,33(1):105-112.
- [5] 庄晓燕,赵贻玖.谱稀疏信号随机等效采样重构方法研究[J].电子测量与仪器学报,2015,29(10):1507-1512.
- [6] 付宁,施睿,宋凌云,等.基于欠采样的单音周期信号幅频测量方法实现[J].国外电子测量技术,2015,34(10):73-78.
- [7] 黎胜亮,刘昆,张峰,等.基于压缩感知在线稀疏的红外视频遥感凝视成像[J].电子学报,2015,43(3):518-522.
- [8] 郭俊锋,严栋山,雷春丽,等.机械振动信号压缩采集重构算法性能研究[J].电子测量技术,2017,40(9):180-185.
- [9] 裴立业,江桦,李明.一种基于能量的压缩感知稀疏度估计算法[J].电子学报,2017,45(2):285-290.
- [10] 温江涛,闫常弘,孙洁娣,等.基于压缩采集与深度学习的轴承故障诊断方法[J].仪器仪表学报,2018,39(1):171-179.
- [11] 黎梦婷,李华峰.基于 DDS 的 SPWM 波的驱动电路设计[J].国外电子测量技术,2020,39(6):1-5.

- [12] 沈辉,薛兵,唐朝阳,等.基于 DDS 技术的信号发生器设计[J].电子测量技术,2020,43(20):160-164.
- [13] 贺庆,郝思聪.基于时钟合成的高速任意波形数字信号产生方法[J].北京信息科技大学学报(自然科学版),2020,35(6):8-13.
- [14] 毛雨阳,刘一清.基于 FPGA 的多路磁共振信号采集设计[J].电子测量技术,2018,41(14):128-133.
- [15] 邓澈,颜晗,华波,等.基于 FPGA 的叶尖间隙信号高速采集与处理方法[J].电子测量与仪器学报,2018,32(3):104-110.
- [16] 郝少帅,杨玉华,王淑琴.基于 FPGA 的高精度采集系统的研究与实现[J].电子测量技术,2020,43(19):154-158.

#### 作者简介

郝思聪,硕士研究生,主要研究方向为仪器科学与嵌入式开发。

E-mail: KzKz\_HSC@qq.com

贺庆(通信作者),博士,副研究员,主要研究方向为智能感知、物联网、脑机接口。

E-mail: Bomb\_82@163.com