

DOI:10.19651/j.cnki.emt.2107148

基于概率计算的 TPC 译码算法研究与 FPGA 设计*

庞宇¹ 王小兵¹ 张颖² 谭鸿浩²

(1.重庆邮电大学 光电工程学院 重庆 400065; 2.汕头大学 工学院 汕头 515021)

摘要:目前 TPC 码(Turbo 乘积码)常用的译码算法为 Pyndiah-Chase-II 算法,但 Pyndiah-Chase-II 算法在搜索最不可靠输入比特位置和最短欧氏距离码字的过程中,涉及大量的排序运算、复杂的分支结构和存储调度使其非常不利于集成电路硬件实现。针对上述问题,提出一种基于概率计算的 TPC 译码算法,该算法包括信息输入层、随机比特流生成层、BCH 硬判决层、BCH&CRC 校验层、输出层,其 TPC 码的子码采用 BCH 码,通过 MATLAB 软件进行译码算法的程序设计并完成译码性能和译码延时的仿真。仿真结果表明,该译码算法能够达到和传统的 Pyndiah-Chase-II 算法相同的译码性能,平均只需要两次迭代即可实现正确译码,能有效地降低译码的延时。最后完成基于 FPGA 的硬件设计,BCH 硬判决层采用查找表方式实现,其他层的逻辑结构简单,均为门级操作,所以能够大幅度减小硬件开销和降低功耗,易于用集成电路实现。

关键词: Turbo 乘积码; BCH 码; 概率 TPC 算法; Pyndiah-Chase-II 算法; 编译码; 低延时; FPGA; 低功耗

中图分类号: TN918.3 **文献标识码:** A **国家标准学科分类代码:** 510.99

Research on TPC decoding algorithm based on probability calculation and FPGA design

Pang Yu¹ Wang Xiaobing¹ Zhang Ying² Tan Honghao²

(1. School of Optoelectronic Engineering, Chongqing University of Posts and Telecommunications, Chongqing 400065, China;

2. College of Engineering, Shantou University, Shantou 515021, China)

Abstract: The common decoding algorithm for TPC codes (Turbo product code) is the Pyndiah-Chase-II algorithm, but the Pyndiah-Chase-II algorithm involves a large number of sorting operations, complex branching structures and storage scheduling in the process of searching for the least reliable input bit positions and shortest Euclidean distance code words making it very unfavorable for integrated circuit hardware implementation. In order to solve these problems, proposing a TPC decoding algorithm based on probabilistic computation, the algorithm includes information input layer, random bit stream generation layer, BCH hard judgment layer, BCH&CRC check layer, and output layer, and the sub-code of TPC code adopts BCH code, program design of decoding algorithm and simulation of decoding performance and decoding delay by MATLAB software. The simulation results show that the decoding algorithm can achieve the same decoding performance as the traditional Pyndiah-Chase-II algorithm, and it only needs two iterations on average to achieve correct decoding, which can effectively reduce the decoding delay. Finally, the FPGA-based hardware design is completed. The BCH hard judgment layer is implemented by the lookup table method, and the logic structure of other layers is simple and all are gate-level operations, so it can significantly reduce the hardware overhead and power consumption, and is easy to implement with integrated circuits.

Keywords: Turbo product code; BCH code; pobabilistic TPC algorithm; Pyndiah-Chase-II algorithm; encode/decode; low latency; FPGA; low power consumption

0 引言

近年来,人们的糖尿病、心血管疾病等健康问题变得越

来越严重,文献[1]研究表明,心血管疾病占全球死亡人数的30%,但是人们由于工作、生活等方面的原因导致不能实时去医院检测自己的身体参数指标,于是霍东风等^[2]研

收稿日期:2021-07-03

* 基金项目:国家自然科学基金(61671091)项目资助

究的基于无线体域网的便携式、植入式这种类型的医疗监控设备便出现了,可以将身体指标实时的远程传输给病人本人、家属、医生。但是医疗领域对于病人身体的参数指标的可靠性具有非常高的要求,所以无线体域网的可靠性传输就变成了一个非常重要的问题。

虽然近年来通信技术得到快速发展,但是通信系统中的可靠性问题一直无法回避,为了解决这个问题,人们在信道编译码时采用过多种编译码算法,其中TPC(Turbo乘积码)码是一类能够同时纠正随机性错误和突发性错误的好码,而且它的码构造非常简单,特别适用于信道干扰非常复杂的差错控制系统^[3-4]。根据文献^[5-6]的研究,TPC码利用迭代译码方法可发挥该码的良好性能,已经被认为是下一代移动通信和深空通信系统中较理想的差错控制方法,可以预见未来在无线体域网通信、移动通信领域、深空通信领域和光通信领域TPC码必然会被广泛应用。

目前,国内外的TPC译码普遍采用的是Pyndiah-Chase-II算法,Pyndiah-Chase-II译码算法是在Chase-II译码算法的基础上增加软信息计算,在行译码和列译码之间形成软信息更新和交换,使得译码过程逐步收敛至最佳判决结果,完成若干次迭代后,进行判决输出^[7-11],具有高码率,低误码率,近信道容量时仍能保持较好的性能等优点,但是存在的问题是生成测试图样、最优码字筛选过程中涉及大量的排序和筛选。此外,Pyndiah-Chase-II译码算法软信息更新步骤需要对每一比特信息分别搜索最短欧氏距离和次短欧氏距离的候选码字。为了实现这些过程需要用到大量的分支结构和存储资源,在硬件实现中这些复杂的逻辑和存储开销成为复杂度和功耗开销的瓶颈^[12-13]。为了解决上述存在的问题,本文介绍一种全新的基于概率计算的TPC译码算法^[14-16]。利用MATLAB工具对Pyndiah-Chase-II译码算法在 $P=4,5,6$ 的条件下进行误码率等性能仿真;对概率TPC译码算法在 $L=128,256,512,1024$ 的条件下进行误码率、译码时延等性能仿真;然后采用对比法分析这两种算法的性能优劣性。

通过一定数量的实验仿真分析结果,表明概率TPC译码算法在 $L=512,1024$ 时误码率和译码时延等性能均优于Pyndiah-Chase-II译码算法。概率TPC译码算法应用在调制解调OFDM算法^[17]架构里面就能够有效地实现无线体域网通信的可靠性传输的高可靠性和低时延。

1 TPC的编码

TPC码的编码过程引入乘积码的概念,用两个或多个短分组码 $C(n,k,t)$ (其中 n,k,t 分别代表码长、信息组长度、纠错能力)简单而有效地构造,其编码器由两个或多个分组编码器级联而成,这些分组编码器被简单的行/列交织器分隔开来。

对于两个子码构成的二维乘积码,假设子码分别为 $C^1(n_1,k_1,t_1)$ 和 $C^2(n_2,k_2,t_2)$,通过下述步骤可以编码得

到乘积码 $P=C^1 \times C^2$ 。

1)把 $k_1 \times k_2$ 信息比特放入 k_1 行 k_2 列的矩阵中。

2)用分组码 C^2 的编码规则对 k_1 行进行编码。

3)用分组码 C^1 的编码规则对 n_2 行进行编码,最终构造出一个 $n_1 \times n_2$ 矩阵码字。

构造出的 $C(n,k,t)$ 乘积码 P 的参数为: $n=n_1 \times n_2$, $k=k_1 \times k_2$, $t=t_1 \times t_2$,编码效率为 $R=R_1 \times R_2$,其中 R_i 分别为 $C^i(i=1,2)$ 的编码效率。TPC码的子码可以选择为奇偶校验码、扩展汉明码、BCH码或RS码,一般情况下TPC码采用相同相同的分组码作为子码,所以本文采用相同的分组码BCH(255,239,2)作为子码构成二维TPC码,TPC编码后得到如图1所示的65535比特字进行数据传输。

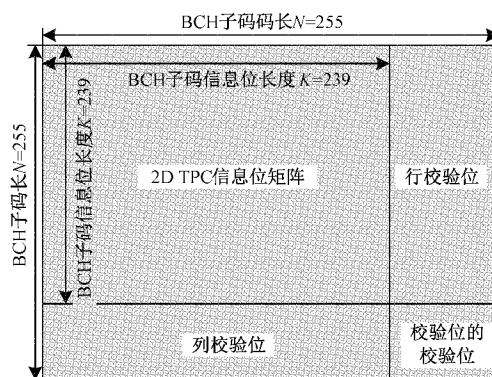


图1 TPC编码结构

2 基于概率计算的TPC译码

为了解决Pyndiah-Chase-II算法的生成测试图样、最优码字筛选过程中涉及大量的排序和筛选以及软信息更新步骤需要对每一比特信息分别搜索最短欧氏距离和次短欧氏距离的候选码字等问题,本文采用一种全新的基于概率计算的TPC译码(Stochastic-TPC算法)方案,其译码过程如图2所示。

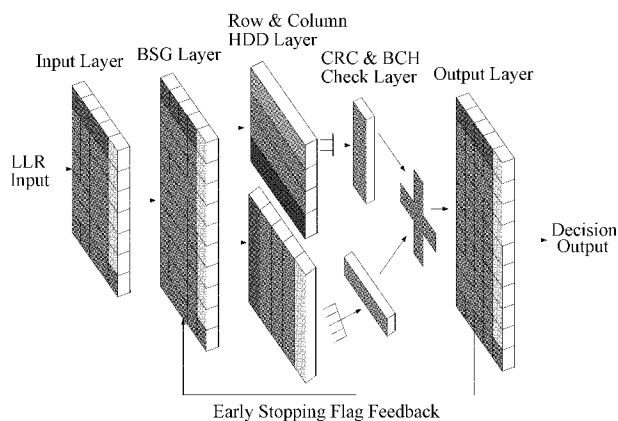


图2 基于概率计算的TPC译码结构

2.1 输入层(Input Layer)设计

Stochastic-TPC算法的输入层(Input Layer)将对数似然比接收层(LLR Input)经过接收解调后的对数似然比信息构建为 255×255 对数似然比矩阵(矩阵的每一行、每一列的前231比特为通信数据,第232~237比特为CRC校验位,第238~255比特为BCH码的校验位),为Pyndiah-Chase-II算法的下一层即随机比特流生成层(BSG Layer)提供准确的数据输入。

2.2 随机比特流生成层(BSG Layer)设计

Stochastic-TPC算法的随机比特流的生成采用概率计算的运算方法,概率计算的乘法运算可以由一个两输入与门完成,其输出结果为“1”的条件是当且仅当两个输入端的输入数据同时为“1”,即:

$$\Pr\{C(t) = 1\} = \Pr\{A(t) = 1 \cap B(t) = 1\} \quad (1)$$

当输入的两个比特随机变量相互独立时:

$$\Pr\{C(t) = 1\} = \Pr\{A(t) = 1\} \cdot \Pr\{B(t) = 1\} \quad (2)$$

即完成了数值上的乘法运算:

$$P_c = P_a \cdot P_b \quad (3)$$

依次可得概率计算基本的减法运算、累加运算、除法运算分别如式(4)~(6)所示。

$$P_c = P_a \cdot (1 - P_b) + (1 - P_a) \cdot P_b \quad (4)$$

$$P_c = P_s \cdot P_a + (1 - P_s) \cdot P_b P_c \quad (5)$$

$$P_c = P_a / (P_a + P_b) \quad (6)$$

数字逻辑电路利用上述概率计算的基本运算单元即可进行任何复杂电路的硬件实现,从而避免传统二进制方式的复杂运算。

2.3 BCH硬判决译码器设计

1) BM迭代算法

Berlekamp提出一种通过迭代方式求解错误位置多项式根的方法(BM算法),BM算法的实现步骤如下。

(1)根据 $R(x)$ 伴随式多项式 $s(x)$,得到 $s_1, s_2, s_3, \dots, s_{2t}$ 。

(2)初始化 $\sigma^{(-1)}(x) = 1, \omega^{(-1)}(x) = 0, d_{(-1)} = 1, D(1) = 1$ 和 $\sigma^{(0)}(x) = 1, \omega^{(0)}(x) = 1, d_0 = s_1, D(0) = 0$ 。

(3)在第 j 次迭代后, $j \leftarrow j + 1$,计算:

$$d_j = s_{j+1} + \sum_{i=1}^{\sigma^0 \sigma^{(j)}(x)} s_{j+1-i} \sigma_i^{(j)} \quad (7)$$

其中, $\sigma^0 \sigma^{(j)}(x)$ 表示多项式 $\sigma(x)$ 的次数。

(4)判断 d_i 是否等于0,如果等于0,则使用如下递推公式:

$$\sigma^{(j-1)}(x) = \sigma^{(j)}(x) \quad (8)$$

$$\omega^{(j+1)}(x) = \omega^{(j)}(x) \quad (9)$$

$$(j+1) - D(j+1) = j - D(j) \quad (10)$$

然后进入步骤(8),否则进入步骤(5)。

(5)选 j 之前的第 i 行。

(6)判断 $d_i \neq 0$ 且 $i - D(i)$ 最大,如果不是,返回步骤(5);否则进入步骤(7)。

(7)迭代计算:

$$\sigma^{(j+1)}(x) = \sigma^{(j)}(x) - d_j d_i^{-1} x^{j-i} \sigma^{(j)}(x) \quad (11)$$

$$\omega^{(j)}(x) \omega^{(j+1)}(x) = \omega^{(j)}(x) - d_j d_i^{-1} x^{j-i} \quad (12)$$

(8)判断 j 是否等于 $\omega(x)$,如果不等于,返回步骤(3);否则进入步骤(9)。

(9)完成迭代,得到最终的 $\sigma(x)$ 和 $\omega(x)$ 如式(13)、(14)所示。

$$\sigma(x) = \sigma^{(j+1)}(x) \quad (13)$$

$$\omega(x) = \omega^{(j-1)}(x) \quad (14)$$

(10)如果 $\sigma(x)$ 的次数大于 t ,则说明存在不能纠正的错误,否则进入求 $\sigma(x)$ 的根的过程。

2) 基于查找表的模块设计

基于上述的BM译码算法,能够得到 $s_k = \{s_1, s_2, s_3, s_4, s_5, s_6, \dots, s_{2t}\}$,必然会确切给出错误位置。考虑到BCH是二进制编码, s_k 可以表示为 $2t$ 位的数据,如果这 $2t$ 位小于16,则完全可以用计算机等辅助工具离线计算出所有的 s_k 表示值和 $\sigma(x)$ 的关系,更进一步,可以直接给出 t 个错误位置,从而利用查找表方式进行硬判决。

2.4 BCH & CRC校验层设计

在Stochastic-TPC算法的BCH & CRC校验层首先利用BCH码本身的纠错能力对信息数据进行纠错,然后再对255位信息数据的低239位(通信信息数据)进行8位CRC校验,当CRC校验正确的时候则进行最终判决输出,当CRC校验错误的时候则将相应的错误信息反馈回BSG层重新生成测试信息,直到迭代至最大迭代次数进行判决输出,完成最终译码。

3 概率TPC算法的性能仿真

本文采用MATLAB工具对两种译码算法的性能分别进行仿真分析,将Pyndiah-Chase-II算法和Stochastic算法的仿真环境分别设置为如表1和2所示。

表1 Pyndiah-Chase-II算法仿真环境

TPC译码算法	Pyndiah-Chase-II
BCH字码码型	(255,239,2)
TPC信息码	57 121
TPC码长	65 025
调制方式	BPSK调制
信道环境	AWGN信道
仿真方法	Float-Point
仿真规模	1 000 码块

3.1 Pyndiah-Chase-II算法的性能仿真分析

本文对Pyndiah-Chase-II算法的遍历翻转的比特数量分别设置为 $P=4,5,6$ 的条件下分别进行译码性能的仿真分析,如图3所示,可以看到随着遍历翻转的比特数量的增加,Pyndiah-Chase-II算法的译码性能逐步完善。

表 2 概率 TPC 算法仿真环境

TPC 译码算法	Stochastic-TPC
BCH 字码码型	(255, 239, 2)
CRC 校验位	8 比特
CRC 多项式	$x^8 + x^7 + x^6 + x^4 + x^2 + 1$
TPC 信息码	57 121
TPC 码长	65 025
调制方式	BPSK 调制
信道环境	AWGN 信道
仿真方法	Float-Point
仿真规模	1 000 码块

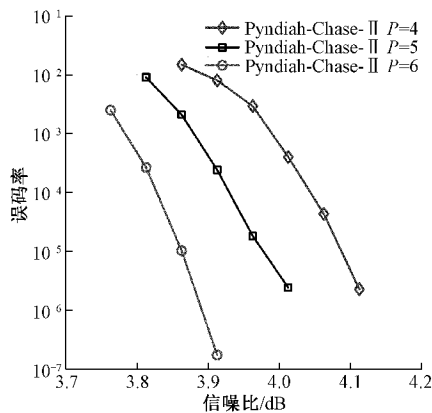


图 3 Pyndiah-Chase-II 算法误码率性能

3.2 Stochastic-TPC 算法的性能仿真分析

本文对 Stochastic-TPC 算法在随机比特流长度 $L = 128, 256, 512, 1\ 024$ 的条件下分别进行仿真分析,如图 4 所示,可以得出结论,随着比特流长度的增加,Stochastic-TPC 译码性能逐步完善。

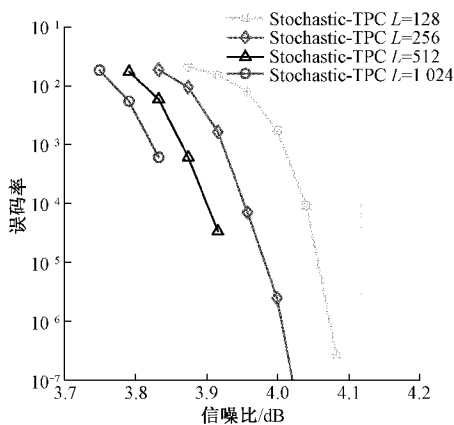


图 4 概率 TPC 算法误码率性能

3.3 Stochastic-TPC 算法与 Pyndiah-Chase-II 算法的性能对比分析

Stochastic-TPC 算法与 Pyndiah-Chase-II 算法的误码率仿真结果对比如图 5 所示,其中 Pyndiah-Chase-II 算法的

遍历翻转数量设置为 $P=6$,迭代次数为 4 次;Stochastic-TPC 算法最大比特流长度分别设置为 $L = 512, 1\ 024$ 。从仿真结果分析可以看到,Stochastic-TPC 算法在最大比特流长度 $L=1\ 024$ 时,BER 性能优于遍历翻转比特数量设置位 $P=6$ 的 Pyndiah-Chase-II 算法,性能增益为 0.05 dB;而 $L=512$ 的 Stochastic-TPC 算法 BER 性能接近但略差于 Pyndiah-Chase-II 算法。进一步的比较误块率(block error rate, BLER)性能,我们可以看到 $L = 512, 1\ 024$ 的 Stochastic-TPC 算法性能均优于传统的 Pyndiah-Chase-II 算法。

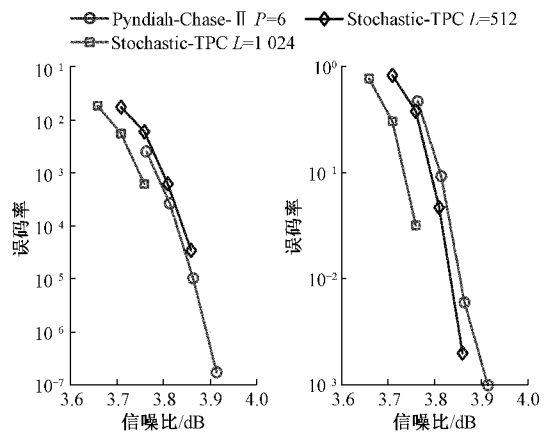


图 5 误码率 & 误块率性能对比

3.4 Stochastic-TPC 算法译码时延仿真分析

由于 Stochastic-TPC 算法的逻辑结构简单,均为门级操作,不进行复杂的逻辑运算,其每一次迭代可以在一个时钟周期内完成,因此译码时延约等于随机比特流长度。因此, $L=1\ 024$ 的 Stochastic-TPC 算法的译码时延大约为 1 024 个时钟周期。由于 Stochastic-TPC 算法中采用了 CRC 辅助的提前终止译码准则,进一步分析译码时延,统计结果如图 6 所示,可以看到随着信噪比的增加,平均时延快速下降。

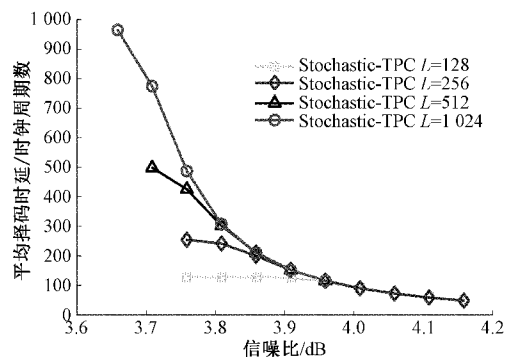


图 6 译码时延

4 概率 TPC 算法的硬件设计

本文基于概率计算的 TPC 译码算法在 FPGA 平台上

进行硬件设计,采用 Verilog 硬件描述语言进行电路的逻辑设计。Stochastic-TPC 算法的系统硬件设计如图 7 所示,图中箭头的方向为数据流向以及信号反馈方向,8 代表数据以字节为单位进行流动。

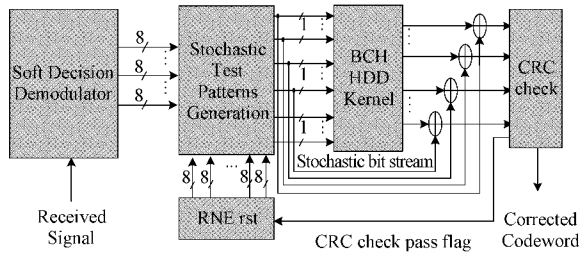


图 7 概率 TPC 算法的硬件系统

4.1 Stochastic Test Patterns Genertion 层硬件设计

在 Stochastic-TPC 算法的 Stochastic Test Patterns Genertion 层将接收到经过解调之后的对数似然比信息生成随机比特流矩阵,在许多面向通信信号处理的概率计算处理模块中,对于概率计算运算单元多个随机比特流之间的独立性要求其实可以退化为相关性比较低,在次条件下一般即可达到令人满意的仿真性能。基于这一前提,本文提出了一种基于 m 序列的可共享的伪随机数产生方法,硬件实现电路如图 8 所示。

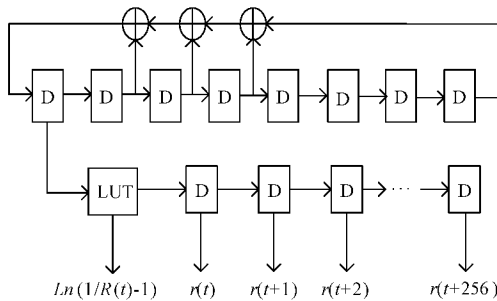


图 8 对数似然比到随机比特流转换随机数发生器硬件结构

4.2 BCH HDD Kernel 层硬件设计

在 Stochastic-TPC 算法的 BCH HDD Kernel 层将 Stochastic Test Patterns Genertion 层产生的随机比特流进行 BCH 硬件译码判决,将接收到的数据与 H 矩阵进行异或得到 16 位 LUT 地址位,根据这 16 位 LUT 地址就可以得出信息相应的错误位置,然后利用错误信息进行译码校正,采用查找表的方式即可实现,硬件实现方法如图 9 所示。

4.3 CRC check 层硬件设计

在 Stochastic-TPC 算法的 CRC check 层对 BCH HDD Kernel 层的信息数据进行 CRC 检验,CRC 校验通过的数据即为正确译码,将 CRC 校验错误的数据信息反馈到 Stochastic Test Patterns Genertion 层进行第 2 次迭代,直到最大迭代次数,CRC check 层的硬件实现如图 10 所示。

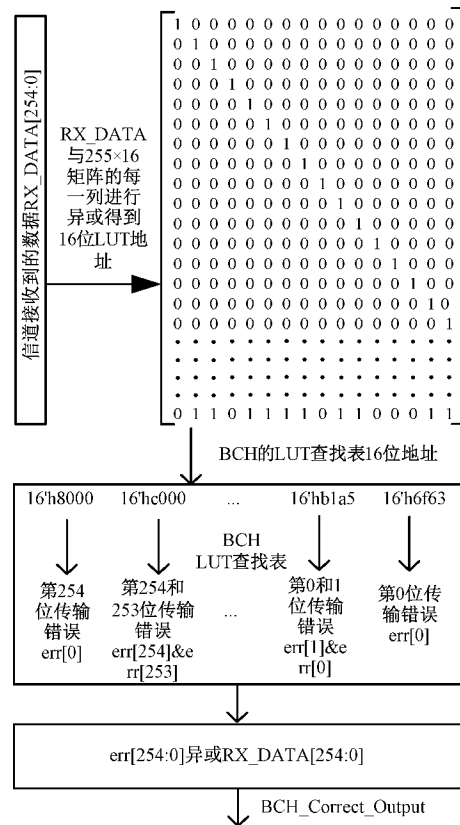


图 9 BCH 硬件判决层硬件实现结构

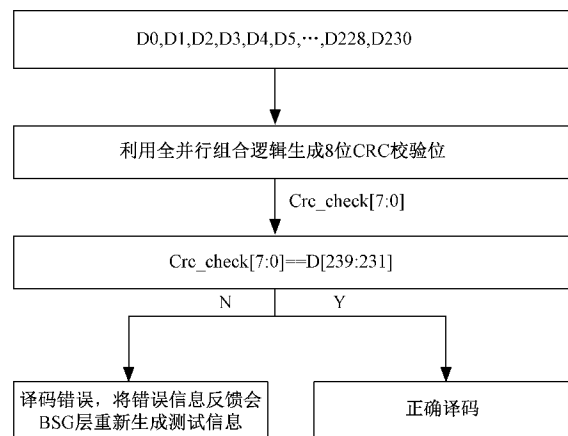


图 10 CRC 校验层硬件实现

5 概率 TPC 算法的硬件实现及应用实例

Stochastic-TPC 算法的 BSG 层采用全并行随机比特流生成结构,主要涉及寄存器、比较器、MUX 选择器等组件;行列 HDD 层初步采用 LUT-based 的硬判决 BCH 译码器结构;CRC 校验层采用全并行 CRC 校验结构;输出层主要为寄存器开销。因此在进行硬件实现时逻辑电路结构简单,便于用集成电路实现,硬件开销如表 3 所示,达到了预期目的。

表3 概率TPC算法硬件开销

子模块	逻辑门开销	硬件架构
BSG层	18 312 K	全并行比特流生成
行列HDD层	72 124 K	硬判决译码
CRC校验层	494 K	全并行CRC校验
输出层	1 300 K	寄存器组
合计	92 230 K	

本文的 Stochastic-TPC 算法应用在用于智慧医疗领域中体征参数传输的无线体域网的信道译码部分,医疗无线体域网各种场景的数据传输速率如表4所示。无线体域网在本文中的应用是用于心电信号的传输,所以由表4可以看出数据传输速率在288 kbit/s,传输速率相对较低,因此需要较高的可靠性(误码率小于 10^{-4})和低延时,由上述图4、6可知 Stochastic-TPC 算法的误码率和译码延时均能达到要求。

表4 医疗无线体域网各种场景的数据传输速率

应用场景	数据传输速率/(bit·s ⁻¹)
心电图	288 k
肌电图	320 k
血液饱和	16
葡萄糖监控	1 600
温度	120
运动传感器	35 k
耳蜗植入	100 k

6 结 论

本文提出了一种全新的基于概率计算的TPC译码算法,充分利用了概率计算的运算优点,避免了进行传统二进制的复杂运算,并且由于采用了查找表方式进行硬判决译码的硬件实现、CRC校验提前终止算法的迭代译码,使算法的各个层级的硬件实现结构简单,在利用FPGA进行实现时,资源占用较少,运行速率高,译码时延小。基于MATLAB工具的仿真分析结果也证明 Stochastic-TPC 算法相比传统的Pyndiah-Chase-II算法具有更好的译码性能,基于概率计算的TPC译码算法具有良好的实用价值。

参考文献

- [1] 付林军,王凤随,刘正男.改进自适应CEEMD方法在心电信号去噪中的应用[J].电子测量与仪器学报,2020,34(4):50-57.
- [2] 霍东风,谭励夫,胡学亮,等.一种提取呼吸信号的可穿戴无线心电图监测系统[J].国外电子测量技术,2018,37(7):98-102.
- [3] 李荣春,周鑫,潘衡岳,等.基于GPU的并行Turbo乘

积码译码器[J].计算机工程与科学,2020,42(5):761-769.

- [4] 钱明,季晓勇.卫星通信中Turbo乘积码的快速译码[J].电子测量技术,2013,36(6):117-120.
- [5] 卢昊,张佳岩,马永奎.非顺序的TPC软判决迭代译码算法[J].吉林大学学报(信息科学版),2018,36(1):20-25.
- [6] JIAO S, LUAN L, QU H, et al. Optimization and implementation of TPC decoding algorithm[C]. Eighth International Conference on Instrumentation & Measurement, Computer, Communication and Control (IMCCC), Harbin, China, 2018, 50(7): 385-389.
- [7] NAGEEN N, SUBHASHINI, BHATIA V. An efficient FPGA implementation of Turbo product code decoder with single and double error correction[C]. National Conference on Communications (NCC), Kharagpur, India, 2020, 39(17): 1-6.
- [8] WANG Y, LIN J, WANG Z. A new soft-input hard-output decoding algorithm for turbo product codes[J]. IEEE International Symposium on Circuits and Systems(ISCAS), 2018, 11(9): 1-5.
- [9] MA Y M, LAI P H, WANG S L, et al. Optimized iterative decoding method for TPC coded CPM[C]. 6th International Conference on Computer-Aided Design, Manufacturing, Modeling and Simula (CDMMS), Busan, South Korea, 2018, 9(18): 20035-20039.
- [10] ZHANG L, KUANG W. Research and implementation of TPC coding in high bit rate telemetry system[C]. 2019 IEEE 13th International Conference on ASIC (ASICON), 2019, 45(1): 3461-3464.
- [11] MUKHTAR H, DWEIK A, SHAMI A. Turbo product codes: Applications, challenges, and future directions[J]. IEEE Communications Surveys & Tutorials, 2016, 18(4): 3052-3069.
- [12] 李超.基于FPGA的TPC编译码器设计与实现[J].电子科技,2015,28(5):121-123.
- [13] WANG Y, LIN J, WANG Z. A low-complexity decoder for Turbo product codes based on extended Hamming codes[C]. 2018 IEEE 18th International Conference on Communication Technology (ICCT), 2018, 28(11): 99-103.
- [14] 孔挺,余鹏,瞿东辉.改进查找表译码算法在TPC中的应用研究[J].信息技术,2017,15(9):125-129.
- [15] 卜登立.基于概率表达式的MPRM电路功耗计算方法[J].电子学报,2018,46(12):3060-3067.
- [16] KADAN F E. Ambiguity and gross error probability calculation for direction finding antenna arrays[C]. 2017 25th Signal Processing and Communications

Applications Conference(SIU), 2017,33(4): 199-202.

- [17] 张舒然,武岩波,朱敏. 基于MCMC采样器的簇稀疏水声信道估计方法[J]. 仪器仪表学报,2019,40(8): 201-212.

作者简介

庞宇,博士,教授,博士生导师,主要研究方向为通信集成电路设计、逻辑综合、无线通信、神经网络、人工智能、数字医疗设备等。

E-mail:pangyu@cqupt.edu.cn

王小兵,硕士研究生,主要研究方向为通信编译码算法的研究、通信集成电路设计、数字医疗设备、嵌入式系统等。

E-mail:15123094369@163.com

张颖,硕士研究生,主要研究方向为通信编译码算法的研究、随机计算、人工智能、数字医疗设备等。

E-mail:634745709@qq.com

谭鸿浩,硕士研究生,主要研究方向为通信编译码算法的研究、CUDA、人工智能、数字医疗设备等。

E-mail:1367076136@qq.com