

DOI:10.19651/j.cnki.emt.2106790

一种将鉴频鉴相器和电荷泵分为奇偶周期的设计^{*}

谭睿 冯全源

(西南交通大学 微电子研究所 成都 611756)

摘要: 设计了应用于锁相环系统的鉴频鉴相器和电荷泵模块,通过将采样周期分为奇偶两组,避免了复位延迟信号过大带来的交叠问题。通过数据选择器将鉴频鉴相器分为奇偶周期,电荷泵的设计采用源极开关电荷泵结构,并加入运算放大器提高电荷泵的匹配特性和输出电压范围。基于 TSMC N28 nm CMOS 工艺,用 Spectre 对电路进行仿真。仿真结果表明,电荷泵电路在输出电压为 0~0.9 V 时充放电电流失配度小于 0.4%,在输出电压为 0.45 V 时充放电电流失配度仅为 0.028%;鉴频鉴相器和电荷泵级联仿真的动态特性曲线具有良好的线性度,且鉴频鉴相器输入两信号同相时,电荷泵输出平均电流仅为 -4.159 nA,有良好的动态匹配特性。

关键词: 鉴频鉴相器;电荷泵;源极开关;动态匹配;奇偶周期

中图分类号: TN432 **文献标识码:** A **国家标准学科分类代码:** 510.3040

Design of phase frequency detector and charge pump with odd and even period

Tan Rui Feng Quanyuan

(Institute of Microelectronics, Southwest Jiaotong University, Chengdu 611756, China)

Abstract: The design of phase frequency detector and charge pump used in the phase-locked loop system has been achieved in this paper. The sampling period is divided into odd and even to avoid the overlap problem caused by the excessive reset delay signal. The phase frequency detector is divided into odd and even period by the data selector. The structure of the source-switch charge pump is adopted, and an operational amplifier is added to the structure to improve the matching characteristics and output voltage range of the charge pump. The circuit designed by TSMC N28 nm CMOS was simulated and verified in the Spectre. The simulation results show that when the output voltage of the charge pump circuit is 0~0.9 V, the charge and discharge current mismatch is less than 0.4%, and when the output voltage is 0.45 V, the charge and discharge current mismatch is only 0.028%; the frequency detector and the dynamic characteristic curve of the charge pump cascade simulation has good linearity, and when the two input signals phase of the frequency detector are same, the average output current of the charge pump is only -4.159 nA, which has good dynamic matching characteristics.

Keywords: phase frequency detector; charge pump; source-switch; dynamic matching; odd and even period

0 引言

频率合成器是电子测量仪器的核心部件,其中间接锁相式频率合成技术作为频率合成技术的其中一类,是利用锁相环通过标准频率源得到所需的频率^[1]。而鉴频鉴相器(phase frequency detector, PFD)和电荷泵(charge pump, CP)作为锁相环的两个重要模块,对锁相环性能的优劣有

着重要影响^[2-3]。鉴频鉴相器存在鉴相死区,即当鉴频鉴相器输入的基准信号和反馈信号之间的相位差低于一定值时,此相位差不能识别出来^[4]。国内外解决方法如下,文献[5]提出电路结构在预充电鉴频鉴相器的基础上进行了改进,该结构采样速度快功耗低,但是鉴相范围小且存在死区,对锁相环系统有较大的抖动影响;文献[6]提出的电路结构无复位信号的反馈路径,通过晶体管进行自动复位

收稿日期:2021-05-27

^{*} 基金项目:国家自然科学基金重大项目(62090012)、国家自然科学基金重点项目(62031016,61831017)、四川省重点项目(2019YFG0498,2020YFG0282,2020YFG0452,2020YFG0028)资助

操作,虽然该结构无死区,但是鉴相范围小,且检测的输入信号依赖于占空比大小,限制了锁相环的捕获范围;文献[7]采用的鉴频鉴相器结构由两个 DFF 电路和逻辑门构成,只检测输入信号的时钟边沿变化,鉴相范围大,为了克服死区效应添加了复位信号的延迟,但复位延迟需要选择一个适中的值,如果复位延迟过大,当鉴频鉴相器输入的基准信号与反馈信号相位差较大时,上一个周期产生的复位信号可能会与基准信号的下一个上升沿有交叠,使鉴频鉴相器功能异常。

因此本文针对解决鉴频鉴相器的死区效应及复位延迟信号的折中问题,在 RS 触发器实现的 PFD 基础上,设计了一种分为奇偶周期采样的鉴频鉴相器与电荷泵的电路结构,解决了因上一个周期产生的复位信号延迟过大而与基准信号下一个上升沿的交叠问题,进而提升鉴相精度,改进锁相环系统的抖动性能。

1 鉴频鉴相器和电荷泵的基本原理

1.1 传统鉴频鉴相器和电荷泵的电路结构

传统的鉴频鉴相器实现方式有很多种,比如两异或门 PFD、非时钟 PFD、预充电 PFD、基于 RS 触发器实现的 PFD 和基于 D 触发器实现的三态 PFD 等^[8]。

最基础的单端输入电荷泵一般由两个开关和两个恒流源构成,其中开关由 PFD 输出的 UP 和 DW 信号控制。根据恒流源与开关位置的不同,分为源极开关、栅极开关和漏极开关 3 种结构的电荷泵^[9],如图 1 所示。

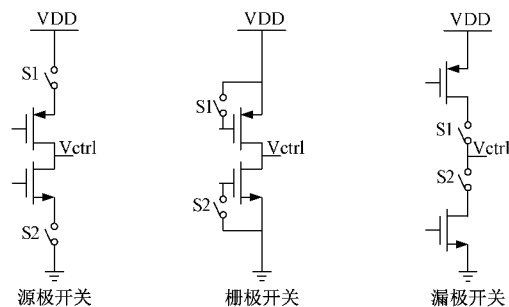


图 1 位置不同的 3 种结构的电荷泵

在开关开启的瞬间,此时漏极开关电荷泵的电流源工作在线性区,会造成较大的尖峰电流,从而使输出端电压产生纹波,影响 PLL 系统的抖动性能^[10],且还存在时钟馈通、电荷共享等非理想效应。栅极开关电荷泵的电流源在栅极节点上的时间常数会影响开关管的速度,这就使得提供的偏置电流不能过小,但是为了降低功耗,恰恰提供偏置的镜像电流管尺寸会较小,这会使得电流源栅极节点时间常数增大,开关管的响应速度降低。源极开关电荷泵开关切换速度快、电流源管只有饱和、截止两种状态,所以匹配性能好,且能有效抑制电荷共享效应^[11-12]。

1.2 复位信号延迟的大小的影响

理想情况下鉴频鉴相器的鉴相精度应该为 0,但是实

际应用中鉴频鉴相器存在“鉴相死区”。“死区效应”产生的原因是鉴频鉴相器的输入相位差会转换成 UP 和 DW 信号,而 UP 和 DW 的输出节点存在寄生电容,会对其进行充放电,当鉴频鉴相器的输入相位差低于一定值时,UP 或 DW 信号的脉冲宽度就会很窄,此时 UP 或 DW 输出端没有足够的时间完成高低电平的翻转。

最常用克服鉴频鉴相器“死区效应”的方法是添加复位信号的延迟,而复位延迟需要选择一个适中的值,当复位延迟过大时,如果此时鉴频鉴相器输入的基准信号与反馈信号相位差较大,上一个周期产生的复位信号可能会与基准信号的下一个上升沿有交叠,使鉴频鉴相器功能异常,如图 2 所示。

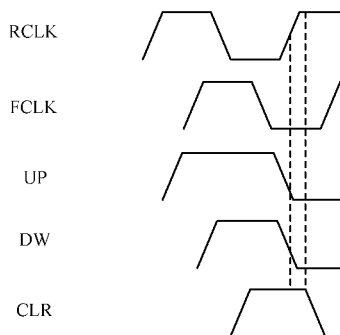


图 2 复位延迟过大造成鉴频鉴相器功能异常

本文设计的具有奇偶周期的鉴频鉴相器和电荷泵的电路结构,可以避免上述产生的问题。将 UP 与 DW 信号分为奇周期和偶周期,避免产生上一个周期的复位信号与基准信号下一个上升沿的交叠的问题。

2 鉴频鉴相器的设计

2.1 PFD 的电路结构

图 3 为本文设计的新型 PFD 的电路结构,新型 PFD 电路结构是在基于 RS 触发器实现的 PFD 的基础上改进的。如图 3 所示,两个主从 RS 锁存器与一个四输入与非门组成传统 PFD 电路结构,其中四输入与非门产生的复位信号通过延迟单元传输给 RS 锁存器,A 和 B 两点等同于传统 PFD 产生的 UP 和 DW 信号。C 和 D 两点与 A 和 B 两点的区别是,C 和 D 为采样未经过延迟的复位信号而产生的 UP、DW 信号。

Odd and Even 模块输入 UP 与 DW 信号的或值,输出为分别在 UP 和 DW 信号上升沿和下降沿翻转的 4 个数字信号,并且两两逻辑关系互为非,其中下降沿翻转的两个数字信号分别与未经过延迟复位产生的 UP、DW 信号相与,产生 UP_O、DW_O、UP_E、DW_E 4 个信号,将 UP、DW 信号分成了奇偶周期。此外,在 UP_O 和 UP_E 输出端增加传输门以匹配 DW_O 和 DW_E 输出端反相器的传播时间。

Control 模块输出控制两个电荷泵工作或者保持的数字信号,使其分别在奇周期或者偶周期进行相应的工作状态。

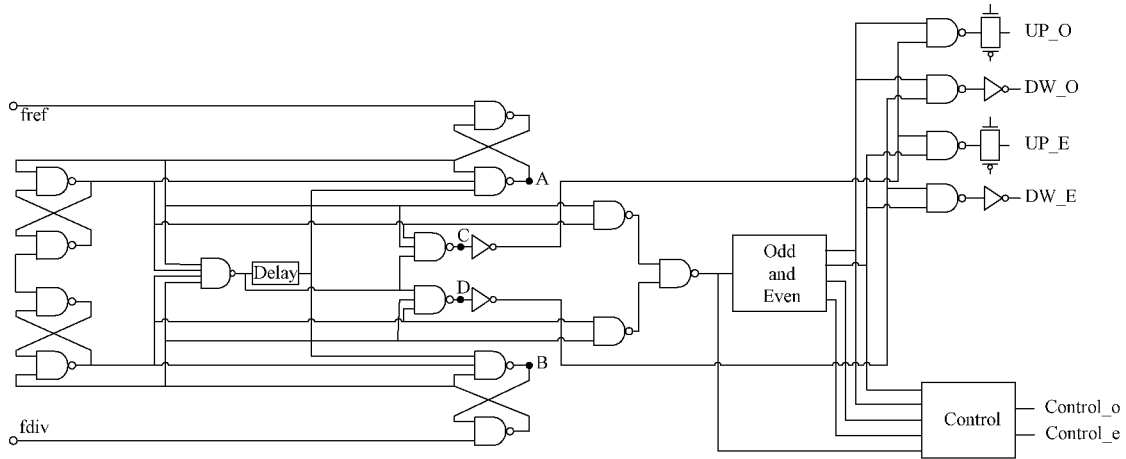


图 3 PFD 电路结构

2.2 Odd and Even 的电路结构

Odd and Even 模块由 3 个 2 选 1 数据选择器(multiplexer, MUX)组成,输出两对逻辑关系互为非的分别在输入信号上升沿和下降沿翻转的 4 组信号。其电路结构如图 4(a)所示。

输入 IN 连接 3 个数据选择器的地址输入端,当输入 IN 从 0 变为 1 时,MUX2 状态翻转,MUX3 状态保持,即 con_o 与 con_e 在输入 IN 信号上升沿处翻转;当输入 IN 从 1 变为 0 时,MUX2 状态保持,MUX3 状态翻转,即 out_o 与 out_e 在输入 IN 信号下降沿处翻转。

其中 MUX 的电路结构如图 4(b)所示。当 S 为低电平时,N3 和 P4 关断,P3 和 N4 开启,OUT=A;当 S 为高电平时,P3 和 N4 关断,N3 和 P4 开启,OUT=B。各同款器件参数相等,保证信号经历的延迟一致。

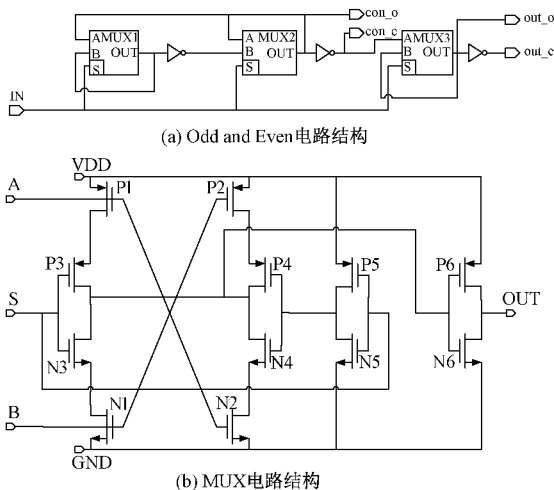
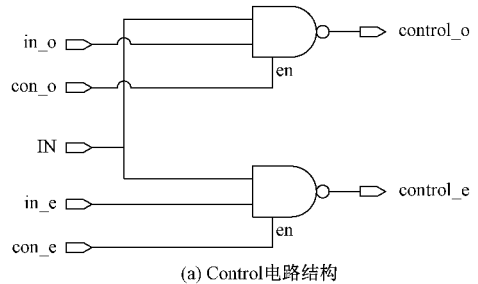


图 4 Odd and Even 电路结构

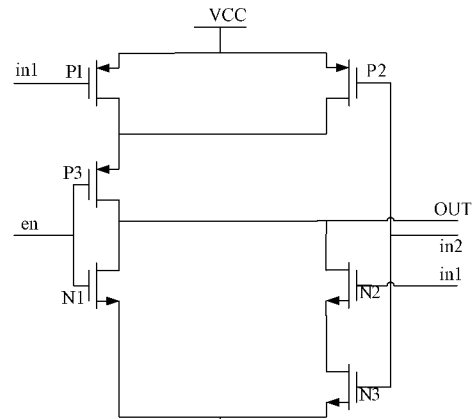
2.3 Control 的电路结构

Control 模块由两个带使能端的二输入与非门组成,如图 5(a)所示。与非门的电路如图 5(b)所示。当使能端 en 为高电平时,N1 开启 P3 关断输出始终为低电平;当使

能端 en 为低电平时,N1 关断 P3 开启,电路为二输入与非门结构,输出 $OUT = in1 \cdot in2$ 。



(a) Control 电路结构



(b) 带使能端的二输入与非门电路结构

图 5 Control 电路结构

3 电荷泵的设计

源极开关电荷泵开关速度快、匹配性能好且非理想效应较小,本文提出的源极开关电荷泵如图 6 所示。其中 UP_O、DW_O、UP_E、DW_E、Control_o 与 Control_e 的输入信号为鉴频鉴相器的输出。

本文 P1~P4 和 N1~N6 构成源极开关电荷泵电路结构,并通过高增益运算放大器的虚短原理钳制 A 点电压与 B 点电压相等,在 PLL 系统中 B 点电压受压控振荡器

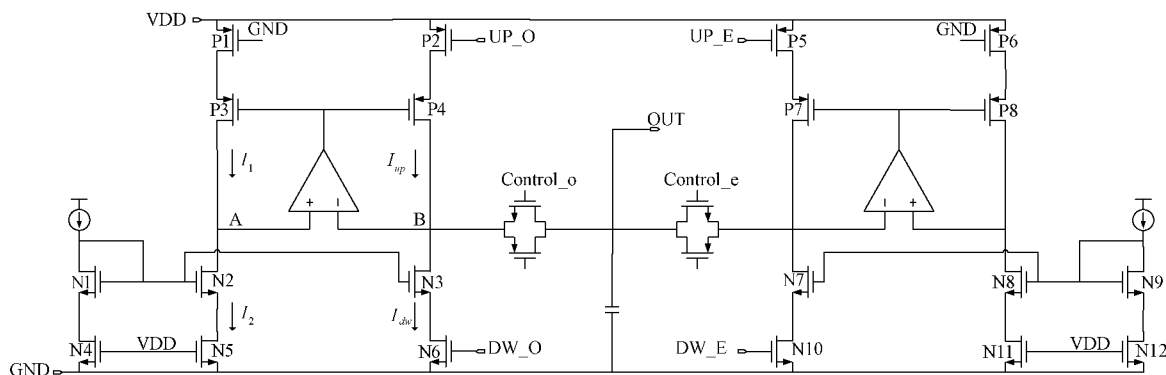


图 6 源极开关结构的电荷泵

(voltage-controlled oscillator, VCO) 的调谐电压影响, 通过运算放大器可以增强电荷泵的匹配性能, 使得在很宽的输出电压范围内, A 和 B 两点电位相同。当 UP_O 为低电平, DW_O 为高电平时, 充放电支路同时导通, 此时由于 P2、P4、N3 和 N6 构成的支路是 P1、P3、N2 和 N5 的复制电路, 有 $I_1 = I_{up}$, $I_2 = I_{dw}$, 而运算放大器是栅极输入结构, 其输入端没有电流, 所以 $I_1 = I_2$, 也就是 $I_{up} = I_{dw}$, 提高了电荷泵的匹配特性。

P1~P4、N1~N6 与 P5~P8、N7~N12 互为对称的相同结构, 通过 PFD 模块的输出信号 Control_o 与 Control_e 控制的两个传输门构成完整的分为奇偶采样周期的电荷泵电路。当 Control_o 为高电平时, 奇周期的采样电路开启, 通过 UP_O 与 DW_O 控制的开关管对采样电容进行充放电; 当 Control_e 为高电平时, 奇周期的采样电路开启, 通过 UP_E 与 DW_E 控制的开关管对采样电容进行充放电。

4 仿真结果

本设计通过 Spectre 软件对电荷泵的匹配特性和鉴频鉴相器与电荷泵的功能及动态特性进行模拟验证, 采用 TSMC N28 nm CMOS 工艺。

4.1 电荷泵的电匹配特性仿真

图 7 为电荷泵在输出电压于 0~0.9 V 变化时, 电荷泵静态电流匹配特性。其中用来衡量电荷泵静态电流匹配特性的为电荷泵充放电电流的失配度 $I_{mismatch}^{[13]}$, 如式(1)所示。

$$I_{mismatch} = \frac{|I_{up} - I_{dw}|}{(I_{up} + I_{dw})/2} \times 100\% \quad (1)$$

图 7 为室温 27 °C、tt 工艺角下直流匹配性能的仿真结果。电源电压为 0.9 V, 输出电压为 0.12~0.81 V 时电荷泵充放电电流失配度小于 0.4%, 在输出电压为 $VDD/2 = 0.45$ V 时, 电荷泵充放电电流失配度仅有 0.028%。文献[14]中电荷泵充放电电流失配度为小于 0.84%, 本设计相较于文献[14]的结果充放电电流失配度降低了 52.3%。

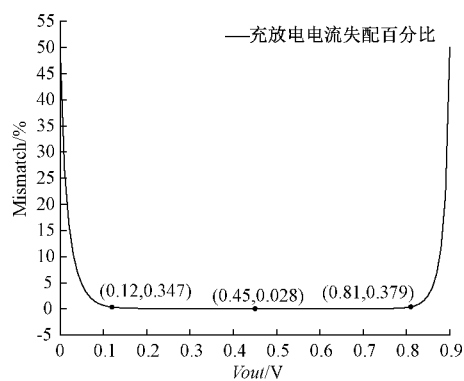


图 7 电荷泵静态电流匹配特性

4.2 鉴频鉴相器与电荷泵的功能性仿真

图 8 为 PFD 与 CP 的级联仿真结果, 显示了室温 27 °C、tt 工艺角下, 电源电压为 0.9 V 时 PFD 与 CP 级联的功能性仿真。

图 8(a) 为 PFD 与 CP 级联输入同频不同相并且 RCLK 信号超前 FCLK 信号时, PFD 的输出 UP_O、DW_O、UP_E 与 DW_E 信号及 CP 输出电压的波形。可以看出, UP 与 DW 信号被分成了奇偶两个周期, 在 RCLK 超前 FCLK 时 UP 信号跳变为低电平, 此时 CP 进行充电; 图 8(b) 为 PFD 与 CP 级联输入同频不同相并且 RCLK 信号滞后 FCLK 信号时, PFD 的输出 UP_O、DW_O、UP_E 与 DW_E 信号及 CP 输出电压的波形。可以看出, UP 与 DW 信号同样被分成了奇偶两个周期, 在 RCLK 滞后于 FCLK 时 DW 信号跳变为高电平, 此时 CP 进行放电。仿真结果表明在电荷泵充放电期间, CP 的输出电压具有良好的线性度, 且在非充放电期间, CP 输出电压保持动态平衡无明显变化; 与文献[7]的仿真结果对比, 明显看出在充放电结束瞬间, 电荷泵的输出电压无明显阶跃变化, 对时钟馈通和电荷注入效应均有明显的改善。

4.3 鉴频鉴相器与电荷泵的动态特性

图 9 为室温 27 °C、tt 工艺角下, 电源电压为 0.9 V 时 PFD 与 CP 联合仿真得到的线性度曲线。其中鉴频鉴相器输入的周期为 6 ns, PFD 的两个输入信号相位差为 Delay

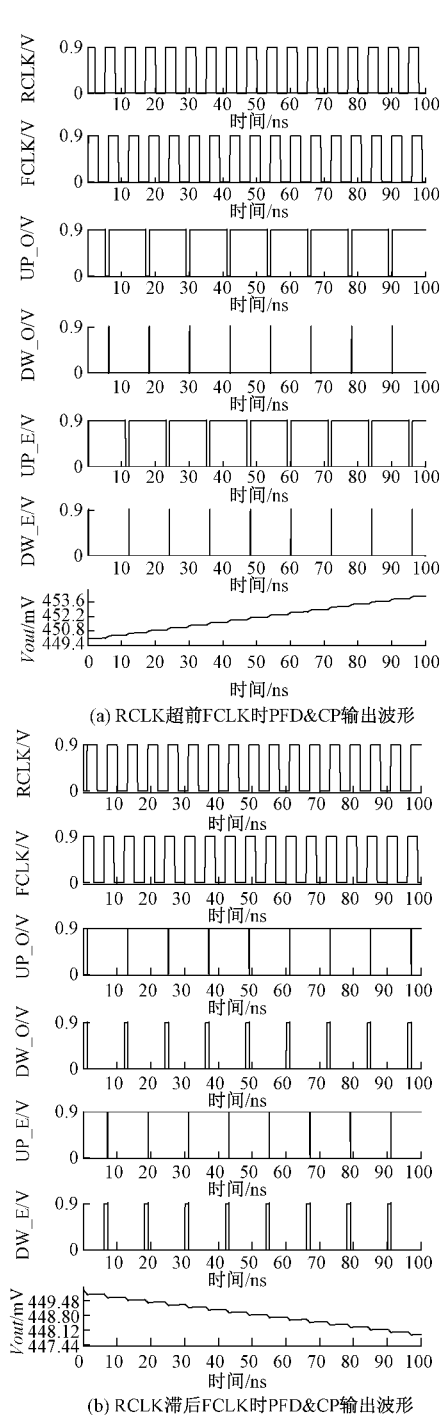


图8 同频不同相下PFD&CP输出波形

时,电荷泵输出的平均电流随 Delay 的变化而变化的情况。文献[15]中输入两信号同相时,电荷泵输出的平均电流为 29.1 nA,而本设计中当 PFD 输入两信号同相即 Delay=0 时,此时电荷泵输出的平均电流仅为 -4.159 nA,且从动态特性曲线可以看出电路具有良好的线性度,说明鉴频鉴相器与电荷泵电路具有良好的动态匹配特性。

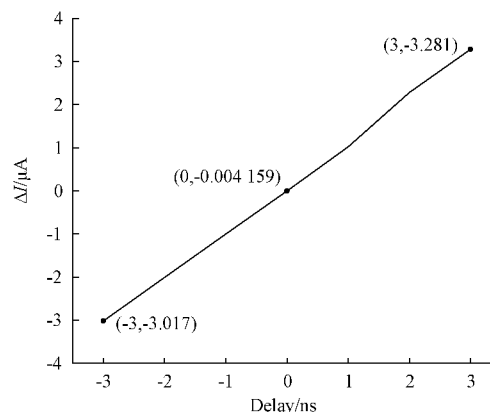


图9 PFD和CP的动态匹配特性

5 结 论

采用 TSMC N28 nm CMOS 工艺,设计了一种分为奇偶周期采样进行充放电的鉴频鉴相器与电荷泵的结构,避免了复位信号延迟过大带来的交叠问题;采用源极开关电荷泵结构,有开关切换速度快、匹配性能好、有效抑制电荷共享效应的性能优势,在电荷泵中加入运放结构,进一步提高了电荷泵的匹配性能和输出电压变化范围。Spectre 仿真结果表明,设计的 CP 电路在输出电压为 0~0.9 V 时充放电电流失配度小于 0.4%,在输出电压为 0.45 V 时充放电电流失配度仅为 0.028%;PFD 与 CP 的级联功能性仿真表明设计的电路性能良好;PFD 输入两信号同相时,CP 输出平均电流仅为 -4.159 nA,且动态特性曲线表明电路具有良好的线性度,即具有良好的动态匹配特性。但是本设计也具有电荷泵输出范围较小、功耗较大等缺点,未来可以对电路结构进行进一步改善。

参考文献

- [1] 陈丽,张晓来,朱伟.一种工作至 K 波段的矢量激励信号源的设计[J].电子测量技术,2020,43(14):5-9.
- [2] DHAR D, ZEIJL P V, MILOSEVIC D, et al. Analysis of the effect of PFD sampling on charge-pump PLL stability[C]. 2018 IEEE International Symposium on Circuits and Systems (ISCAS), 2018: 1-5.
- [3] 陈彬,叶翔,许伟民,等.一种小型化可重构分频电路设计[J].电子测量技术,2020,43(16):37-40.
- [4] 李森,江金光.低杂散锁相环中鉴频鉴相器与电荷泵的设计[J].微电子学,2016,46(2):228-232.
- [5] PRADHAN N, JANA S K. Design of phase frequency detector with improved output characteristics operating in the range of 1.25 MHz~3.8 GHz[J]. Analog Integrated Circuits and Signal Processing, 2021,107(1):101-108.
- [6] MOHAMMADI M S, SADUGHI S, RAZAGHIAN F.

- Low-power high-speed phase frequency detector based on carbon nano-tube field effect transistors[J]. *Analog Integrated Circuits and Signal Processing*, 2021, 108(2):377-389.
- [7] 苏浩,郭京,牟仕浩,等.高性能 CMOS 鉴频鉴相器和电荷泵的设计[J]. *电子设计工程*, 2021, 29(1): 6-10,15.
- [8] 孙境余,王春雷,侯力梅,等. CMOS 锁相环中鉴频鉴相器的研究[J]. *黑龙江大学自然科学学报*, 2016, 33(3):416-420.
- [9] 汪伟江. 低电压低功耗鉴频鉴相器与电荷泵的设计[D]. 南京:东南大学,2016.
- [10] BOU-SLEIMAN S, ISMAIL M. A nanoscale CMOS charge pump with near perfect current matching[C]. 2013 IEEE 56th International Midwest Symposium on Circuits and Systems(MWSCAS), 2013: 1100-1103.
- [11] 张久民,段吉海,徐卫林,等. 一种宽动态范围低失配的电荷泵[J]. *微电子学*, 2020, 50(1):84-89.
- [12] AVALLONE L, NAPOLI E, KENNEDY M P. Switched capacitor charge pump voltage-controlled current source [C]. 2018 29th Irish Signals and Systems Conference(ISSC), 2018: 1-6.
- [13] BHARDWAJ M, PANDEY S. Design of a wide output range and reduced current mismatch charge pump PLL with improved performance [C]. 2016 International Conference on Advances in Computing, Communications and Informatics (ICACCI), 2016: 2644-2649.
- [14] CHEN Y, HAN Y, WANG S. A high swing charge pump with current mismatch reduction for PLL applications[J]. *IEICE Electronics Express*, 2021, 18(4):1-6.
- [15] 谢灿,黄水龙. 基于 28 nm CMOS 工艺的鉴频鉴相器和电荷泵设计[J]. *微电子学与计算机*, 2016, 33(12): 57-61.

作者简介

谭睿, 硕士研究生, 主要研究方向为电路与系统、模拟集成电路设计。

E-mail: 853166131@qq.com

冯全源(通信作者), 教授, 博士生导师, 主要研究方向为集成电路设计、功率器件设计、移动天线与智能天线设计等。

E-mail: fengquanyuan@163.com