

DOI:10.19651/j.cnki.emt.2106432

基于CRC+8B/10B的高速远距离传输设计*

杜若楠 任勇峰 王淑琴

(中北大学 电子测试技术国家重点实验室 仪器科学与动态测试教育部重点实验室 太原 030051)

摘要: 针对航天测试中数据经过较长电缆传输可靠性下降的问题,设计了一种基于FPGA高可靠性传输系统。传输系统硬件采用成都振芯国产芯片GM8223和GM8224,配合使用驱动器和均衡器,增加增强电路驱动能力;加入预加重设计,增强信号高频成分,补偿衰减。传输系统软件从发送端初始化、LVDS收发逻辑流、CRC+8B/10B双重编码方面说明高可靠性传输。初始化可以保证发送端发送有效数,CRC+8B/10B双重编码以牺牲带宽来减少误码率。实践验证,在传输速率240 Mbit/s长度为120 m同轴电缆上可以实现零误码率传输。

关键词: 高速远距离传输;CRC检错;LVDS接口;8B/10B编解码;低误码率

中图分类号: TN710 **文献标识码:** A **国家标准学科分类代码:** 510.1050

Design of high speed and long distance transmission based on CRC+8B/10B

Du Ruonan Ren Yongfeng Wang Shuqin

(Key Laboratory of Instrumentation Science and Dynamic Testing, Ministry of Education, State Key Laboratory of Electronic Measurement Technology, North University of China, Taiyuan 030051, China)

Abstract: In order to reduce the reliability of data transmission through long cable in aerospace test, a high reliability transmission system based on FPGA is designed. Transmission system hardware adopts Chengdu vibration core domestic chips GM8223 and GM8224, with the use of drivers and equalizers to increase and enhance the driving ability of the circuit. Preweight design is added to enhance the high frequency component of the signal and compensate attenuation. The software of the transmission system explains the high reliability transmission in terms of the initialization of the sender, LVDS transceiver logic flow, and CRC+8B/10B dual coding. Initialization can ensure that the sender sends a valid number, CRC+8B/10B dual encoding reduces bit error rate by sacrificing bandwidth. It has been verified by practice that zero bit error rate transmission can be achieved on the 240 Mbit/s coaxial cable with the length of 120 m.

Keywords: high speed long distance transmission; CRC error detection; LVDS interface; 8B/10B encode; low bit error rate

0 引 言

如今科技飞速进步,需要计算机远程控制和测试被测设备,这就要求高速远距离高可靠性地传输数据。在某次测试任务中,数据采集装置需要采集被测设备多路模拟量,还要将采集到的数据实时回传到地面测试设备。因为对恶劣环境情况掌握不全面,用较长电缆连接到安全可靠的地方很有必要。

回读数据速率可以达到240 Mbit/s,国内外常用的并行传输方式可以满足要求,但是因为距离较远,加上连接器传输的损耗,数据误码较为严重。所以采用串行传输,串行

传输方式RS-422和RS-485^[1]传输较稳定,但二者都达不到240 Mbit/s高速传输要求。所以采用LVDS^[2]传输方式,但它在近距离传输中表现良好,消耗少,可靠性高,最主要是传输速率范围较大。所以考虑在近距离传输基础上软件加以优化改进^[3]。

为了实现本设计中120 m的远距离传输的要求,采用12对J14H型连接器,每段10 m电缆相连来高可靠性传输数据。硬件采用国产芯片代替传统国外芯片,配合使用发送驱动器和接收均衡器来增强电路驱动能力。因为传输速率较高,加入预加重设计,信号传输能力增强,尤其对高频

收稿日期:2021-04-20

* 基金项目:国家重点研发计划(2018YFF01010500)项目资助

部分进行了加强。

在硬件尽力优化的基础上,软件逻辑提出 LVDS 发送无效数和有效数相结合的方式,通过初始化的方式在数据发送前做好准备,保证发送端时序正确。LVDS 收发逻辑流提出自动发送重传,以太网处理重传反馈,减少误码率。同时 32 位 CRC^[4]校验和 8B/10B 编码双重保险来减小误码率,降低重传次数,保证无误传输。

1 总体方案设计

本系统^[3]总体结构如图 1 所示,由采编存储装置和地面综合测控台两部分构成。采编存储装置负责采集高速模拟量信号并存放在存储器中,地面测控台接收上位机的命令,通过以太网将指令发送下去,转发给采编存储装置,将飞行过程中存储的数据上传给上位机进行分析。

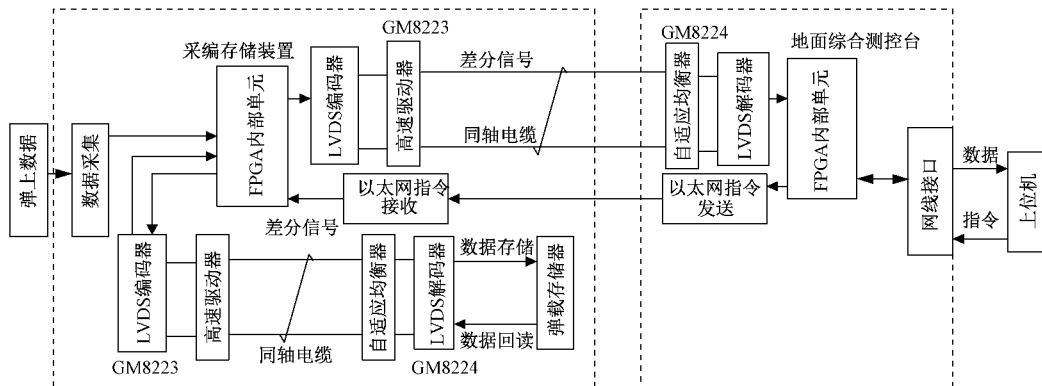


图 1 数据回读系统总体结构

2 硬件电路设计

为了支持“中国芯”工程的发展,打破芯片封锁,规避可能出现的芯片停产、禁运及对芯片插入木马的风险,本次设计 LVDS 编码器采用调研好的成都振芯的 GM8223 芯片和 GM8224 芯片。

任何信号在电缆传输中都会有或多或少的衰减,在这种情况下增加传输距离,提高传输速率,导致信号出现震荡以至于出现误码。为了保证传输质量,采用均衡技术,加入预加重结构,提高信号传输的准确性。由于没有合适的国产替代芯片,此次设计依旧沿用^[6]成熟芯片,驱动器 LMH0001 和均衡器 LMH0074。

2.1 发送端电路设计

如图 2 所示,A_DIN_0~A_DIN_9 是 FPGA 输出 10

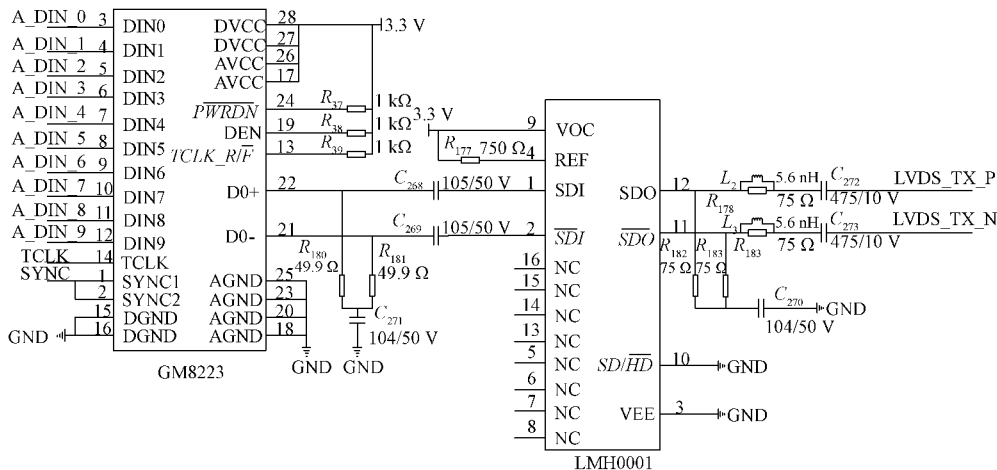


图 2 发送端电路设计

2.2 接收端电路设计

LMH0074 均衡器适用于传输速率范围为 78 ~ 540 Mbit/s,如图 3 所示,在 $\Delta E+$ 和 $\Delta E-$ 之间接 105 的电容,用来控制均衡环路的增益和带宽。 R_{29} 和 R_{30} 为终端匹配电阻,在 LMH0074 和 GM8224 之间串接精度 1% 的 100 Ω 电阻,可以有效保持信号完整性。从均衡器输出进入到解码器输入端中间匹配一个精度 1% 的 100 Ω 电阻,

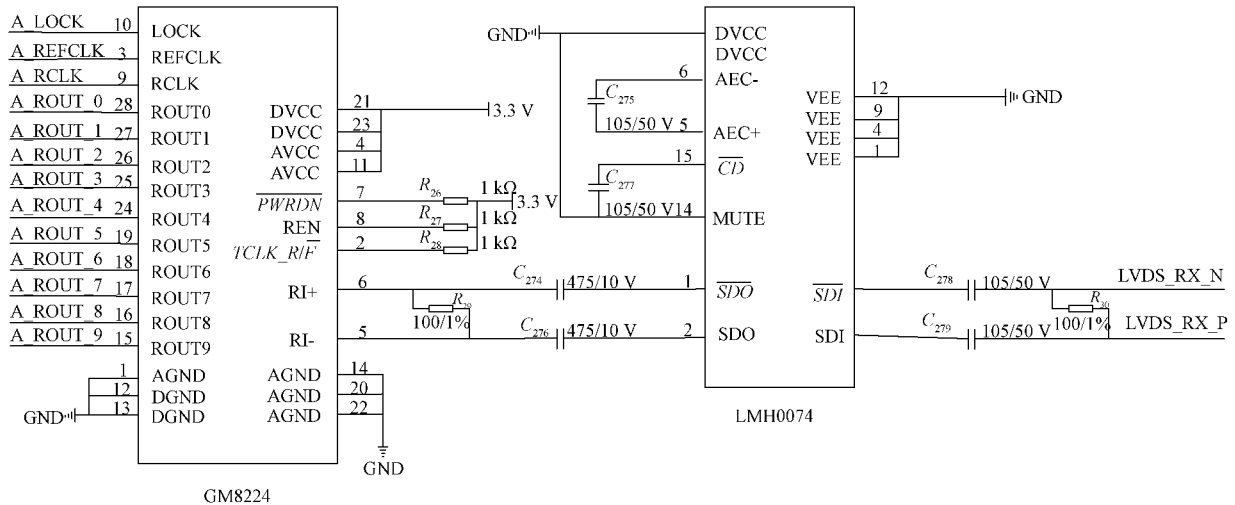


图3 接收端电路设计

3 系统软件逻辑设计

3.1 发送端电路设计

因为 GM8223 发送时钟为 20 MHz,所以主时钟采用 40 M 晶振,FPGA 时钟模块将 40 M 二分频,20 M 时钟输入 GM8223 的 TCLK 引脚,FPGA 输出 12 路信号,所以串行速率为 240 Mbit/s。

FPGA 先发送无效数等待 GM8223 和 GM8224 同步,稳定之后再发送有效数。如图 4 所示,首先编解码芯片通过使用锁相环共享一个本地时钟完成同步^[8]。数据记录时,FPGA 通过分配引脚将 20 M 时钟信号赋给编码器的 TCLK 引脚,此时 SYNC 引脚变为低电平。FPGA 发送 20 μ s 的烂数,发烂数同时同步逐渐完成。同步后,FPGA 等待发送有效数指令,当判到读数使能为 1 时,数据请求使能有效,当打包 FIFO 数据量达到 16 K 时,可以发送有效数。

3.2 数据收发逻辑设计

1) 发送端逻辑设计

数据包以 1 K 为单位,如图 5 所示,首先 Packet_ctr 模块将打包好的数据采用乒乓的方式交替写入 Fifo_A 和 Fifo_B 中,Fifo 用来匹配传输速度,Fifo 的读取和写入需要满足一定的条件才可以保证在确定数据正确前,没有被新写入的数据覆盖。Fifo_A 和 Fifo_B 读使能有效后,数据进入 CRC 校验码生成器。查表可得校验码,组成发送码组进入 LVDS_send 模块。经过 8B/10B 编码模块后,数据

可以有效较少信号发生反射。在均衡器输入端接两个 105 的隔直电容,避免输入电位影响正常的信号传输。

GM8224 解码器接收一对串行差分信号,转换为 10 路数据信号和 1 路时钟信号^[7] 进入 FPGA 处理。数据从存储器回读时,一对串行差分信号输入 GM8224 解码器,输出 10 路并行数据和 1 路时钟信号。 R_{26} 、 R_{27} 、 R_{28} 为 1 k Ω 电阻,上拉到 3.3 V 限流。

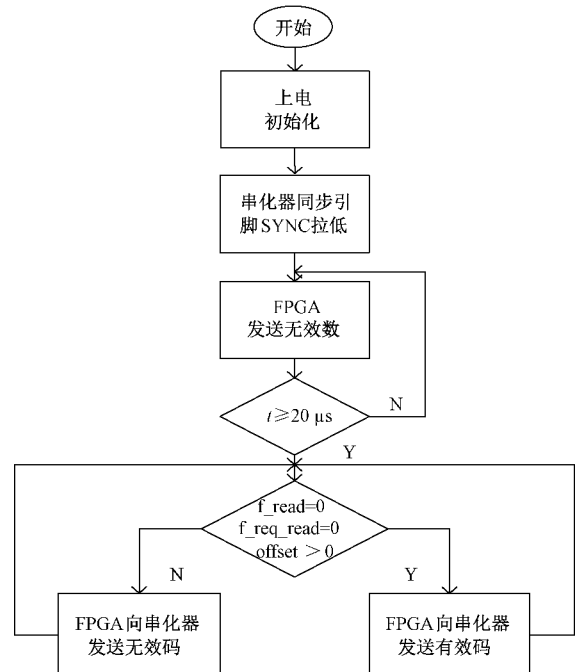


图4 发送数据流程

变为 10 bit,编码后的数据从 FPGA 发出进入硬件芯片,此时发送端的软件完成工作。当 TCLK 由“0”变为“1”,发送端将 10 bit 数据转换为一对差分信号,硬件电路完成编码器向存储器的发送过程。

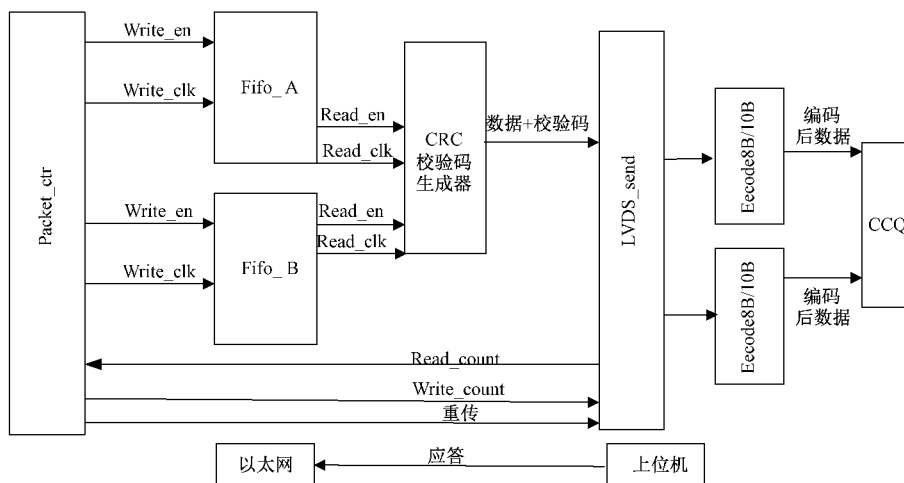


图 5 LVDS 发送端数据流

2)接收端逻辑设计

地面测控台上位机软件界面点击“复位”后,点击“下载存储器片 1”或“下载存储器片 2”的指令后,从图 6 可以看出,数据先从存储器通过 LVDS 电缆进入 GM8224 芯片接收端,数据经过解串后并行进入 FPGA 软件逻辑模块。进入 Decode8B/10B 解码模块,完成 10 路向 8 路的转换,8 路数据进入 LVDS_receive 模块,将接收到的数据 data_0~data_7 拼接成数组输出,将接收到的状态信息按照数据帧

格式排列输出。此时数据为接收码组,可以进行检错。接收码组做与发送码组同样的运算,得到的余数 $r(x)$ 全为 0 说明收到的数据正确。哪一位为 1 即对应的数据信息传输有误,发送重传指令,通过以太网^[9]发送反馈信息。完成校验后的数据信息分别进入 Fifo_A_16K 和 Fifo_B_16K 进行缓存,随后进入到 Data_Main_Ctr 模块处理。状态信息分别进入 Fifo_A_state 和 Fifo_B_state 缓存,之后准备发送到 CB_send 模块。

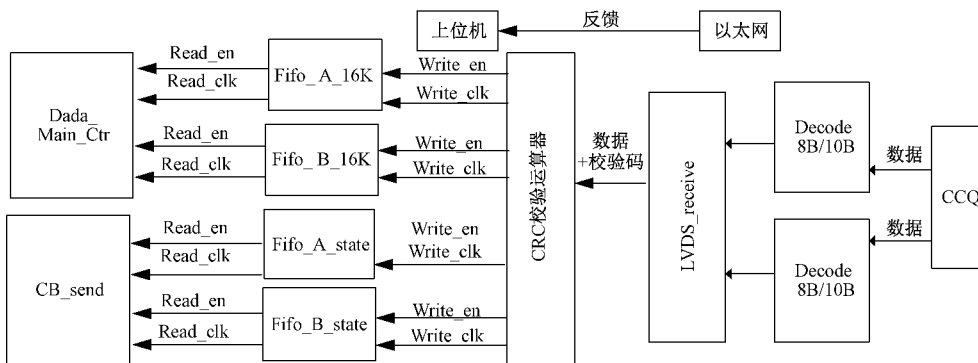


图 6 LVDS 接收端数据流

3.3 8B/10B 编解码模块

高速串行数据传输可靠性有待提高的一个很重要的方面是信号发生误判,而造成信号发生误判的很重要的一个方面是存在电压位阶和电容寄生效应。当数据流中出现连续的“0”或“1”,下一位数据出现与前一位相反的逻辑数据就会造成上述现象。为了避免出现连续“0”和“1”,所以通过 8B/10B 编码^[10]尽力保证不连续。由此编码器的 TCLK 时钟引脚可以很可靠地被锁定,避免因为时钟错误引起数据误码;DC 补偿,当电平发生频繁变化时,可以降低误码率;有一定的检错能力,根据内部约定好的标准,有利于快速信息识别定位,找到误码位置。

1)8B/10B 编码模块化实现

- (1)判断是 K 码还是 D 码;
- (2)如果是 K 码,根据 RD 极性直接取值;
- (3)如果是数据字符,把 8 bit 拆成 3 bit 和 5 bit^[11],采用拆分编码方式在 RD 控制器的控制下生成 4 bit 和 6 bit。
- (4)采用并列的方式编解码,8B 分为两组 5B 和 3B。5B/6B 编码在前,3B/4B 编码在后。

2)8B/10B 仿真验证

由图 7 可知,LVDS 发送前信号^[12]为 0X“00”0X“01”0X“02”递增数,通过查看编码规范和编码表可以验证 enco_data_q 编码正确,输入 8 bit 数据,编码后输出 10 bit 数据。通过查看 dcc_dout 解码后数据,可以准确地恢复出

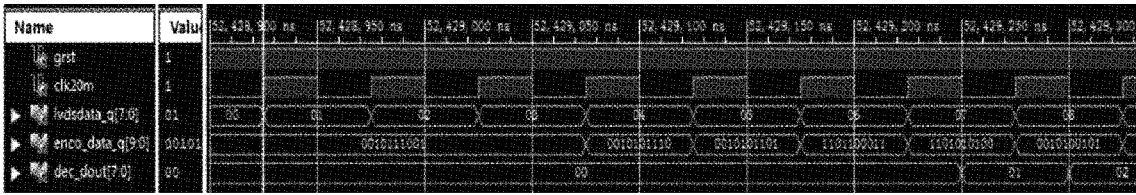


图7 ILA逻辑分析仪抓取的信号

递增数的原始数据,从而可以验证8B/10B编解码功能正常。

3.4 CRC校验优化

1)CRC校验原理:多用于传输链路,减少链路传输误差^[13]的一种检错码。

2)发送端:数据信息码 $M(x)$ 在前,校验码在后构成码组 $T(x)$ 在传输链路上传输。

3)接收端:接收到的传输码组 $R(x)$ 由前面的 k 位信息码和后面的 r 位校验码构成。

4)如何判断传输是否误差: $R(x)$ 与选定的 $g(x)$ 进行模二除法运算,得到的余数 $r(x)$ 全为0说明收到的数据正确,哪一位为1即对应的数据信息传输有误。

5) n 位码 $N(x)$ 生成规则:在 k 位数据信息码 $M(x)$ 后边加 r 位0构成 n 位码 $N(x)$ 。

6)如何生成校验码: $N(x)$ 与生成多项式 $g(x)$ 进行异或运算,得到的余数 $r(x)$ 就是数据信息码 $M(x)$ 的校验码。

7)如何选择生成多项式 $g(x)$:根据需要传输的数据位数决定,最低位必须是1。

8)公式推导

信息码: $M(x)=m_0x^0+m_1x^1+\dots+m_{k-2}x^{k-2}+m_{k-1}x^{k-1}$

生成多项式: $g(x)=x^{32}+x^{26}+x^{23}+x^{16}+x^{12}+x^{11}+x^{10}+x^8+x^7+x^5+x^4+x^2+x+1$

发送端: $T(x)=u(x)g(x)+r(x)$

$$T(x) = x^{n-k}M(x) = m_0x^{n-k} + m_1x^{n-k+1} + \dots + m_{k-2}x^{n-2} + m_{k-1}x^{n-1}$$

接收端码组: $R(X)=w(x)g(x)+r(x)'$

4 可靠性验证与分析

为了验证设计是否可行,配套使用的有上位机、地面综合测控台、采编器和存储器搭建成完整的闭环测试系统^[11],电缆用来模拟穿舱电缆来实现模拟环境。配和使用定位装置,通过硬回收方式回收存储器。从存储器FLASH中读取飞行中存储的数据^[15],上位机软件对数据进行处理分析。数据帧结构如图8所示,其中“14 6F 14 6F”为数据帧头,“A1”表示模拟数据,“00 01 52 E4~00 01 52 EC”为帧计数,“00 E0”为AD采集得到的数字量,“FD B1 85 40”为同步字。

每次回读4G存储器数据,循环18轮高温老练来模拟戈壁滩恶劣测试环境进行测试。对比之前的研究,虽然速率上满足条件,但是长度最长只能达到100 m。通过逐步

FD B1 85 40	14 6F 14 6F	A1 00 01 52	E4 00 DE
FD B1 85 40	14 6F 14 6F	A1 00 01 52	E5 00 E0
FD B1 85 40	14 6F 14 6F	A1 00 01 52	E6 00 DE
FD B1 85 40	14 6F 14 6F	A1 00 01 52	E7 00 DE
FD B1 85 40	14 6F 14 6F	A1 00 01 52	E8 00 DF
FD B1 85 40	14 6F 14 6F	A1 00 01 52	E9 00 DE
FD B1 85 40	14 6F 14 6F	A1 00 01 52	EA 00 DE
FD B1 85 40	14 6F 14 6F	A1 00 01 52	EB 00 E0
FD B1 85 40	14 6F 14 6F	A1 00 01 52	EC 00 DD

图8 数据帧格式

更改电缆长度来测试在同一传输码率下,是否进行CRC校验+8B/10B编解码来对比误码率。测试结果如表1所示。

表1 测试结果

电缆长度/ m	CRC+8B/10B 编解码前		CRC+8B/10B 编解码后	
	传输速率/ (Mbit·s ⁻¹)	误码率/ %	传输速率/ (Mbit·s ⁻¹)	误码率/ %
80	240	0	240	0
90	240	0.000 6	240	0
100	240	0.000 9	240	0
110	240	0.001 5	240	0
120	240	频繁失锁	240	0
130	240	频繁失锁	240	0.000 3

由表1测试结果可知,加入CRC校验+8B/10B编解码前,同一传输速率下,随着电缆长度的增加,误码率也在增大,在120 m时开始频繁失锁,不能满足设计要求。加入CRC校验+8B/10B编解码后,误码率有所降低,牺牲带宽的同时能够使链路稳定传输,在240 Mbit/s的速度120 m电缆可以保持零误码传输。

5 结 论

针对数据采用LVDS传输线高速远距离传输可靠性低的问题,本次设计在硬件方面提出加入预加重技术,增加驱动器和均衡器配合LVDS芯片;在软件上,采用发送有效数和无效数相结合的方式,对LVDS信号增加8B/10B编解码,有利于信号校验,配合CRC算法,有效降低误码率,增强检错能力。经实验验证,数据240 Mbit/s速率在120 m的传输线上,实现零误码可靠性传输。本文侧重于提高数据传输可靠性,如果在数据传输减少误码的同时,减少指令传输的误码,会得到事半功倍的效果。所

以后期打算对指令在软件方面进行双重消抖处理,使时序衔接更充分。

参考文献

- [1] 张焱,任勇峰,齐蕾. 基于FPGA的CRC校验算法的实现[J]. 电子器件, 2015, 38(1): 222-226.
- [2] 李长庆,程军,李梁,等. 采用并行8B/10B编码的JESD-204B接口发送端电路设计[J]. 微电子学与计算机, 2017, 34(8): 70-75.
- [3] 杨兆欣,顾正华,曾星,等. 热电偶级联系统动态性能评估方法研究[J]. 仪器仪表学报, 2020, 41(11): 74-81.
- [4] 季鹏辉,孟丁,任勇峰. 基于FPGA的16 bit CRC校验查表法设计[J]. 电子器件, 2013, 36(4): 580-584.
- [5] 李治华,赵冬青,甌国勇,等. 高可靠性远程数据传输系统设计[J]. 电子器件, 2017, 40(2): 490-494.
- [6] 赵阳刚,郭涛,黄玉岗. 基于FPGA和LVDS的弹载数据回读系统设计[J]. 电子器件, 2017, 40(1): 113-117.
- [7] 文丰,郭慧玉,刘东海,等. 基于半字节CRC直驱表法的RS-485通信优化设计[J]. 电子器件, 2018, 41(4): 1003-1006.
- [8] 张海超,张北伟. 基于STM32的多串口通信系统设计[J]. 国外电子测量技术, 2019, 38(2): 99-102.
- [9] 李洋,禹卫东,胡晓,等. 基于FPGA的千兆以太网数传系统设计[J]. 电子测量技术, 2015, 38(10): 72-77.
- [10] SU L. Y. Research of signal integrity in PCB design for ARM9 core board [J]. Applied Mechanics & Materials, 2014, 3468: 3497-3500.
- [11] 李北国,杨圣龙,李辉景. 基于FPGA的LVDS高可靠性传输优化设计[J]. 电子技术应用, 2018, 44(8): 78-81, 85.
- [12] 鄢玲玲,文丰,李辉景. 一种基于LVDS高速传输的接口优化设计[J]. 电测与仪表, 2016, 53(20): 80-83.
- [13] 宋锡文,董业鹏,杨世飞. 基于FPGA的振动信号处理参数寻优试验研究[J]. 电子测量与仪器学报, 2021, 35(2): 101-108.
- [14] 杨焯,闫丽. 基于FPGA的数据采集系统[J]. 工业仪表与自动化装置, 2019(5): 85-86, 109.
- [15] 刘佳宁,文丰,王淑琴,等. 基于LVDS的高可靠性长线传输设计[J]. 电子器件, 2017, 40(5): 1209-1213.

作者简介

杜若楠, 硕士研究生, 主要研究方向为动态测试、数据采集与存储研究。

E-mail: duruonan1208@qq.com

任勇峰, 博士, 教授, 主要研究方向为动态测试、数据采集与存储研究等。

E-mail: renyongfeng@nuc.edu.cn

王淑琴, 硕士, 工程师, 主要研究方向为动态测试。