

DOI:10.19651/j.cnki.emt.2106223

船载 S 波段测波雷达多带宽数字下变频设计*

吴恩奇 赵晨 陈泽宗

(武汉大学电子信息学院 武汉 430072)

摘要: 面对不同海况,船载 S 波段测波雷达数字接收机需要支持 6 种不同的基带采样速率和带宽。为了满足雷达各模块多功能一体化以及雷达系统对多速率多带宽的需求,提出了一种基于 FPGA 的多带宽数字下变频(DDC)方案,可根据接收机工作参数,动态加载适用于不同海况的抽取倍数和滤波器系数。通过坐标旋转数字计算机(CORDIC)实现了 16 级流水线数控振荡器(NCO)模块;对分布式算法(DA)进行改进,实现了全并行 128 阶 FIR 滤波器,并对 DA 通道进行时分复用;异步 FIFO 模块保证数据在跨时钟域无失真传输,并适当的对数据截位来节省硬件资源。最终结果表明基带 I/Q 信号频率准确,信噪比高达 60 dB,满足设计目标和雷达使用需求,该结构可节省大量 DSP 乘法器和 RAM 资源,对 DA 结构时分复用后,可额外节省 42.8% 的查找表资源。数字下变频方案合理可行,可有效针对不同海况切换抽取倍数和滤波器系数,为后续基带信号处理器提供了稳定有效的数据来源,对雷达各模块多功能一体化具有重要参考意义。

关键词: 数字下变频;分布式算法;时分复用;多速率多带宽;数控振荡器

中图分类号: TN952 **文献标识码:** A **国家标准学科分类代码:** 510.1020

Design of multi-bandwidth digital down conversion of shipboard coherent S-band wave radar

Wu Siqi Zhao Chen Chen Zezong

(School of Electronic Information, Wuhan University, Wuhan 430072, China)

Abstract: Faced with different sea conditions, the shipboard coherent S-band wave radar digital receiver needs to support 6 different baseband sampling rates and bandwidths. In order to meet the multi-functional integration of radar modules and the radar system's requirements for multi-rate and multi-bandwidth, an FPGA-based multi-bandwidth digital down-conversion (DDC) solution is proposed, which can dynamically load decimation multiples and filter coefficients according to the receiver operating parameters and suitable for different sea condition. A 16-stage pipeline numerically controlled oscillator(NCO) module is realized through the coordinate rotation digital computer(CORDIC); the distributed algorithm(DA) is improved to realize a fully parallel 128-order FIR filter, and the DA channel is time-division multiplexed; the asynchronous FIFO module guarantees that data is transmitted without distortion across clock domains, and the data is appropriately truncated to save hardware resources. The final result shows that the baseband I/Q signal frequency is accurate, and the signal-to-noise ratio is as high as 60 dB, which meets the design goals and radar requirements. This structure can save a lot of multipliers and RAM resources. After the DA structure is time-division multiplexed, it can save an additional 42.8% look-up table resource. The designed DDC is reasonable and feasible, which can effectively switch the decimation factor and filter coefficient according to different sea conditions, and provide a stable and effective data source for the subsequent baseband signal processor. This has important reference significance for the multi-functional integration of radar modules.

Keywords: digital down conversion; distributed algorithm; time division multiplexing; multi-rate and multi-bandwidth; numerically controlled oscillator

0 引言

船载 S 波段测波雷达是武汉大学无线电海洋遥感实验

室自主研发的一款相干微波雷达,它能够全天候、全方位、高精度、走航式探测海浪参数^[1-2]。雷达采用超外差式接收机,模拟中频信号被 ADC 模数转换芯片带通采样后转换成

收稿日期:2021-03-30

* 基金项目:国家重点研发计划项目(2016YFC1400504)、国家自然科学基金面上项目(61871296)资助

数字信号,数字下变频(digital down-conversion,DDC)位于 ADC 芯片后端,负责对数字信号进行混频、滤波和抽取,最终输出同相分量和正交分量(I/Q)两路基带信号供后续处理^[3]。原数字下变频模块采用专用集成电路(application specific integrated circuit,ASIC)方案,虽然设置灵活,但 ASIC 芯片时钟资源有限,并且芯片成本高,不易扩展,布线复杂,亟需进一步优化。

数字下变频是雷达接收机的核心部分,对雷达系统的总体指标起着至关重要的作用。国内外对于 DDC 系统均有深入的研究,目前主要分别采用基于 DSP、ASIC 和 FPGA 的方案实现。文献[4]使用 GHz 主频多核 DSP 芯片对单波束雷达信号进行数字下变频处理,该方案具有很强的浮点计算能力和灵活性,但开发周期长,且随着采样率和滤波器阶数的提高,需要极高的计算速度,大大增加了成本。文献[5-6]提出了专用于 DDC 的 ASIC 方案,完成了芯片前端设计以及后端实现,具有良好的时序和低功耗等优点,但 ASIC 芯片成本高,可扩展性差,且占用硬件面积。随着现代雷达研发周期缩短以及各模块多功能一体化与小型化的需求,目前 DDC 模块大都采用 FPGA 实现,可编程性与可扩展性也使得 FPGA 芯片在对中频信号进行 DDC 的同时,还可以完成其他模块例如和基带信号 FFT 的处理以及数据的上传等^[7],文献[8]利用软件无线电可配置的特点,设计并实现了一种基于 FPGA 的数字下变频方法,文献[9]对水声信号的 DDC 进行了研究,介绍了 DDC 系统的硬件搭建,利用 IP 核实现了混频模块和后续的抽取滤波模块,并在 Modelsim 软件中进行了仿真,虽然实现简单,但是占用了大量乘法器硬件资源且没有考虑到多带宽的设计。

本文根据船载 S 波段测波雷达系统面对不同海况的需求,设计了一种可以在不同基带速率和带宽间切换的 DDC 方案,通过 1~6 路数据分配器,动态加载适用于不同带宽不同基带采样率的滤波器组抽取倍数和滤波器系数,通过时分复用技术、各模块适当的数据位宽截取以及滤波器组的合理搭配实现了资源的优化以及高速高精度高信噪比信号输出。本文首先对系统设计方案及参数进行了设计与分析,随后着重介绍了混频模块和抽取滤波模块的设计和实现方法,最终的软件仿真表明该方案设计正确,输出 I+IQ 复信号频率准确,信噪比高达 60 dB,并且节省了一定的硬件资源。

1 多带宽数字下变频总体方案设计

数字下变频系统总体方案如图 1 所示,主要包括正交混频部分和抽取滤波部分。雷达系统采用线性调频中断连续波(frequency modulated interrupting continuous wave,LFMCW)体制,接收机模拟前端对回波信号进行两次混频滤波,得到中心频率为 41.5 MHz 的去斜率中频窄带回波信号^[10]。ADC 芯片的采样率为 40 MHz,中频信号经高速带通采样,信号频谱以 40 MHz 为周期进行周期延拓,输出中心频率为 1.5 MHz 的窄带信号,采样后的信号与数控振荡器(numerically controlled oscillator,NCO)生成的正余弦本振信号相乘进行正交混频,积分梳状(cascade integrator comb,CIC)滤波器首先对混频信号进行高倍数抽取,采用半带(half band,HB)滤波器进行 2 倍抽取,高阶 FIR 滤波器作为最后一级,对整体抽取滤波效果起到决定性作用,主要作用为滤除通带外的信号,并对 I/Q 信号做最后的抽取。

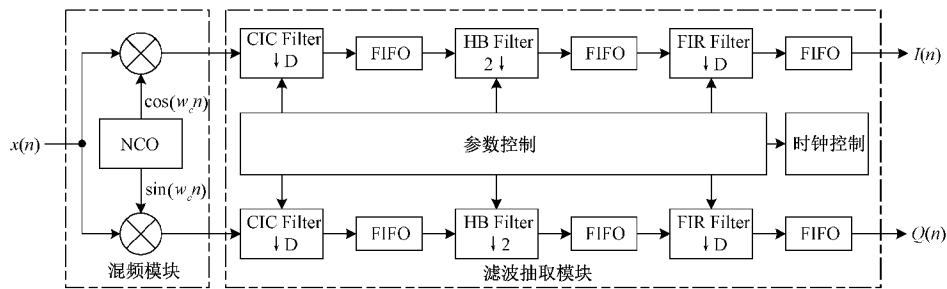


图 1 多带宽多速率数字下变频架构

时钟控制模块负责产生与各级滤波器抽取后信号速率相一致的时钟信号,滤波器后端的异步 FIFO 储存器对跨时钟域信号传输进行调节,避免了模块间时钟速率不匹配所导致的亚稳态现象,保证信号在各级滤波器之间无损耗传输,参数控制模块可以根据系统所要求的信号带宽和速率动态配置滤波器组的抽取倍数和各级滤波器系数。

2 多带宽数字下变频各模块设计与实现

2.1 数控振荡器

NCO 有多种方法可以实现,直接数字频率合成(direct

digital synthesis,DDS)是最常用的方法之一,DDS 主要包括查找表(look-up table,LUT)和坐标旋转数字计算方法(coordinate rotation digital computer,CORDIC)。LUT 硬件电路简单,能有效降低线路上的延时,但面对高速数字信号处理所需要的高分辨率、高精度等要求,频率控制字的位宽往往会非常大,会消耗大量储存资源;CORDIC 通过对向量的多次旋转迭代,仅需加减、移位寄存以及少量的 LUT 操作,即可满足以上要求,并且该结构适合在算法中添加大量流水线来提高系统吞吐量^[11]。

在笛卡尔坐标系中,向量 $V'(x',y')$ 和 $V(x,y)$ 间的

旋转可表示成如下形式:

$$\begin{bmatrix} x' \\ y' \end{bmatrix} = \begin{bmatrix} \cos\theta & -\sin\theta \\ \sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} x \\ y \end{bmatrix} = \cos\theta \begin{bmatrix} 1 & -\tan\theta \\ \tan\theta & 1 \end{bmatrix} \begin{bmatrix} x \\ y \end{bmatrix} \quad (1)$$

式中: θ 为两向量间夹角。

设置单次旋转角度 $\theta_i = \tan^{-1}(d_i 2^{-i})$, θ 通过多次旋转特定的角度 θ_i 来实现。变量 $z_{i+1} = z_i - d_i \theta_i$ 表示当前旋转向量与目标向量之间角度偏差, 初始值 $z_0 = \theta$, 旋转算子 $d_i = -\text{sign}(z_i)$ 控制下一次迭代向量的旋转方向, $z_i < 0$ 时, 顺时针旋转, 反之则相反。推广到第 i 次向第 $i+1$ 次迭代时, 递推公式可表示为:

$$\begin{bmatrix} x_{i+1} \\ y_{i+1} \end{bmatrix} = \cos\theta_i \begin{bmatrix} 1 & -\tan\theta_i \\ \tan\theta_i & 1 \end{bmatrix} \begin{bmatrix} x_i \\ y_i \end{bmatrix} = \cos\theta_i \begin{bmatrix} 1 & -d_i 2^{-i} \\ d_i 2^{-i} & 1 \end{bmatrix} \begin{bmatrix} x_i \\ y_i \end{bmatrix} \quad (2)$$

为了降低硬件复杂度, 式(2)中暂时去除 $\cos\theta_i$ 项, 得到伪旋转迭代式:

$$\begin{bmatrix} \hat{x}_{i+1} \\ \hat{y}_{i+1} \end{bmatrix} = \begin{bmatrix} 1 & -d_i 2^{-i} \\ d_i 2^{-i} & 1 \end{bmatrix} \begin{bmatrix} x_i \\ y_i \end{bmatrix} \quad (3)$$

伪旋转如图 2 所示, 伪旋转向量 \mathbf{V}_i 旋转 θ_i , 模值伸缩 $K_i = \cos^{-1}\theta_i$ 倍, 经过 n 次迭代, 当 $z_n \rightarrow 0$ 时, \mathbf{V}_n 无限逼近目标角度 θ , 式(3)化简可得:

$$\begin{bmatrix} \hat{x}_n \\ \hat{y}_n \end{bmatrix} = \prod_{i=0}^n \begin{bmatrix} 1 & -d_i 2^{-i} \\ d_i 2^{-i} & 1 \end{bmatrix} \begin{bmatrix} x_0 \\ y_0 \end{bmatrix} = \begin{bmatrix} \cos z_0 & -\sin z_0 \\ \sin z_0 & \cos z_0 \end{bmatrix} \begin{bmatrix} x_0 \\ y_0 \end{bmatrix} \quad (4)$$

经过 n 次迭代, 由式(4)得 CORDIC 算法输出为:

$$\begin{bmatrix} x_n \\ y_n \end{bmatrix} = \frac{1}{K} \begin{bmatrix} \cos z_0 & -\sin z_0 \\ \sin z_0 & \cos z_0 \end{bmatrix} \begin{bmatrix} x_0 \\ y_0 \end{bmatrix} \quad (5)$$

式中: $K = \prod_{i=0}^n \cos^{-1}\theta_i = \prod_{i=0}^n \sqrt{1+2^{-2i}}$ 为总伸缩因子。

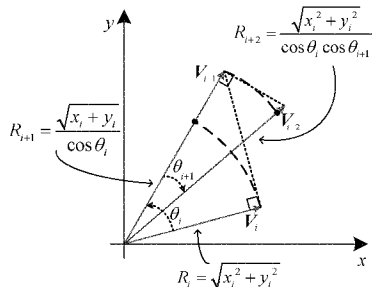


图 2 向量伪旋转示意图

n 足够大时易得 $K \approx 1.6476$, 令 $x_0 = K, y_0 = 0$ 代入式(5)即可计算出 $x_n = \cos\theta, y_n = \sin\theta$ 。

本文设计的 16 级流水线 CORDIC 迭代结构如图 3 所示, 每一级迭代 3 个加法器分别实现了 x_i, y_i 和 z_i 的迭代,

移位寄存器实现了乘 2^{-i} 操作, d_i 则作为加法器控制信号。迭代次数为 16 时, 最大旋转角度可达 $\theta = \pm 99.89^\circ$, 为了让旋转角度覆盖 $\pm\pi$, 输入角度超过 $\pm\pi/2$ 时, 需根据所处象限对结果进行翻转, 当流水线寄存器充满时, 每个时钟周期即可准确快速地计算出一组位宽为 32 位的正弦和余弦值。

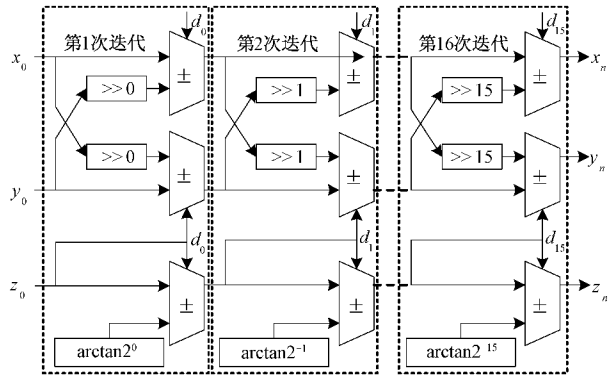


图 3 16 级流水线 CORDIC 硬件结构

2.2 数字混频器

数字下变频系统采用正交混频机制, 将信号分别与正余弦本振信号做混频, 混频后的两路信号共同表征了混频后的信号特征, 且可以避免实信号频谱存在正负对称频率的问题。

本文采用 Xilinx 的乘法器 IP 核作为数字混频模块, 上一级 NCO 输出本振信号位宽为 32 位, 中频输入信号位宽为 12 位, 数据在各模块间传输时, 需要对上一级模块传输过来数据进行适当的位宽截取^[12], 32 位 NCO 截取高 20 位, 中频输入信号保留整个位宽, 最终混频器输出两路位宽为 32 位的有符号数进入抽取滤波模块。

2.3 积分梳状滤波器

在经过 NCO 数字混频后, 信号会存在高频分量和低频分量。CIC 滤波器不仅可以提取信号中的低频成分, 滤除高频成分, 还可以高效地完成高速系统中高倍数抽取, 因此通常设置在高数速率信号处理的第 1 级^[13]。滤波器的冲激响应可用下式表明:

$$h(n) = \begin{cases} 1, & 0 \leq n \leq D-1 \\ 0, & \text{其他} \end{cases} \quad (6)$$

式中: D 为抽取因子。

可以看出 CIC 滤波器结构简单, 冲激响应的系数只有 0 和 1, 即在进行卷积运算的时候, 硬件结构不需要乘法器, 仅需要加法器和寄存器即可实现, 资源消耗较少。CIC 滤波器的缺点在于带内损耗和阻带衰减较差, 单级 CIC 滤波器的阻带衰减只有约 13.46 dB, 远远无法满足实际需求, 因此本文采用 5 级 CIC 级联来实现高倍数抽取, 其带内损耗小于 0.01 dB, 阻带衰减达 67.3 dB。

2.4 半带滤波器

HB 滤波器是一种特殊 FIR 滤波器, 通带与阻带相对

1/2 奈奎斯特频率对称,一般用作 2 倍或者 2^M 倍抽取,其中 M 为正整数,单位冲激响应如下所示:

$$h(n) = \begin{cases} 0, & n = 0, \pm 1, \pm 3 \dots \\ 1, & n = \pm 2, \pm 4 \dots \end{cases} \quad (7)$$

可以看出单位冲激响应 $h(n)$ 有接近 1/2 的系数为 0,这种特殊结构在硬件中进行滤波运算时可节省近 1/2 的乘法器和加法器,同时存放滤波器系数的寄存器或 ROM 也可减少 1/2。

本文采用 2 倍抽取,根据不同海况的带宽和基带采样率,使用 MATLAB 自带的 Fdatool 工具箱设计出 6 阶滤波器系数,对系数进行 10 bit 量化,并转换成有符号数。由于滤波器阶数较少,可直接使用 Verilog 语言对 HB 滤波器进行设计和例化。

2.5 高性能 FIR 滤波器

高性能 FIR 滤波器一般位于 DDC 系统的最后一级,用来弥补前级 HB 滤波器过渡带较宽的问题,决定了整个抽取滤波器组的性能。FIR 滤波器的实现是把输入信号与滤波器的单位冲击响应做卷积运算,硬件结构包括延时单元、加法器和乘法器^[14]。大量使用乘法器不但会影响整个系统的速度^[15],还会耗费大量宝贵的硬件乘法器资源,而基于 DA 算法的 FIR 滤波器只需要查表、加减和移位操作即可完成卷积计算。

一个 N 阶 FIR 滤波器的输出可以表示为单位冲激响应向量 $\mathbf{h}(k)$ 和向量 $\mathbf{s}_n(k)$ 的内积计算:

$$y(n) = \sum_{k=0}^{N-1} \mathbf{h}(k) \mathbf{s}_n(k) \quad (8)$$

式中: $\mathbf{s}_n(k) = x(n-k)$, 长度为 N 的流水线串行移位寄存器如图 4 所示,对输入信号 $x(n)$ 移位寄存,与 $\mathbf{s}_n(k)$ 一一对应。

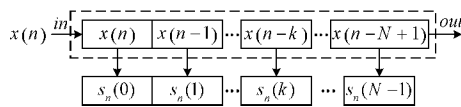


图 4 流水线串行移位寄存器

在有符号的 DA 系统中, $\mathbf{s}_n(k)$ 可用二进制补码形式表示,即:

$$\mathbf{s}_n(k) = -2^{B-1} s_{n,b}(k) + \sum_{b=0}^{B-2} 2^b s_{n,b}(k) \quad (9)$$

式中: B 为 $\mathbf{s}_n(k)$ 的总位数, $s_{n,b}(k)$ 为 $\mathbf{s}_n(k)$ 的第 b 位二进制数(取 0 或 1),代入式(8),经分配求和运算后,最终的滤波结果可变换为:

$$y(n) = \sum_{k=0}^{N-1} \mathbf{h}(k) \left[-2^{B-1} s_{n,b}(k) + \sum_{b=0}^{B-2} 2^b s_{n,b}(k) \right] = -2^{B-1} f_B + \sum_{b=0}^{B-2} (2^b f_b) \quad (10)$$

式中: $f_b = \sum_{k=0}^{N-1} \mathbf{h}(k) s_{n,b}(k)$ 。

f_b 的各个映射的结果可通过表 1 得出。

表 1 DA 查找表

输入	输出
$\{s_{n,b}(N-1), \dots, s_{n,b}(1), s_{n,b}(0)\}$	$\{f_b\}$
00...00	0
00...01	$h(0)$
00...10	$h(1)$
00...11	$h(1) + h(0)$
...	...
11...11	$h(N-1) + \dots + h(1) + h(0)$

由式(10)可得,规模为 2^N 的 LUT 可实现 N 阶 FIR 滤波器,然而当 N 很大时,LUT 的规模会随着 N 的增大呈指数倍增长,因此该 DA 结构不适用于高阶滤波器,需要对 DA 占用过大 ROM 的问题进行优化。

假设 N 可以表示为两个正整数的乘积 $N = ML$, 由线性滤波器的性质可得, N 阶线性相位 FIR 滤波器的输出结果可以由 L 个 M 阶滤波器的输出结果累加,由式(8)~(10)可得经过分割查找表后的输出为:

$$y(n) = \sum_{l=0}^{L-1} \sum_{m=0}^{M-1} h(m+ML) s_n(m+ML) = \sum_{l=0}^{L-1} \sum_{m=0}^{M-1} h(m+ML) [-2^{B-1} s_{n,b}(m+ML) + \sum_{b=0}^{B-2} 2^b s_{n,b}(m+ML)] = -2^{B-1} f'_B + \sum_{b=0}^{B-2} (2^b f'_b) \quad (11)$$

式中: $f'_b = \sum_{l=0}^{L-1} \sum_{m=0}^{M-1} h(m+ML) s_{n,b}(m+ML)$ 。

LUT 被分割之后的映射为 f'_b , 这样 LUT 的整体规模就从 2^N 下降到 $L \cdot 2^M$, 大大节省了硬件资源。改进后的全并行 DA 算法硬件结构如图 5(a) 所示, Δ 为单位时钟延时,流水线寄存器组对 N 个输入数据 $x(n)$ 寄存,图 5(b) 中的 LUT_n 为子表读表累加模块, L 个子表经查表累加操作后完成映射 f'_b , 最后由图 5(c) 中 SA 移位累加模块根据位数 b 对 f'_b 进行二次幂移位累加,最高位 B-1 为符号位,须进行取反处理,最终得到式(11)的输出。当流水线中寄存器充满数据时,一个时钟周期即可完成一组内积计算,随着系统时钟同步输出滤波结果,极大地提高了系统的运行速度和吞吐量。

为了提高系统的运算速度,同时使滤波器组有较高的阻带抑制比和较陡峭的过渡带,本文采用基于图 5 改进型全并行 DA 算法的 128 阶 FIR 滤波器作为 DDC 系统的最后一级,输入数据 $x(n)$ 的位宽为 18,则需要 128 组大小为 18 bit 的流水线移位寄存器对数据进行缓存。同时,利用表分割技术,把 128 阶滤波器分割成 64 个 2 阶子滤波器,这样 LUT 规模就从 2¹²⁸ bit 减少到了 64 · 2² bit,可轻易的使用 CASE 语句实现 LUT 结构。

整个 DDC 系统中,全并行 DA 结构会占用大部分 LUT 资源^[16],为了进一步节省资源,本文基于多路时分复用的思

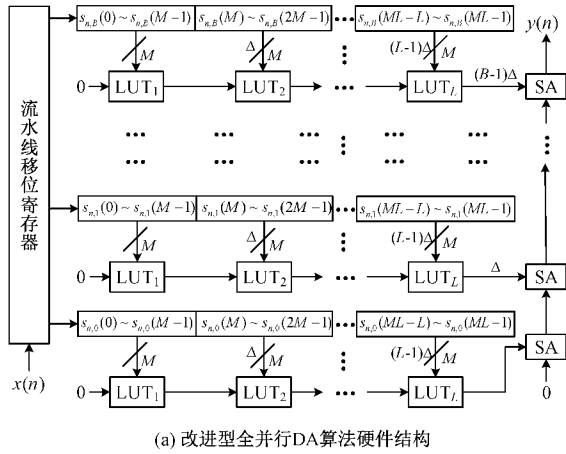


图 5 改进型全并行 DA 算法整体结构

想对全并行 DA 结构进行复用, 使 I/Q 两路信号复用同一个 DA 模块, 全并行 DA 模块时分复用结构如图 6 所示。

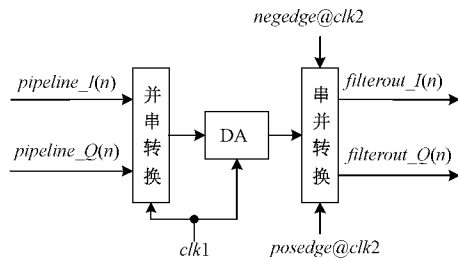


图 6 DA 模块时分复用结构

$clk2$ 是 I/Q 信号的输入和输出时钟, $clk1$ 时钟频率是 $clk2$ 时钟的 2 倍, 在时钟上升沿采集并行 I/Q 信号并将其输入到 DA 模块。以基带采样率 200 kHz 为例, FIR 滤波器抽取因子为 5, HB 滤波器输出数据频率为 1 MHz, 远低于系统工作时钟 40 MHz, 可在 2 MHz 的时钟下对 I/Q 两通道进行并串转换成采样率为 2 MHz 的串行 I/Q 信号, 然后在 2 MHz 时钟的驱动下对串行 I/Q 信号进行 DA 操作, DA 输出结果 I/Q 信号分别在 FIR 滤波器工作时钟 1 MHz 的下降沿和上升沿进行重采样, 实现串并转换, 输出 I/Q 两路滤波结果, 最后对滤波器输出进行 5 倍抽取, 完成最后的抽取滤波过程, 整个流程时序图如图 7 所示。

2.6 跨时钟域处理

数据在抽取滤波模块会进行多次抽取操作, 抽取前后由于时钟速率不一致, 数据跨时钟传输很容易导致亚稳态现象, 会影响整个数字下变频系统的正确性^[7]。因此本文采用异步 FIFO 模块对抽取后的数据缓存, 在下一级时钟的驱动下对数据进行读取。

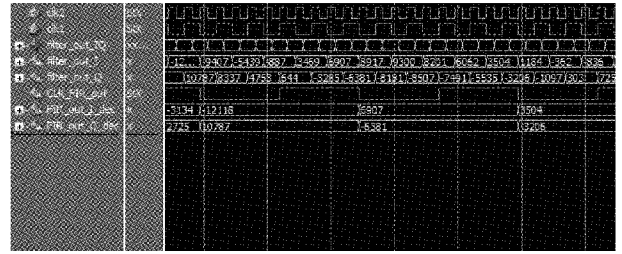


图 7 DA 模块时分复用时序图

3 数字下变频的 FPGA 实现

3.1 系统参数配置及指标

舰载 S 波段测波雷达面对不同海况, 指标要求如表 2 所示。

表 2 不同海况下参数及指标

海况	基带速率/ (ksample · s ⁻¹)	通带 带宽/kHz	抽取 倍数	扫频 周期/ μ s	信噪比/ dB
极低	62.5	50	640	8 192	≥ 60
低	100	80	400	5 120	≥ 60
中	125	100	320	4 096	≥ 60
高	200	160	200	2 560	≥ 60
极高	250	200	160	2 048	≥ 60
特高	500	400	80	1 024	≥ 60

抽取滤波器组通过 1 选 6 多路分配器, 加载不同海况对应的抽取倍数和滤波器系数, 每个模式一个扫频周期均可输出长度为 512 点的基带信号, 送入基带信号处理器做后续处理。

3.2 实现结果及分析

舰载 S 波段测波雷达接收机数字下变频由 ISE、MATLAB 和 Modelsim 联合仿真完成。为方便起见, 本文只仿真一种海况, 以高海况为例, 基带速率为 200 ksp/s、带宽为 80 kHz, 在该海况下, 雷达 LFMCW 一个扫频周期为 2 560 μ s。

首先使用 MATLAB 自带的 Fdatool 设计 HB 滤波器和 FIR 滤波器, 滤波器系数分别量化至 10 bit 和 16 bit, 并以 16 进制补码形式保存。整个抽取滤波器组的幅频响应如图 8 所示。

使用 MATLAB 生成 16 种采样率为 40 MHz 的固定目标模拟回波信号, 由频率为 41.42、41.43、41.44、41.45、41.46、41.47、41.48、41.49、41.51、41.52、41.53、41.54、41.55、41.56、41.57 和 41.58 MHz 正弦波叠加而成, 对叠加后的波形量化至 12 bit, 以 16 进制补码的形式保存, 其中最高位用来存放符号位, 时间长度为 2 560 μ s, 即 2.56 ms, 由带通采样定理可知, 41.5 MHz 中频信号经过带通采样后, 会在 1.5 MHz 处形成镜像频率, 信号频谱如图 9 所示。

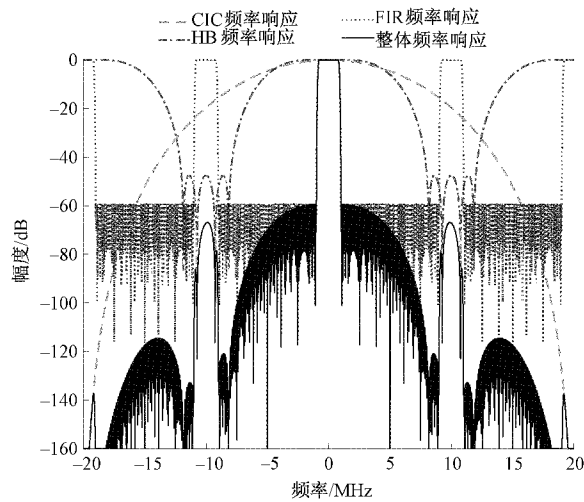


图 8 抽取滤波器组频率响应

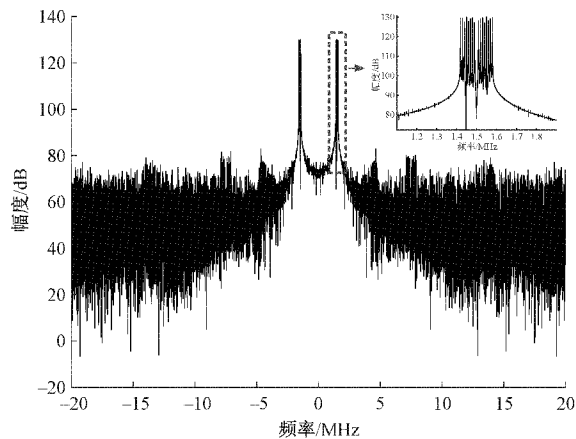


图 9 数字下变频前频谱图

在 Xilinx 的 ISE 平台中使用 Verilog 语言编写顶层文件、NCO、混频器以及抽取滤波器组等,读取回波信号进行下变频处理,NCO 产生 1.5 MHz 的本振信号与输入信号进行正交混频,送入滤波器组进行滤波和抽取。利用 ISE 与 Modelsim 进行联合仿真,数字下变频波形图如图 10 所示,从上到下依次为中频回波信号、CIC 滤波器 I/Q 信号输出、HB 滤波器 I/Q 信号输出和 FIR 滤波器 I/Q 信号输出。



图 10 数字下变频波形图

在 200 kHz 的基带采样率下,时间长度为 2 560 μs 的数据最终只剩 512 个点,在 MATLAB 中对基带 I+jQ 复信号做 512 点 FFT,下变频后的信号频谱图如图 11 所示。

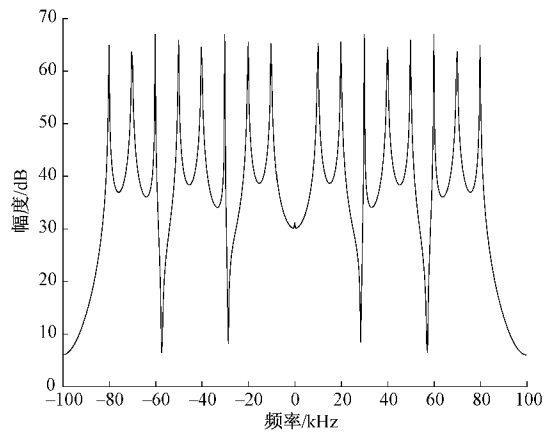


图 11 数字下变频后频谱图

中频信号是 16 种正弦波叠加的信号,频率两两关于 41.5 MHz 对称,由正交解调原理可知,最终的 I+jQ 复信号频谱图关于零频对称。最后一级滤波器输出的波形频谱准确且信噪比可达 60 dB,带宽可达到 ± 80 kHz,与理论值一致,达到预期指标。

数字下变频系统占用资源如表 3 所示,结果表明整个系统几乎只用到了寄存器资源和查找表资源,可节省大量的 DSP 乘法器资源以及 Block RAM 资源;通过对 DA 结构进行时分复用操作,与不使用时分复用的普通方式相比,系统 LUTs 资源减少了 42.9%。

表 3 数字下变频系统占用资源比较

资源类型	复用方式	普通方式
Slice Registers	12 559	10 131
Slice LUTs	36 894	64 493
DSP48A1s	24	24
Block RAM/FIFO	5	5

4 结 论

本文对原车载 S 波段测波雷达进行改进,提出了基于 FPGA 的多带宽数字下变频设计方案;基于 CORDIC 算法实现了 16 级流水线 NCO 模块;对传统 DA 算法进行改进,实现了全并行 128 阶 FIR 滤波器,并对 DA 通道进行时分复用;异步 FIFO 模块保证数据在跨时钟域无失真传输,并适当的对数据截位来节省硬件资源;参数控制模块根据不同海况控制 1~6 路数据分配器及抽取倍数和滤波器系数的分配。

该多带宽数字下变频系统可根据不同海况,动态加载适用于不同带宽不同基带采样率的抽取倍数和滤波器系数,最终的结果表明该结构设计正确,输出 I+jQ 复信号频率准确,信噪比高达 60 dB,满足设计要求,并且可节省大量 DSP 乘法器资源和 Block RAM 资源,后续可在 FPGA 中扩展对基带信号 FFT 处理以及与 PC 上位机间

的高速数据传输模块, 充分体现现代雷达各模块多功能一体化的趋势。

参考文献

- [1] CHEN Z Z, CHEN X, ZHAO C, et al. Wave height and wave period derived from a shipboard coherent S-band wave radar in the South China Sea[J]. Remote Sensing, 2019, 11(23): 2812-2834.
- [2] 范林刚. 微波多普勒雷达海浪反演关键技术研究[D]. 武汉: 武汉大学, 2013.
- [3] CHEN Z Z, WANG Z H, CHEN X, et al. S-band doppler wave radar system [J]. Remote Sensing, 2017, 9(12): 1302-1319.
- [4] 陈文韬. 基于 DSP 的多通道雷达信号处理设计与实现[D]. 南京: 南京理工大学, 2019.
- [5] 张磊, 陈亚宁, 刘成玉, 等. DDC 数字下变频 ASIC 电路设计[J]. 电子技术应用, 2013, 39(11): 37-40.
- [6] 薛金鑫, 马崇鹤, 周磊, 等. 4 GS/s~12 bit ADC 内置数字下变频器(DDC)的 ASIC 实现[J]. 微电子学与计算机, 2019, 36(1): 85-89.
- [7] 文丰, 韩雨龙. 千兆以太网 MAC 控制器软核设计[J]. 电子测量技术, 2021, 44(1): 150-155.
- [8] PARAMESHWAR S, RAJMOHAN M, MOHAN P. An efficient design of digital down converter for software defined radio application [J]. International Journal of Advanced Research (IJAR), 2017, 5(3): 795-807.
- [9] 吴云树, 汗浩. 基于 FPGA 的数字下变频技术研究[J]. 国外电子测量技术, 2019, 38(11): 113-118.
- [10] 王子寒. S 波段测浪雷达接收机射频前端的设计与实现[D]. 武汉: 武汉大学, 2019.
- [11] 宋超凡, 李鑫宇, 简彦澎, 等. 雷达成像系统中采用 CORDIC 算法的 IQ 实时解调与 FPGA 实现[J]. 电子测量技术, 2020, 43(18): 136-140.
- [12] 廉昕, 王元钦, 姜坤, 等. 数字下变频中的数据位宽选择[J]. 现代电子技术, 2012, 35(21): 45-48.
- [13] 郑伟, 高博, 刘玥伽, 等. Sigma Delta ADC 中高抽取率滤波器设计[J]. 电子测量技术, 2020, 43(6): 160-164.
- [14] SRAVANI K, RAO R. Design of high throughput asynchronous FIR filter using gate level pipelined multipliers and adders [J]. International Journal of Circuit Theory and Applications, 2020, 48(8): 1363-1370.
- [15] 吴凤辉, 迟永钢, 郑宇希, 等. 一种改进 DA 算法的成型滤波器设计[J]. 哈尔滨工业大学学报, 2016, 48(5): 32-35.
- [16] PRASANNA S C, RANI S P J V. Area and speed efficient implementation of symmetric FIR digital filter through reduced parallel LUT decomposed DA approach[J]. Circuits and Systems, 2016, 7(8): 1379-1391.
- [17] WANG S, XU Y, TANG J, et al. Design of asynchronous FIFO controller based on FPGA [J]. International Core Journal of Engineering, 2021, 7(1): 153-159.

作者简介

吴思奇, 硕士研究生, 主要研究方向为雷达系统与数字电路设计。

E-mail: 819485150@qq.com

赵晨(通信作者), 博士, 副教授, 主要研究方向为高频海洋雷达技术。

E-mail: zhaoc@whu.edu.cn

陈泽宗, 博士, 教授, 主要研究方向为无线电海洋遥感。

E-mail: chenzz@whu.edu.cn