

基于 DDS 的飞机供电系统测试信号源的设计

罗 辉 党幼云 张 翠 李婧宣 董 潭

(西安工程大学 电子信息学院 西安 710048)

摘要: 介绍基于直接数字频率合成(DDS)的飞机供电系统测试信号源工作原理,提出以 FPGA+单片机实现三相正弦测试信号源。针对 DDS 电路输出波形杂散度受 ROM 内存容量有限的限制,采用两片 ROM 存储一个周期的正弦波数据,减小了高位截断杂散。实验检测结果显示,信号发生器能输出频率准确度 $\leq \pm 0.1\%$,幅值准确度 $\leq \pm 3\%$,相位准确度 $\leq \pm 1\%$ 的三相正弦波形。

关键词: 直接数字频率合成;ROM;高位截断杂散

中图分类号: TM726.2 **文献标识码:** A **国家标准学科分类代码:** 510

Design of the aircraft power supply system based on DDS test signal source

Luo Hui Dang Youyun Zhang Cui Li Jingxuan Dong Tan

(School of Electronic Information, Xi'an Polytechnic University, Xi'an 710048, China)

Abstract: This paper introduces the working principle of the test signal source of the aircraft power supply system based on DDS, and presents the realization of the three-phase sine test signal source with FPGA+MCU. In view of the limitation of DDS (direct digital synthesis) circuit output waveform is limited by the limited memory capacity of ROM, the two ROM is used to store the sine wave data of one period, which reduces the high truncation spurious. The experimental results showed that the signal generator can output frequency accuracy of less than 0.1%, the amplitude accuracy of less than 3%, the three-phase sine wave phase accuracy is less than 1%.

Keywords: direct digital synthesis (DDS);ROM;high truncation spurious

0 引 言

现代飞机系统中供电系统起着非常重要的作用,是机载用电设备正常运行的关键之一,在其生产检修过程中都需要对其电气参数进行检测^[1]。飞机用电设备对供电质量要求很高,对电压调制精度、频率调制精度、交流电压波形、电压浪涌等参数均有严格的技术标准^[2]。飞机供电系统的测试信号源存在体积大、精度低、可靠性差等问题^[3]。不仅操作复杂危险,而且大部分相关产品性能测试系统及软件都是专用的,具有很大的局限性。因此需要研制一种新型的适应不同的用电设备环境,频率、幅度可以通过计算机来调节的程控信号源。

直接数字频率合成(DDS)技术是一种新的频率合成技术,克服了 DS 和 IS 频率合成法的杂散大,分辨率低的缺点,具有频率切换时间短、分辨率高和较低的相位噪声,而且调频时能够保持波形连续^[4]。所以将直接数字式频率合成 DDS 技术应用于飞机供电系统测试信号源可以大大改善参数的准确性。

本文尝试基于直接数字式频率合成 DDS 技术设计飞机供电系统测试信号源前端控制部分,可以产生幅度调节范围为 1~6 V,调节细度为 0.02 V;相位调节范围为 0~360°,调节细度为 0.01°;频率调节范围为 1~50 MHz,调节细度为 0.1 Hz 的三相信号源,从而达到对现代飞机供电系统测试信号的改善。

1 DDS 的基本原理

DDS 的基本原理是应用奈奎斯特采样定理,通过幅值与相位对应,按次序取出产生波形。DDS 结构电路如图 1 所示。

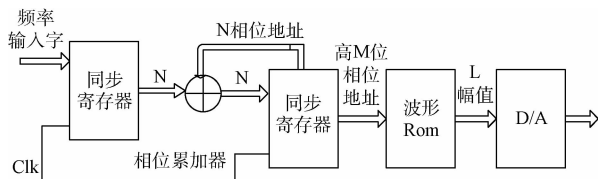


图 1 DDS 系统结构

由图 1 可见,相位寄存器,相位累加器和 D/A 转换器组成 DDS 系统。直接数字式频率合成 DDS 技术是经过 DS 和 IS 改进而来。它克服了 DS 和 IS 频率合成法的杂散大、分辨率低的缺点,通过相位与幅值对应得到目标波形。这种方法有频率切换时间短、分辨率高和较低的相位噪声的特点。

工作过程如下:

1)相位控制字 K 与初始值累加,将累加结果作为地址送往波形 ROM 进行寻址,取出相应的幅值,经数模转换器 D/A,形成相应的阶梯模拟波形。

2)通过改变相位控制字 K 来改变输出信号的频率,相位控制字 K 控制溢出的速度快慢,相位控制字 K 越大溢出越快,输出频率越高;反之输出频率越小。

3)D/A 转换器将 ROM 输出的幅值数字量转换成一定频率的模拟信号,从而输出阶梯的模拟波形。D/A 输出的模拟波形经过后级的低通平滑滤波器进一步抑制不必要的杂波才可以得到频谱比较纯净的模拟信号^[5]。

DDS 技术优点是输出频率分辨率高、输出频点多,频率相对带宽宽、频率切换时相位连续,可以产生任意波形,具有同时输出正交信号的能力,全数字化实现,便于集成,体积小、重量轻,便于与计算机连接等。其缺点是杂散较大并且输出频率受时钟频率限制^[6]。

2 信号源的总体设计

系统主要由 FPGA 芯片、89S52 单片机、D/A 转换器、LPF 滤波电路等组成,如图 2 所示。

通过键盘输入用户要生成的频率、相位和幅值,单片机

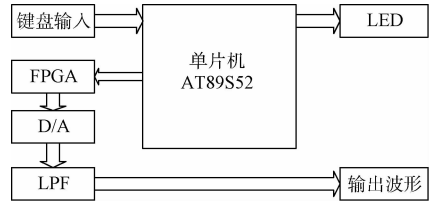


图 2 系统结构

将参数显示在液晶显示器上,同时根据此频率、相位和幅值的数值去控制 FPGA 输出相应的数字信号。输出信号经过 D/A 转换器使电压幅度达到控制要求。

3 设计流程

3.1 波形产生单元

波形产生单元主要是通过 FPGA 来实现的。FPGA 是现场可编程门阵列的简称,具有的静态可重复编程和动态在系统重构的特性,使硬件开发可以与计算机编程结合,这样极大地提高了电子硬件设计的灵活性和通用性^[7]。在本设计 DDS 系统中,FPGA 的主要完成:1)保存频率字 K ;2)搭建相位累加器;3)形成波形 ROM。FPGA 的结构如图 3 所示。

三相正弦波发生器波形由相位累加器、控制模块、波形存储 ROM 等几个部分构成。

1)相位累加器

相位累加器的设计是波形产生单元的关键,它将决定 DDS 输出的性能。相位累加器由加法器和相位寄存器组成,主要实现的功能是使相位控制字 K 与初始值累加产生地址。

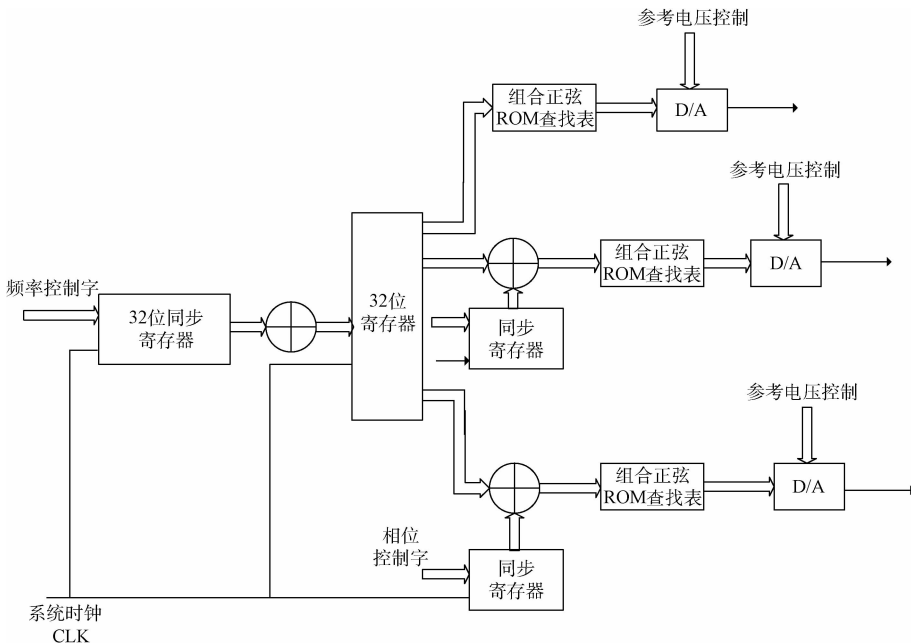


图 3 FPGA 内部结构

DDS系统的频率分辨率为： $\Delta f_{\min} = \frac{f_c}{2^N}$ 。因此， N 值越大即

累加器位数越大，频率分辨率越高。而过大的地址位，会降低整个系统速度的提高，为了提高频率切换的速率，累加器设计采用流水线技术，即把32位加法器在一个时钟周期内完成的逻辑操作拆分成2个16位加法器的操作^[8]，来提高系统的工作频率。2级流水线累加器仿真如图4所示。

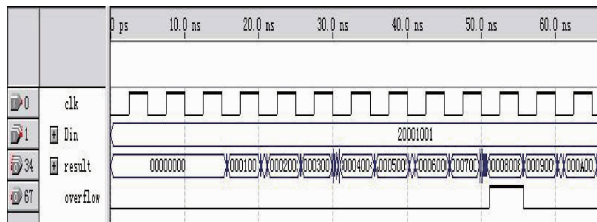


图4 2级流水线累加器

2) 相位调制器

相位调制器主要的任务是两个方面控制初相和三相信号严格相差120°。其设计的关键是对移相信号的初始相位进行控制，设计相位互差120°的三相正弦信号发生器的原理与单相正弦信号实现方法理论上基本相同，所以，相位调制器的设计主要是通过相位控制字模块来设置3个正弦波的初始值，来实现各相严格相差120°^[9]。Modelsim仿真波形如图5所示。

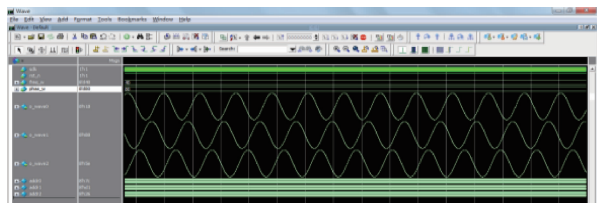


图5 Modelsim仿真波形

3) 波形存储ROM

波形存储单元作用是存储正弦波形幅值数据，进行相幅转换，存储波形幅值数据字长为 M 位，即波形幅值量化位数^[10]。如果累加器 N 位地址都对应一个幅值数据存储到ROM，那将是一个极大的存储量，如此巨大的存储容量，ROM无法实现。一般采用相位截断法来解决ROM容量不足的问题，相位截断法是一种舍去地位地址，使用 P 高位地址寻址的方法。这种相位截断法虽然解决了ROM存储空间的不足，但也引进杂散，即相位截断误差^[11]。为了解决杂散与截断误差矛盾，采用两片ROM存储一周期的正弦波，从而缩减 N 与 P 的差值，以减少截断误差，从而有效地减少了波形的杂散。结构如图6所示。

3.2 波形控制单元

波形控制单元由单片机芯片AT89S52模块，LED显示

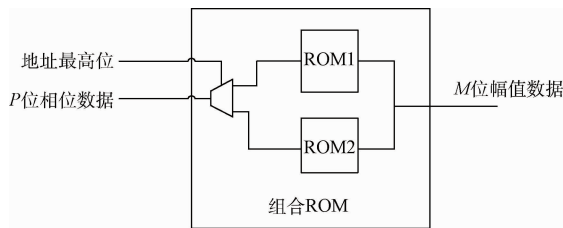


图6 ROM内部结构

模块，矩阵键盘输入模块和其他辅助模块组成。三相正弦信号发生器电压频率、幅值、相位的调整，是通过矩阵键盘输入参数，经过单片机控制单元对输入的参数值进行转换计算^[12]，从而改变基于DDS技术的FPGA三相正弦信号发生器的输出频率，输出相位，以及输出幅度等参数，同时要将键盘的输入数值，以及三相正弦信号发生器的输出结果显示在液晶上，便于人机交互。软件结构如图7所示。

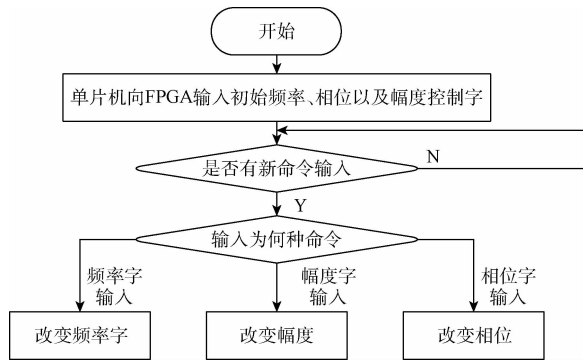


图7 软件结构

3.3 波形处理单元

FPGA芯片上的波形发生器产生的输出信号为数字信号，而三相正弦信号发生器的最终输出信号为模拟信号。因此必须进行数模转换，将数字量转化为模拟量，这就需要数模转换器进行数模转换，同时输出的信号幅度也需要进行控制^[13]。

本设计采用6片D/A芯片，其作用有两个方面，一方面是对FPGA芯片输出的三相正弦数字信号进行数字信号转模拟信号变换；另一方面提供给第1片D/A参考电压，以控制输出信号的幅值，即通过改变数模转换D/A芯片的参考电压来改变输出的^[14]。参考电压的改变是通过矩阵键盘调节的，所以采用二级D/A的方式，通过控制一级D/A的输出来改变二级D/A的参考电压，以达到改变三相正弦电压的幅值^[15]。

4 实验结果

采用HH1713双路直流稳压电源、泰克TDS1002数字存储示波器、数字万用表对三相正弦波形发生器进行检测。波形如图8所示，频率与幅值准确度测量数据如表1、2所示。

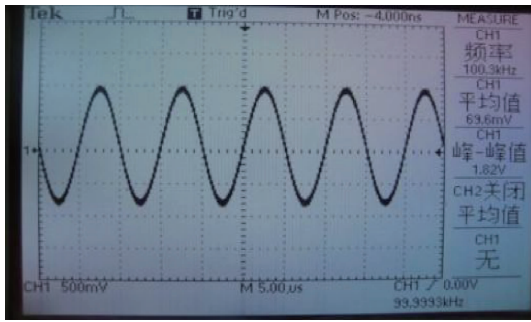


图 8 50 MHz 波形

从测试结果分析,设计的三相正弦信号源,基本上满足频率准确度 $\leq \pm 0.1\%$,幅值准确度 $\leq \pm 3\%$,相位准确度 $\leq \pm 1\%$ 的指标。

5 结 论

本文对 DDS 关键技术,从实际和理论两方面进行分析,对三相波形发生器进行改进,加入双 ROM 存储一周周期波形,减少了波形的杂散。从而使产生波形具有高分辨率,快速跳变的优点,提高了现代飞机供电系统测试信号的性能。

表 1 频率准确度测量数据

设定频率/Hz	503.500	6.600×10^6	23.500×10^6	484.100×10^6	7.700×10^3	33.600×10^3
实测频率/Hz	503.000	6.603×10^6	23.512×10^6	483.90×10^6	7.704×10^3	33.570×10^3
频率准确度/%	-0.10	0.04	0.05	-0.04	0.05	-0.08

表 2 幅值准确度测量数据

设定幅值/Hz	0.1	0.3	1.0	2.0	2.5	6.0
实测幅值/Hz	0.99	0.31	1.01	3.01	4.50	6.02
幅度准确度/%	-1	1	1	1	0	2

参考文献

- [1] 王超,李雪亭,张海鹏,等.机电参数高精度实时测量方法研究[J].中国修船,2015,28(1):16-19.
- [2] 冯玉莲,严勇锋.飞机电源系统参数测试采样频率的优选[J].电子测试,2016(11):40-41.
- [3] 谭卫娟.基于 FPGA 的飞机电源参数测试设备设计[J].大众科技,2010 2010(11):51-52.
- [4] 张文文,刘子龙.具有 APFC 功能的 AC-DC 开关电源设计[J].电子测量技术,2016,39(5):22-26.
- [5] 谢斌.基于 FPGA 的无相位截断误差 DDS 的设计[D].长沙:湖南大学,2012.
- [6] 沈航.基于 FPGA 的任意波信号发生器[D].西安:西安理工大学,2011.
- [7] 胡力坚.基于 DDS 的任意波形发生器设计与实现[D].西安:西安电子科技大学,2009.
- [8] 胡重九.基于 FPGA 的三相六路信号发生器设计[D].保定:河北大学,2011.
- [9] 孙俊.浅析频率合成器(DDS)的工作原理及其应用[J].企业导报,2010(7):292-292.
- [10] 费洪磊,唐普英. DDS 杂散抑制分析及其 LPF 的设计[J].大众科技,2010(5):33-34.
- [11] 史革,文玉梅,李平,等.采用余弦调制滤波器组泄漏检信号处理研究[J].仪器仪表学报,2015,36(12):2849-2856.
- [12] 彭海军.基于 DDS 的信号相位同步设计技术[J].国外电子测量技术,2016,35(4):95-98.
- [13] 张松,李筠. FPGA 的模块化设计方法[J].电子测量与仪器学报,2014,28(5):560-565.
- [14] 牛耕,陈思宇,于继翔.基于 DDS 技术的正弦交流信号源的设计[J].现代电力电子技术,2012,35(3):52-56.
- [15] 舒小平.便携式 DDS 信号源设计[D].武汉:华中师范大学,2015.

作者简介

罗辉,工学硕士,主要研究方向为电力电子电源技术与运动控制系统、信号源等。

E-mail:337973759@qq.com