

# UDP 数据传输技术在空间科学实验的应用

耿恒水<sup>1,2</sup> 冯玉田<sup>1</sup> 郑伟波<sup>2</sup>

(1. 上海大学通信与信息工程学院 上海 200072; 2. 中国科学院上海技术物理研究所 上海 200083)

**摘要:** 随着空间科学实验进行的越来越多,需要传输的实验图像数据量也变得日益庞大,对图像传输的实时性要求也越来越高,因此,设计一种新型的数据传输方式来满足空间科学实验数据的实时性和高速传输就显得很有必要了。设计了一个基于 UDP 协议的高速数据传输系统,硬件上以航天级的 FPGA 芯片 APA300 和工业级的千兆以太网芯片 88E1111 为核心搭建系统平台;用 FPGA 的逻辑资源实现数据的接收逻辑模块和按照 UDP 协议对数据进行封包的发送逻辑模块,提高了系统的可移植性。使用 UDP 数据传输技术,有效提高了系统的数据传输速率。实验表明,传输速度可以达到 864 Mbps,可以满足空间科学实验的大数据量传输的要求。

**关键词:** UDP; FPGA; 空间科学实验; 88E1111

**中图分类号:** TP393 **文献标识码:** A **国家标准学科分类代码:** 520.3040

## UDP data transmission apply in space scientific experiments

Geng Hengshui<sup>1,2</sup> Feng Yutian<sup>1</sup> Zheng Weibo<sup>2</sup>

(1. School of Communication &amp; Information Engineering, Shanghai University, Shanghai 200072, China;

2. Shanghai Institute of Technical Physics of The Chinese Academy of Sciences, Shanghai 200083, China)

**Abstract:** As there are more and more space scientific experiments, the amount of experiments image data to be transferred have become increasingly large and the real-time transmission requirements are also increasing. Therefore, it is very necessary to design a new type of data transmission to meet real-time and high-speed transmission of data in space scientific experiments. This paper designs a system bases on UDP high-speed data transmission, the hardware platform bases on the space-grade FPGA chip APA300 and industrial-grade Gigabit Ethernet chip 88E1111 as the core; The portability of the system is improved by using FPGA logic resources to design data receiving logic module and data sending logic module with packaging data in accordance with UDP protocol. The rate of the system is effectively improved by using UDP data transmission technology. The experiments show that the transmission speed can reach 864 Mbps, it can meet the space scientific experiments with a large amount of data transmission.

**Keywords:** UDP; FPGA; space scientific experiments; 88E1111

## 0 引言

近年来,随着我国对外太空的探索,空间科学实验日益增多;2011年9月发射的天宫一号的三大空间科学实验<sup>[1]</sup>、2016年4月发射的实践十号的19项空间科学实验<sup>[2-3]</sup>、即将在9月中旬发射的天宫二号的空间科学实验等。空间科学实验数量的增加和数据实时性要求的提高,使得以图像为主的空间科学实验数据量出现了大量增长。RS422、LVDS、IEEE1394是空间科学实验常用的3种数据传输方式,但RS422传输速率慢,最快只有10 Mbps<sup>[4]</sup>;LVDS在距离大于100 m时,传输速率最高只有100 Mbps<sup>[5]</sup>;IEEE1394缺乏硬件厂商支持,普及率低<sup>[6]</sup>。这些常用的数据传输方式已适应

不了大容量的数据传输环境,因此,设计一个传输速率高、实时性强的数据传输系统就显的非常有意义了。

用户数据报协议(user data protocol, UDP)是一种无连接的面向数据报的传输层协议<sup>[7]</sup>,由于不需要后续检验,该协议适合用在传输速度快的场合。现场可编程门阵列(field programmable gate array, FPGA)芯片 APA300 有 30 万门逻辑资源,逻辑资源丰富,输出最高频率可达 150 MHz;FPGA 并行处理数据,因此 APA300 完全可以满足本设计高速数据传输的需求。结合 UDP 数据传输和 FPGA 的特点,本文设计了一个基于 FPGA 硬件平台的使用 UDP 数据传输技术的高速数据传输系统。该系统移植性好,且有效提高了数据传输速度。

# 1 系统设计

## 1.1 UDP 数据传输格式设计

UDP 在传输数据时尽最大努力交付,发送端把数据发送出去后并不关心接收端是否接收到了数据<sup>[8]</sup>,在接收方没有任何后续检验,因此该协议资源消耗小、处理速度快。在本设计中,UDP 的作用是完成数据的封装,其封装过程如下:先用 UDP 首部对用户数据进行封装,产生 UDP 数据包;再用网际协议(internet protocol, IP)首部 UDP 数据包封装<sup>[9]</sup>,产生 IP 数据包;最后用以太网首部对 IP 数据包封装并产生以太网尾部添加到数据包的最后,这部分数据一般是循环冗余校验位。至此,用户数据封装完毕,封装完成后的数据包称为数据帧,由 APA300 的发送逻辑模块发送给 88E1111 即可。用户数据封装过程如图 1 所示。

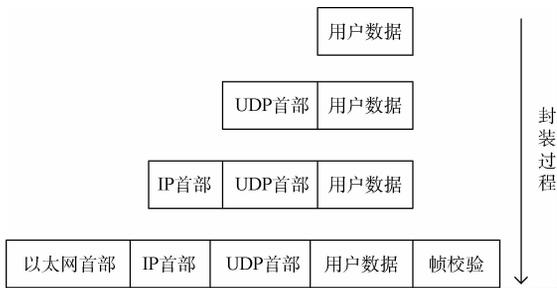


图 1 UDP 封装过程示意图

UDP 数据报的格式如图 2 所示。数据报的设计描述如下:IP 服务类型、IP 标识、IP 标记、UDP 包校验和都是可选的,在设计中这些值都设为 0;前序用于帧同步;目的物理地址(media access control address, MAC)和源 MAC 分别为接收端和发送端的网卡物理地址,是唯一的;类型值若为 0×0800,则为 IP 数据,若为 0806,则为地址解析协议(address resolution protocol, ARP)数据,本设计中该值定为 0×0800;版本为 IPv4 或者 IPv6,本设计选择为 IPv4,其值为 4;IP 头长度为 20 Byte,因此 IP 头长度值为 5;IP 包总长度的值等于 UDP 长度加上 IP 包总长度;IP 生存时间设为 0×0080;IP 协议类型的值若为 11,该协议为 IP 协议,若为 17,则为 UDP 协议,此处应为 IP 协议,因此该值为 11;IP 头部以 16 位为一个单位进行相加,再对相加的值取反,即得到 IP 头校验和;源 IP 地址和目的 IP 地址分别为发送端和接收端的 IP 地址;UDP 源端口和 UDP 目的端口分别为发送端的应用程序端口和接收端的应用程序端口;UDP 长度根据接收到的数据长度而定;帧校验一般为循环冗余校验,长度为 4 Byte。

## 1.2 硬件设计

系统硬件框图如图 3 所示。

DS26LV31/32 用于 RS422 数据的收发,65LVDS31/32 用于 LVDS 数据的收发。由于空间科学实验数据一般都是用这两种传输方式,因此该数据传输系统具有很好的

以太网首部	前序:8 Byte 目的MAC:6 Byte 源MAC:6 Byte 类型:2 Byte
IP首部	版本类型:0.5 Byte IP头长度:0.5 Byte IP服务类型:1 Byte IP包总长度:2 Byte IP标识:2 Byte IP标记:2 Byte IP生存时间:1 Byte IP协议类型:1 Byte IP头校验和:2 Byte 源IP地址:4 Byte 目的IP地址:4 Byte
UDP首部	UDP源端口:2 Byte UDP目的端口:2 Byte UDP长度:2 Byte UDP包校验和:4 Byte
用户数据	≤1472 Byte
帧校验	4 Byte

图 2 UDP 数据包格式

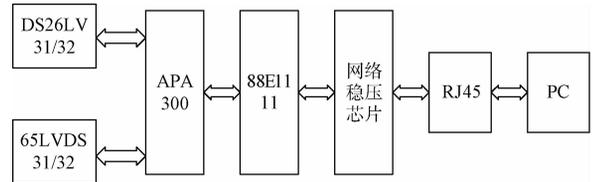


图 3 系统硬件框图

兼容性。FPGA 有两种结构:基于 Flash 和基于 SRAM 的。前者代码烧录后掉电不丢失;后者掉电易丢失,上电后要重新下载。由于实验环境发生在太空之中,因此选择掉电不丢失的 FPGA 芯片更符合需求。APA300 是 Actel 公司设计生产的基于 Flash 系列的 FPGA 芯片,有 30 万门逻辑资源,工作频率最高为 150 MHz,无论是逻辑资源还是工作频率都能满足系统设计的要求。88E1111 是 MARVELL 公司生产的物理层的千兆以太网的芯片,支持符合 IEEE802.3 标准的 10/100/1000BASE-T 的传输速度,支持 GMII, TBI, reduced pin count GMII(RGMII)等多种接口模式,是目前千兆以太网设计中使用最普遍的一种物理层芯片。千兆以太网具有高速、高校、高性能的特点<sup>[10]</sup>。

FPGA 数据并行处理的特点使 FPGA 非常适合用于数据高速传输的场合<sup>[11]</sup>。APA300 的接收、发送、校验逻辑模块均用其内部的逻辑资源实现,减小了硬件电路的面积,增强了系统的可移植性。由于数据在传输的过程中会有外界和自身的干扰,因此使用网络稳压芯片可以增强信号的稳定性。

千兆以太网芯片 88E1111 通过 CONFIG[6:0]7 个管脚与 LED、VSS、VDD 相连完成工作模式、传输速率的配置。88E1111 支持 1000BASE-T、100BASE-TX、10BASE-T 三种工作模式,由于本设计需要工作在高速传输模式下,因此将 88E1111 配置成 1000BASE-T 模式,此时 HWCFG\_MODE[3:0]的值应为 2'b1111。

为了增加信号的稳定性和抗干扰性,采用以下两个措施:

1)FPGA 与 88E1111 之间的接口采用 GMII 接口形式,该接口的工作频率为 125 MHz。由于该接口的工作频率较高,在 PCB 布线时,该接口的数据线采用等长布线,为了阻抗匹配,每根线采用 33 Ω 的电阻来减少信号的反射。

2)88E1111 与网络稳压芯片之间的接口布线时采用差分等长布线。

### 1.3 FPGA 逻辑设计

FPGA 逻辑模块可以分为接收模块、FIFO 缓存模块、发送模块、校验模块。其框图如图 4 所示,每个模块的功能如下。

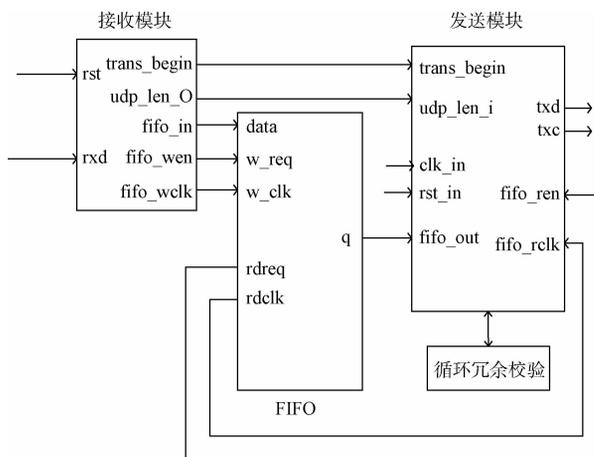


图 4 FPGA 逻辑设计框图

1)接收模块:APA300 接收逻辑模块接收到数据后,标志位 trans\_begin 有效;并对接收到的数据计数,以便得到接收到的数据包的长度,然后将计数所得的数值赋值给 udp\_len\_0;同时把接收到的数据发送给 APA300 内部的 FIFO 缓存模块。当接收完数据之后,同时完成数据的校验。

2)FIFO 缓存模块:当接收模块接收到数据后,接收模块先将数据缓存到 FIFO 缓存模块中。在实际工作中,数据是便接收边缓存的,也就是发送模块发送完以太网首部、IP 首部、UDP 首部以后就开始发送用户数据部分。以太网首部、IP 首部、UDP 首部的长度为 52 Byte,因此,理论上 FIFO 的深度只要能缓存 52 Byte 就能满足要求。该 FIFO 模块位宽为 8 bit,深度为 1 024 Byte,完全能满足缓存的需求。

3)发送模块:标志位 trans\_begin 有效后,发送模块按照 UDP 数据包的格式对数据完成封装,首先发送以太网首部、IP 首部、UDP 首部,然后发送从 FIFO 缓冲模块接收到的数据;最后发送 4 Byte 的循环冗余校验。发送逻辑模块把打包后的数据发送给千兆以太网芯片,经过网络稳压器和 RJ45 之后由目的主机接收。

4)循环冗余校验:循环冗余校验(cyclic redundancy check,CRC),是常用的信道编码之一<sup>[12]</sup>。其特征是信息段和校验字段的长度可以任意选定。CRC 码是由两部分组成的,前部分是信息码,就是需要校验的信息,后部分是校验码。校验码的生成规则如下:

①将原信息码左移  $r$  bit,右侧补零, $r$  为生成多项式  $g(x)$  的最高项的幂;

②用将移位后的信息码除以  $g(x)$ (使用模 2 除法),得到的余数即为 CRC 校验码;

③将校验码续接到信息码的尾部,形成 CRC 码。

该系统中使用 32 bit 的 CRC 校验,其生成多项式如下:  

$$CRC-32 = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1。$$

## 2 系统测试

系统测试过程如下:

1)在发送逻辑模块中根据 UDP 数据包格式设置好目的主机的 MAC 地址;

2)在上位机上设置好目的主机的 IP 地址,该 IP 地址须与 UDP 数据包中目的主机的 IP 地址一致;

3)在网卡驱动的属性里将目的计算机的工作模式设置为 1 Gbit 模式;

4)使用上位机软件不停的发送测试数据;

5)用抓包工具 Wireshark 来观察数据的发送过程<sup>[13]</sup>,其数据发送速度如图 5 所示。



图 5 UDP 千兆以太网数据传输速度

测试所使用的相机探测器分辨率为 1024 × 768,图像

每次发送一行,因此每次发送 3 072 Byte,为 8 bit 数据。

由图 5 可知,该系统每秒发送的数据包为 37 507。由此可知,该系统每秒的数据传输速度为 864 Mbps。将 APA300 与 88E1111 的接口模式改为 MII 接口,也即使系统工作在百兆模式下,每秒发送的数据包为 3 116,如图 6 所示,传输

速度为 72 Mbps。由此可知,千兆以太网的传输速度远远大于百兆以太网的传输速度,且其传输速度远大于 LVDS 的标准最高速度 655 Mbps,因此能完全满足空间科学实验大数据量传输的要求。



图 6 UDP 百兆以太网数据传输速度

### 3 结 论

本文提出了使用 UDP/IP 技术实现数据的高速传输来满足空间科学实验日益庞大的数据传输要求。完成了系统的硬件设计和 FPGA 逻辑设计,使用 UDP 数据传输技术在 APA300 硬件平台上实现了数据的高速传输,速度可以达到 864 Mbps,大大提高了数据传输速率,可以满足空间科学实验大数据量的传输要求。使用 APA300 完成了收发控制逻辑模块的功能,提高了 FPGA 的资源利用率,降低了系统成本,减小了系统的面积,增加了系统的可靠性和可移植性。

### 参考文献

- [1] 刘欢. 天宫一号三大空间科学实验获重要成果[J]. 中国航天, 2012(9): 11-12.
- [2] 康琦. “实践十号返回式科学实验卫星项目”专栏 前言[J]. 力学与实践, 2016(2): 199-200.
- [3] 康琦, 胡文瑞. 微重力科学实验卫星——“实践十号”[J]. 中国科学院院刊, 2016(5): 574-80, 482.
- [4] ZHANG P, YANG R F. PCM self-test module based on RS422 interface[C]. International Conference on Electronics and Optoelectronics, 2011:292-294.
- [5] ZHU Y F, YE X. Design of data transmission platform based on LVDS and FPGA technology[J]. Advanced Materials Research, 2012 ( 403-408 ): 2111-2114.
- [6] YANG Y, ZHANG C, LI L. Modeling and performance analysis of IEEE-1394 asynchronous

transfer mechanism[J]. Journal of Beijing University of Aeronautics and Astronautics, 2010, 36 ( 3 ): 311-314.

- [7] 周静雷, 贾宝军, 张宏艳. 基于以太网的声频数据实时传输[J]. 电子测量技术, 2011, 34(5): 107-110.
- [8] 李红, 祝连庆, 闫光. 基于改性型 UDP 和 CIGI 的光纤光栅高速解调技术研究[J]. 仪器仪表学报, 2016, 37(1): 129-135.
- [9] YAN B, SUN Y. High-speed data transmission system design and implementation based on FPGA [C]. International Conference on Information Engineering and Computer Science, ICIECS, 2009:1-4.
- [10] 俞鹏炜, 任勇, 冯鹏. 基于 FPGA 的千兆以太网 CMOS 图像数据传输系统设计[J]. 国外电子测量技术, 2016, 35(11): 76-81.
- [11] 王永伟, 刘岩俊. 嵌入式网络控制系统设计与实现[J]. 国外电子测量技术, 2014, 33(9): 50-53.
- [12] 罗超, 刘昌禄, 胡敬营. 一种基于 FPGA 的并行 CRC 及其 UART 实现[J]. 电子测量技术, 2016, 39(2): 147-150.
- [13] 罗青林, 徐克付, 臧文羽, 等. Wireshark 环境下的网络协议解析与验证方法[J]. 计算机工程与设计, 2011(3): 770-773.

### 作者简介

耿恒水, 硕士研究生, 主要研究方向为空间科学实验的数据传输。

E-mail: genghengshui@163.com