

基于正交 DDS 单边带调制扫频源电路设计与实现

石苍松 黄光明

(华中师范大学物理科学与技术学院 武汉 430079)

摘要: 通过频谱的线性搬移原理,提出了一种 100~1 000 MHz 扫频源电路设计方案。该方案基于正交单边带调制的方法,将 DDS 芯片产生的正交信号与正交的本振信号分别相乘后再相加,输出信号中本振和其中一个边带信号会被抑制,另一个边带信号就是直接变频得到的信号将会得到保留。研究测试表明该电路的无用边带和载波信号均被抑制了-40 dBm 左右,且该电路还具有较高的频率精度和频率范围,既保留了 DDS 极好的频率分辨率和频率捷变的特性,又实现了在宽频带扫频的功能。

关键词: DDS;频谱搬移;单边带调制

中图分类号: TM935.23 **文献标识码:** A **国家标准学科分类代码:** 510.40

Design and implementation of single side band modulation scan source circuit based on orthogonal DDS

Shi Cangsong Huang Guangming

(College of Physical Science and Technology, Central China Normal University, Wuhan 430079, China)

Abstract: By moving the linear spectrum principle, we proposed a 100~1 000 MHz sweep source circuit design. Quadrature signal with the quadrature local oscillator signal of the program orthogonal single sideband modulation method based on the DDS chip are generated by multiplying the sum output signal and local oscillator signal one sideband is suppressed, another sideband signal is the signal obtained by direct conversion will be retained. Study tests show unwanted sideband and the carrier signal of the circuit were inhibited by about -40 dBm, and the circuit also has a higher frequency accuracy and frequency range, not only retains the DDS frequency resolution and excellent frequency agility features but also achieved a wide band sweep function.

Keywords: DDS; spectrum shifting; single side band modulation

1 引言

扫频源在很多领域中有着广泛的应用,如矢量网络分析仪,频谱分析仪,雷达扫描等等,且近年来,科学技术特别是通信技术和计算机技术高速发展,电子系统的工作频率越来越高,这对扫频源的频率输出范围和输出频率精度要求也越来越高^[1-3]。产生宽频带扫频信号的传统方法是用分立元件搭建 LC 震荡电路,通过改变电容或电感的参数产生扫频信号,这种电路虽然比较简单容易实现,但是由于电容电感的精度做到非常高是比较困难的,这就导致了用分立元件搭建的扫频源输出信号精度不高,频率的控制也不够方便。本文提出了一种通过直接上变频的方式产生宽频带的扫频源,将 DDS 输出的扫频信号搬移到高频段,有别于 DDS 激励 PLL 获得合成频率的方式^[4],直接上变频

的方法既保留了 DDS 极好的频率分辨率和频率捷变的特性,又拓宽了 DDS 输出信号的频带。

2 直接上变频原理

本系统采用的是正交 DDS 单边带调制的方式来实现直接上变频^[4]。具体的实现原理如图 1 所示。

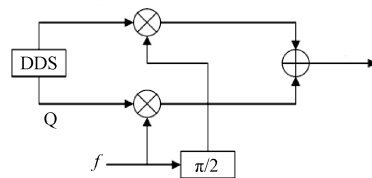


图 1 正交单边带调制原理

DDS 芯片产生正交的 I、Q 两路信号,然后分别与正交

的本振信号(LO)相乘,最后再将这两路输出相加,需要的边带相互叠加,不需要的边带相互抵消。具体的数学计算公式如下:

假设 DDS 输出的两路信号分别为 $I_{(t)} = A\cos(\omega t)$, $Q_{(t)} = A\sin(\omega t)$, 本振信号 f 经过 90° 移相后,分别为 $\cos(\phi t)$ 和 $\sin(\phi t)$, 根据图 1,可以得到输出信号为 $A\cos(\omega t) \times \sin(\phi t) + A\sin(\omega t) \times \cos(\phi t) = 1/2[A\sin(\omega t + \phi t) - A\sin(\omega t - \phi t)] + 1/2[A\sin(\omega t + \phi t) + A\sin(\omega t - \phi t)] = A\sin(\omega t + \phi t)$ 。这就得到了上变频信号,若交换 $\cos(\phi t)$ 和 $\sin(\phi t)$ 进入 I、Q 两路混频的顺序,则可以得到下变频信号。

3 系统设计

根据上面的理论推导,要求 DDS 能够输出两路正交的 I、Q 信号,AD9854 这款芯片便能满足要求,其最高系统时钟为 300 MHz,此时芯片可输出的信号频率范围为 0~120 MHz。AD9854 拥有两个 14 位相位控制寄存器,两个 12 位幅度控制寄存器,两个 48 位频率控制寄存器,最小频率分辨率可达到 $1 \mu\text{Hz}$ 。

本振信号由 ADF4350 这块芯片提供,该芯片内部集成压控振荡器(VCO),设计者只需根据需求设计好环路滤波器,就可以让这款芯片输出稳定的信号,为简化电路的设计提供不少帮助。ADF4350 的基波的输出范围是 2.2~4.4 GHz,通过控制分频寄存器,可以产生输出频率范围为 137.5 MHz~4.4 GHz 的差分信号。通过寄存器的控制,可以使芯片提供 -4、-1、+2 和 +5 dBm 共 4 种输出功率水平。

ADL5385 是单边带调制芯片,这款芯片能够将 DC~500 MHz 的信号变频到 30 MHz~2.2 GHz 的频带范围内,同时能够使得边带抑制达到 -41 dBc@860 MHz(典型值),载波馈通为 -41 dBm@860 MHz(典型值),能够为设计者提供良好的单边带调制功能。芯片内部还集成了二分频移相电路,可以将输入到芯片中的 LO 差分信号变成二分频的两路正交的信号,与使用一分频 LO 级的调制器不

同,无须谐波滤波便让 ADF4350 产生的信号直接驱动 ADL5385 的 LO 引脚。具体的实现电路框图如图 2 所示。

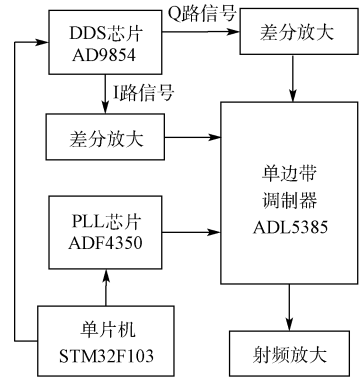


图 2 直接上变频电路

整个系统的基本的工作流程是:系统上电后,单片机向 ADF4350 寄存器写值,使 PLL 芯片 ADF4350 输出在系统所需的频段上,并通过差分的方式送入单边带调制芯片中。同时,单片机向 DDS 芯片 AD9854 的寄存器中写值,控制 AD9854 的 I、Q 两路信号的输出频率和相位差,通过差分放大后送入单边带调制芯片中,最后这两路信号通过单边带调制器 ADL5385 直接变频得到所需频率,经射频放大电路模块送出射频信号。

4 电路设计

4.1 AD9854 电路模块设计

设计 AD9854 电路模块时,需要注意的是该芯片引脚的 I、Q 信号输出是两对信号幅度范围有限的差分信号。当以差分的方式驱动 ADL5385 的 I、Q 输入引脚时,驱动信号的幅度要求为 700 mV 峰-峰值(典型值)和 500 mV 直流偏置,因此,AD9854 的输出信号不能作为直接驱动调制器的标准 I、Q 信号,需要对 DDS 的输出信号调理,该调理电路的基本功能是先滤除 DDS 输出信号的高次谐波,提高 I、Q 信号的无杂散动态范围(SFDR)再进行信号放大。图 3 所

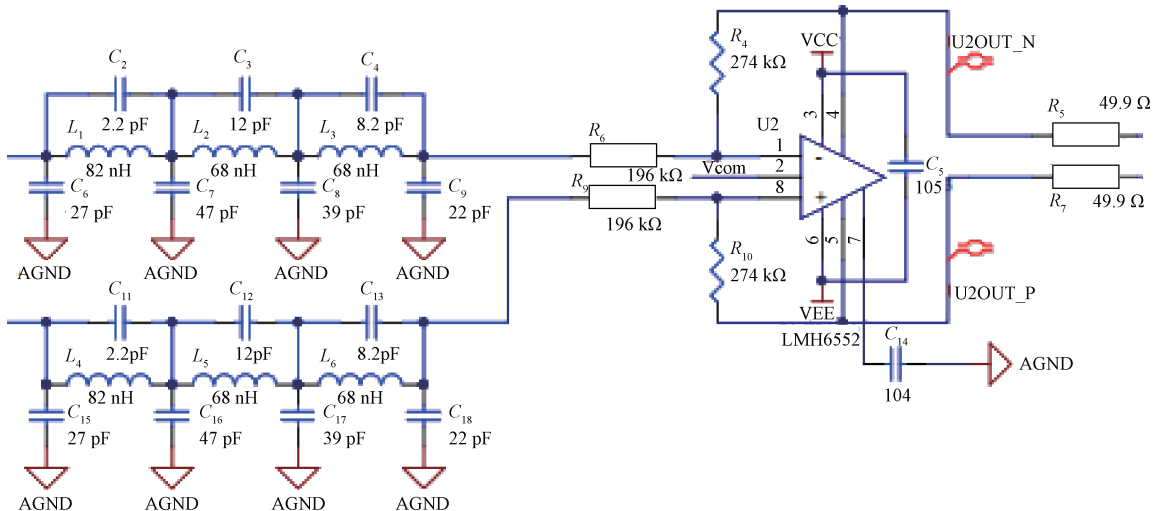


图 3 信号调理电路

示的是 I 路信号的调理电路,与 Q 路信号的调理电路完全相同。电路的左侧是七阶椭圆低通滤波器右边是一个全差分放大电路。

通过仿真,参数优化和测试,最终滤波器的参数如图 3 所示,图 4 是滤波器的幅频特性曲线,从图中可以看出该滤波器的 3 dB 带宽为 115.8 MHz,通带内比较平坦,140 MHz 约为 -33 dB 的衰减,这个滤波电路比较符合设计要求。

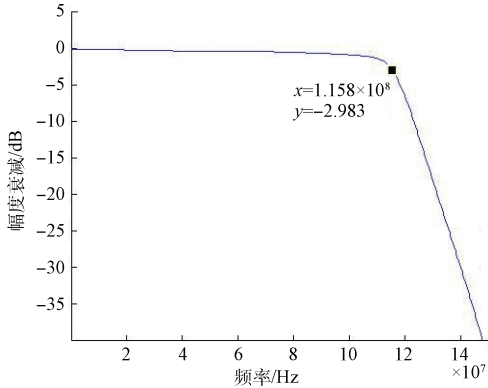


图 4 滤波器幅频特性

通过改变 AD9854 的输出电流控制电阻,使其输出信号为 500 mV 峰-峰值,经 1.4 倍的放大达到 700 mV 峰-峰值,再加上 500mV 直流偏置,即可得到符合 ADL5385 要

求的驱动信号。AD9854 输出的最大频率为 120 MHz,要求放大器的压摆率至少为 527 V/ μ S,全差分运算放大器 LMH6552 在 4 倍幅度放大时有 800 MHz 的带宽,压摆率为 3 800 V/ μ S,由放大器的第 2 引脚(Vcom)可以引入直流偏置,因此选用这款芯片符合设计要求的。

4.2 PLL 电路模块设计

ADF4350 芯片内部集成了 VCO、鉴相器和分频器,只需设计出符合要求的环路滤波器即可完成 PLL 电路的设计。环路滤波器可以借助从 ADI 官网免费申请的 ADIsimPLL4.0 完成电路的仿真和优化。在软件中设置 PLL 参考频率为 20 MHz,环路滤波器电路形式选择选无源 3 阶滤波器,相位余量设置为默认值,点击完成,进入相噪仿真和原理图仿真界面。如图 5 和 6 所示。

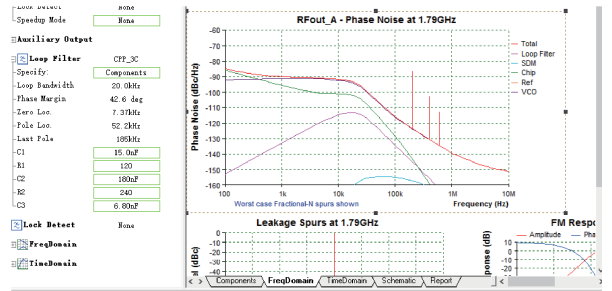


图 5 相噪仿真

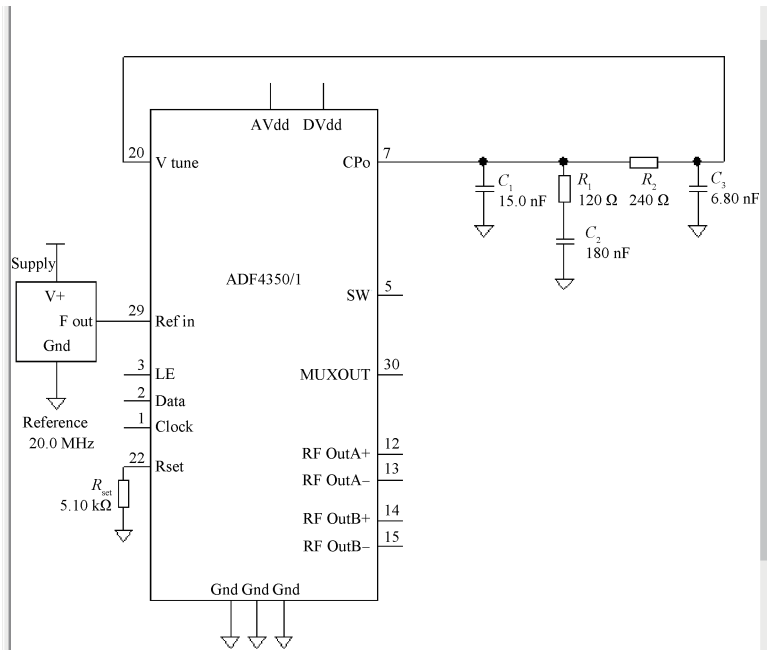
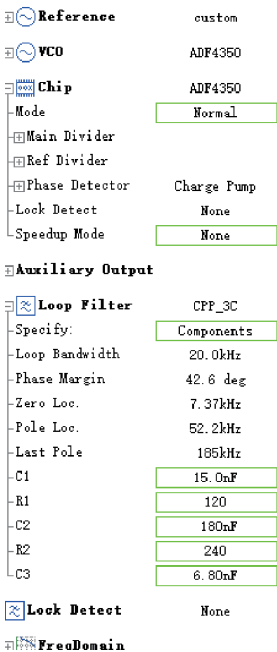


图 6 原理图仿真

扫频源的输出精度与锁相环的相位噪声密切相关,因此设计环路滤波器时,应优先考虑减小锁相环的相位噪声,再考虑锁相环的锁定时间。减小锁相环的相位噪声^[12-13]主

要可以从以下 4 方面考虑:

- 1) 增大鉴相频率;
- 2) 缩小环路带宽(限制噪声);
- 3) 增大电荷泵电流;
- 4) 参考晶振选用更低噪声的产品。

鉴相频率设置与成参考时钟相同的 20 MHz, 根据经验法则将环路滤波器的带宽设置成小于鉴相频率的 1/20, 再改变环路滤波器的带宽, 观察相位噪声仿真曲线的变化。根据相位噪声仿真曲线和考虑到市面上能够购买到的常见容值和阻值, 最终确定的环路滤波器环路带宽为 52 kHz, 相位噪声仿真曲线如图 7 所示, 从图中可以看出 1 kHz 的相噪小于 -100 dBc。

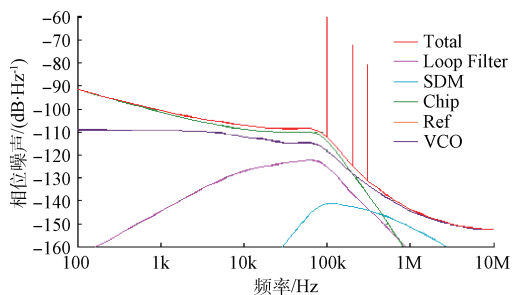


图 7 优化后的相位噪声仿真

4.3 ADL5385 电路模块设计

正交单边带调制的输出信号对调制信号和本振信号的正交性要求很高, 对幅度和相位不平衡非常敏感。如果解决不好, 会引起严重的无用边带和本振泄漏问题^[14]。ADL5385 的正交 LO 信号是利用二分频模块产生信号, 正交精度取决于输入 LO 信号的占空比精度以及 ADL5385 内部分频器触发器的匹配度, 而采用差分方式驱动调制器 LO 输入时, 可以消除偶次谐波, 改善整体正交精度。以差分方式驱动调制器的 LO 输入可以实现优于单端方式的边带抑制性能。调制信号是由 DDS 芯片提供的, 调制信号幅度和相位的不平衡可以通过软件校准的方式解决。

4.4 印刷电路板设计

AD9854 和 ADF4350 这两款芯片都有数字电源、模拟电源和数字地、模拟地的电源引脚, 为避免数字噪声串扰到模拟电路的信号中, 这里需要将模拟电源、数字电源, 模拟地、数字地做分隔处理, 然后在总电源输入端的根部汇合。本系统中 AD9854、ADF4350 的供电电压为 3.3 V, ADL5385 的供电电压为 5 V, 差分放大器 LMH6552 的需要 +5 V 和 -5 V 的工作电压, 为了方便电源的分割, 最终所绘制的电路板为 4 层: 顶层和底层为信号层, 第 2 层为地层, 第 3 层为电源层。

元器件布局时, 尽可能让信号链路上的器件排成一条直线并尽可能的靠近, 以缩短信号线的走线。高频信号模块尽可能的远离电源模块, 布局布线时应远离电路板的边缘 2 mm 以上。高频的晶振下面不要走线, 电源线尽可能的宽, 需要拐角时以 135° 为宜, 避免拐直角。敏感的信号线不要打过孔, 以减小分布参数。最终焊接和调试好的实物如图 8 所示。

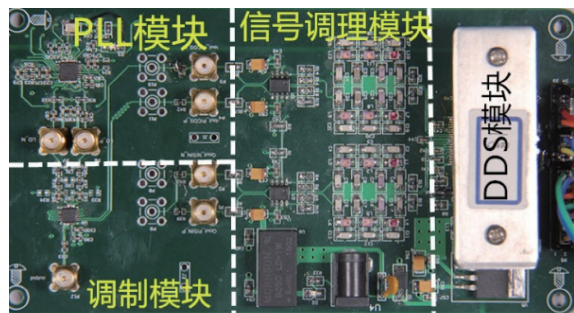


图 8 单边带调制电路板

5 性能测试

5.1 扫频源跳频时间测试

本套系统中单片机是用并行的方式控制 AD9854, 通过查询 AD9854 的数据文档可知从寻址、寄存器写入数值最后输出波形 AD9854 所用的时间为纳秒级, 可以忽略不计, 因此最后的跳频时间由锁相环 VCO 的稳定时间来决定。用安捷伦的 DSO-X 4034A 示波器测得 VCO 的稳定过程下图 9 中所示, 从图中可以看出, 锁相环的锁相时间为 150 μ s。所以, 最终的跳频时间大约为 150 μ s。

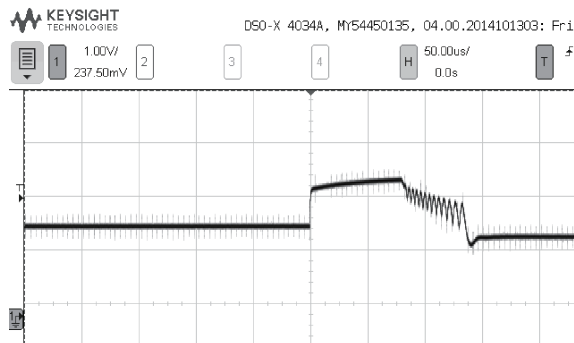


图 9 锁相环 VCO 稳定过程

5.2 输出信号测试

输出信号的测试采用的是安捷伦 CXA N9000A 频谱仪。图 10、11 所示分别为 200 MHz 和 1 GHz 的输出信号

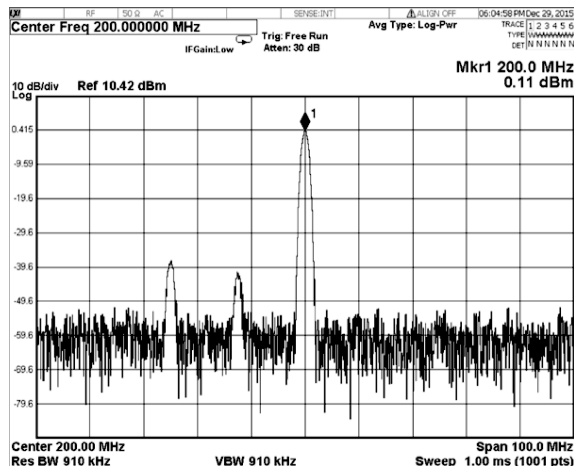


图 10 200 MHz 输出信号频谱图

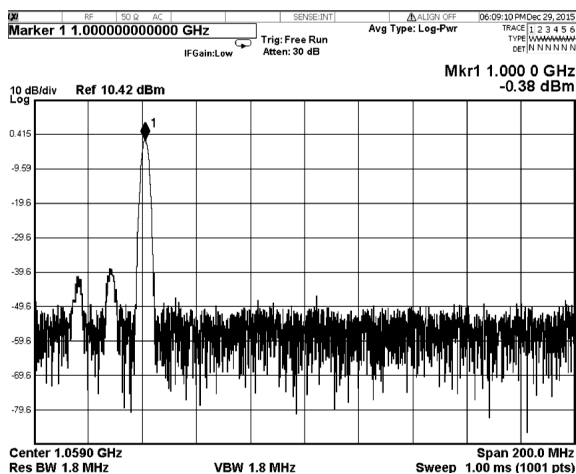


图 11 1 GHz 输出信号频谱图

频谱图,从图中可以看出,通过单边带调制后的信号频谱中还是有残留边带,但是下边带和载波都被抑制在 -40 dBm左右。

经过测试发现这套系统的实际输出频率与理论值之间的误差不超过 0.6% 。

6 总 结

本文提出的基于单边带调制的方法设计的 $100 \sim 1\,000$ MHz扫频源没有损失 DDS 技术的任何优越性,测量结果表明本套方案输出信号具有良好的频率捷变特性和极好的频率分辨特性。

本文中所使用的 AD9854 芯片也可以用其他的芯片代替,比如 AD9850, AD9851 等,可通过控制两片分立的 DDS 信号产生正交的两路信号,这样成本可以得到一定的控制,但相应的软件控制部分就会变得相对复杂一些。

用单边带调制的方法将 DDS 上变频至更高的频段也是可行的,但是在硬件设计方面就需要考虑更多的信号完整性方面的问题。

参考文献

- [1] 万亮,许鼎,何国瑜.基于线性扫频源的 X 波段快速幅相测量系统[J].仪器仪表学报,2012,33(7):1647-1652.

- [2] 肖江涛,赵苏宇,何鹏,等.基于频率合成的射频扫频源的设计[J].国外电子测量技术,2011,30(7):56-58.
- [3] 向茜,王世庆,柳建,等.一种可调的高速扫频源设计与实现[J].电子测量技术,2009,32(4):45-48.
- [4] 陈科,叶建芳,马三涵.基于 DDS+PLL 技术频率合成器的设计与实现[J].国外电子测量技术,2010,29(4):43-47.
- [5] 胡丽格.基于 ADF4350 与 AD9913 的跳频频率合成器设计[J].无线电工程,2015(9):65-67.
- [6] 单月忠.多频段 RFID 阅读器射频前端关键技术研究[D].宁波:宁波大学,2015.
- [7] 董建晶,张晓青.基于 FPGA 与 AD9854 的宽带扫频信号源设计[J].国外电子测量技术,2013,32(11):65-69.
- [8] 董宝玉,薛严冰,马驰,等.基于 AD9854 与 STM32 的频率特性测试仪设计[J].化工自动化及仪表,2014(6):655-659.
- [9] 徐述武,汪海勇,唐云峰.基于 ADF4350 锁相频率合成器的频率源设计与实现[J].电子器件,2010,33(6):725-729.
- [10] 马国胜,杨莺怡.ADF4350 低相噪频率合成器在射频无线通信设备中的应用[J].国外电子测量技术,2009,28(4):65-69.
- [11] 薛军,潘高峰,谢勇.基于 ADF4350 的多频段信号源的设计与实现[J].无线电工程,2011,41(11):53-55.
- [12] 杨沛,张磊,王平连,等.锁相环相位噪声的研究与仿真[J].电子测量技术,2009,32(4):35-37,48.
- [13] 李仲秋,曾全胜.锁相环相位噪声与环路带宽的关系分析[J].现代电子技术,2009,32(14):132-134.
- [14] 曹鹏,王明飞,费元春.直接正交上变频调制器的镜频抑制与本振泄漏对消技术研究[J].电子学报,2010,38(S1):6-9.

作者简介

石苍松,1990 年出生,在读硕士研究生,主要研究方向为仪器仪表。

E-mail:shicangsong@mails.ccu.edu.cn