

用于ADC测试的数据采集系统的设计

张丛丛 谭 博

(北京微电子技术研究所 北京 100076)

摘要: 介绍了一种可用于百兆级采样率模数转换器(ADC)测试的数据采集系统,给出其硬件设计原理与方法,并简要介绍了上位机软件工作流程。该系统主要用于进行8位或16位100 MHz采样率ADC的动态参数的测试,采用FPGA+USB的形式。其中,FPGA负责对采集的数据进行缓存和传输,然后通过USB将数据上传到上位机中,最后利用上位机软件的控制算法实现对待测ADC参数的计算与显示,从而得出电路的测试结果。该系统性目前已用于日常电路测试,并取得了良好的效果。

关键词: 动态参数; FPGA; SRAM; FIFO; 数据采集; USB

中图分类号: TN792 文献标识码: A 国家标准学科分类代码: 510.1050

Data acquisition system for ADC testing

Zhang Congcong Tan Bo

(Beijing Microelectronics Technology Institute, Beijing 100076, China)

Abstract: A design of data acquisition system for 100 MHz sampling rate ADC testing, and gives its hardware design principle and method, then briefly introduces the PC software working process. The system is adopted a form of FPGA+USB and mainly used for testing the dynamic parameters of 8 or 16 bit 100MHz sampling rate ADC. Among of them, FPGA is responsible for the collection of data caching and transmission, then through the USB to upload data to the host computer and use the control algorithm to calculate the ADC parameters and display them, thus obtains the result of the test ADC. The system has been used in routine testing, and has achieved good results.

Keywords: dynamic parameter; FPGA; SRAM; FIFO; data acquisition; USB

1 引言

随着ADC的高速发展,其测试技术也随之相应的提高。通常的测试方法有模拟信号测试方法和数字信号处理方法。模拟信号测试是利用一个更高精度的DAC将待测ADC输出的数字信号转化为模拟信号,然后利用频谱分析仪对DAC的模拟输出信号进行频谱分析,得出信噪比等指标。但这种测试方法存在着测试时间较长的缺点,不适合应用于大规模的生产测试。随着数字信号处理技术的发展,通过使用快速傅里叶变换^[1](FFT)技术可以对大量数据进行频域分析,大大提高测试速度。本文将采用数字信号处理的方法,采用FPGA+USB的方式,通过上位机计算得出芯片的性能,其中,负责上位机和电路板通信的USB芯片会采用一种带有微处理器的芯片,可作为采集系统的控制中枢,方便信号的控制。

2 硬件电路

2.1 总体方案

ADC的动态参数测试包括有效位(ENOB)、信噪比(SNR)、信号与噪声失真比(SINAD)、总谐波失真(THD)、无杂散动态范围(SFDR)^[2]等。测试ADC动态参数的方法是输入给ADC一奈奎斯特范围内频率的信号,然后采集定量连续的ADC输出数据,再利用FFT算法对输出数据进行计算,从而得出其动态参数^[3]。本系统依据上述测试方法,采用FPGA+USB的方式,完成数据的采集、传送和计算的过程。另外,除了动态参数测试外,本系统还具有ADC基准源测试和功耗测试功能,它的原理是利用两个高精度的ADC,一个用来转换待测ADC的基准源输出信号和芯片供电电压,另一个测量芯片的供电电流,然后传到上位机上进行相应的计算来完成的。整个数据采集系统的硬件结构框图如图1所示。

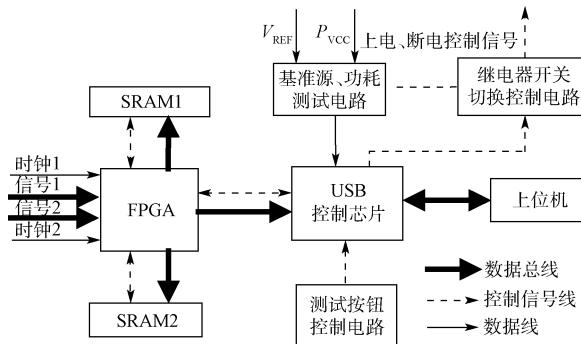


图1 数据采集系统框图

由图1可见,系统对数据和时钟的接收是通过FPGA来完成的,两片SRAM主要用来存储大容量数据^[4]。基准源信号V_{REF}和芯片供电电源信号P_{VCC}要先后传输给基准源、功耗测试电路,其信号先后顺序的控制是通过继电器来切换完成的。USB控制芯片采用CY7C68013,内有增强型8051微处理器,用来控制继电器电路的切换和接收测试按钮信号,并通过可编程接口GPIF将FPGA和高精度ADC的数据传输给上位机进行计算和显示。

2.2 数据采集电路

系统采用FPGA实现数据的采集和存储^[5],旨在测试精度在8位和16位的百兆级采样率ADC电路,其工作时钟速率一般都在200 MHz以下,而有的8位精度ADC产品会采用双路输出,要求有两个单独的FIFO分别对两路数据进行缓存,理论上每个FIFO的最小容量为 $2^8 \times 10 = 2560$,其中, 2^8 表示8位精度ADC的所有代码数,10表示每个代码重复采样10次,再根据FIFO的容量必须是 2^n KB

(n 为整数)的要求,实际每个FIFO的容量最小为4 KB。实际应用中,设计了每个FIFO的容量为8 KB,这样一次可以采集更多的点,在节省测试时间的基础上使得测试结果更加准确。而16位的ADC电路,每个点重复采样10次所要求的FIFO容量为 $2^{16} \times 10 = 655360$,对于有如此容量的FPGA来说,其价格是十分昂贵的,将会极大提高系统的成本,这是完全没有必要的,因此,采用操作简单的SRAM的方式来代替FIFO对数据进行存储。结合系统要求的存储容量,最终选用具有1 MB存储容量的SRAM来存储数据。

因为涉及到8位和16位不同ADC产品的测试,不同的测试目的所采用的FPGA配置是不一样的,所以FPGA采用在线配置^[6]的方式,方便实时测试。测试双路8位ADC的动态参数时,所需要的数据量较少,采用图2配置即可。

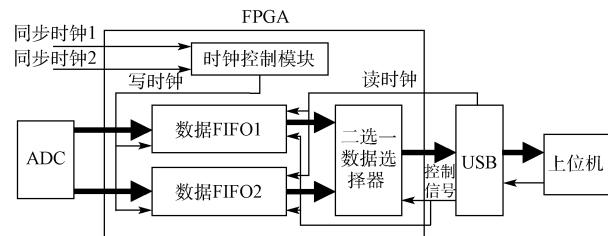


图2 8位双路ADC的动态参数测试的FPGA配置框图

图2中,每次测试只需对FIFO进行1次读写即可,读写信号由USB控制芯片控制,操作较为简单。图3进行16位ADC产品测试时,每次测试需要对SRAM进行1次读写,这里的FIFO仅起到缓存的作用,其中,SRAM1存储16位数据的高8位数据,SRAM2存储16位数据的低8位数据。

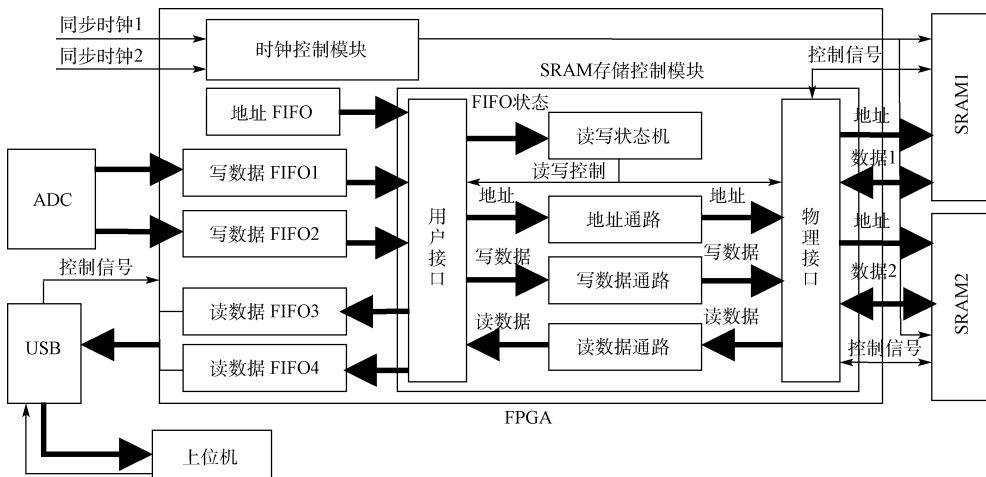


图3 16位单路ADC的动态参数测试的FPGA配置框图

2.3 USB及周边电路

系统采用USB控制芯片作为整个采集系统的控制中枢,用以控制FIFO和SRAM的读写和接收来自基准源(V_{REF})、功耗(P_{VCC})测试电路的电压电流信号,其中,V_{REF}

和P_{VCC}通过高精度ADC转换后再传给USB。整个流程为:控制芯片接收到测试起始信号后,通过发送继电器切换信号首先传送V_{REF}、P_{VCC}到PC,然后向FPGA发送复位信号,将存储器清零,接着发送写使能信号,等待FIFO或

SRAM的数据写满,在接收到满信号后,发送输出使能和读使能信号到FPGA,并同时开启控制芯片的批量数据上传功能,将数据上传到PC中,最后在接收到存储器空信号后,停止传输,等待下次测试。

系统选用的USB控制芯片为CYPRESS公司的CY7C68013,选用它是因为它除了内部集成微处理器外,还具有丰富的接口应用,如GPIF、I²C、USART等,方便设计^[7]。其中,GPIF可与大多数并行接口直接相连,因此用GPIF来批量上传数据;I²C应用简单,每一个连接到总线的器件都有唯一的地址和一直存在的简单的主机关系软件设定地址,可减少开发者的开发时间,系统中的测试起始信号和高精度ADC的转换信号就是通过I²C传输的^[8]。

测量基准源、功耗时,根据公式 $P=UI$,要同时分别测出芯片的供电电压和电流,因此测试电路中要用到两片高精度ADC。至于ADC精度的要求,本系统要求测量的电压精确到0.1 mV,即

$$1 \div 2^N < 10^{-4} \quad (1)$$

其中,N为所要求的ADC精度,经过计算得 $N \geq 14$,在ADC有效位影响的情况下,实际使用的ADC精度要远大于14位才行,再根据电路的特点,最后选用了I²C输出接口的18位高精度ADC^[9],其测试原理如图4所示。

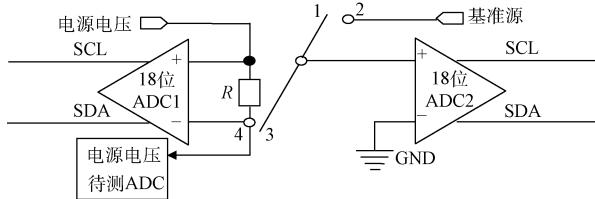


图4 基准源、功耗测试原理

图4中,1~4代表继电器切换通路,I²C总线SCL与

SDA都与USB控制芯片连接。上电时,首先1和2连接导通,通过ADC2测量出基准源电压,然后切换继电器通路,使3和4导通,再通过ADC2测量出待测芯片的供电电压,而此时ADC1测出的是其正负两端的电压差,即电阻R的电压,利用公式 $I=U/R$ 算出电流,因为ADC1输入端为高阻抗,所以计算出的电流就是待测芯片的供电电流,再结合ADC2测出的电压,利用公式 $P=UI$ 算出功耗。需要注意的是,电路中R的阻值不能过大,一般不大于 5Ω ,且要精确,否则会增加功耗和产生较大误差。

对于信号的切换是通过继电器来完成的,为了防止发送的信号在刚达到继电器的阈值时使得继电器来回跳变,造成电路的不稳定,需要在电路中增加一个施密特触发器,以此来保证开关通路的稳定切换。下图为继电器切换电路,要注意电路中继电器控制信号与电源端要反向并联一个“续流二极管”D,起到保护驱动电路的作用。

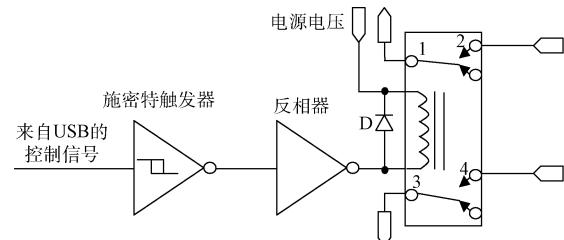


图5 继电器切换控制原理

3 上位机软件

系统的上位机编程环境采用可视化较强的VB语言编写,主要用于接收硬件系统的采集数据,然后计算、显示结果,并同时更改FPGA的配置,进行不同参数的测试。其中,动态参数的测试采用相关采样和平均频谱^[10]测试相结合的方式进行计算得出。以8位双路ADC为例,其测试软件流程如图6所示。

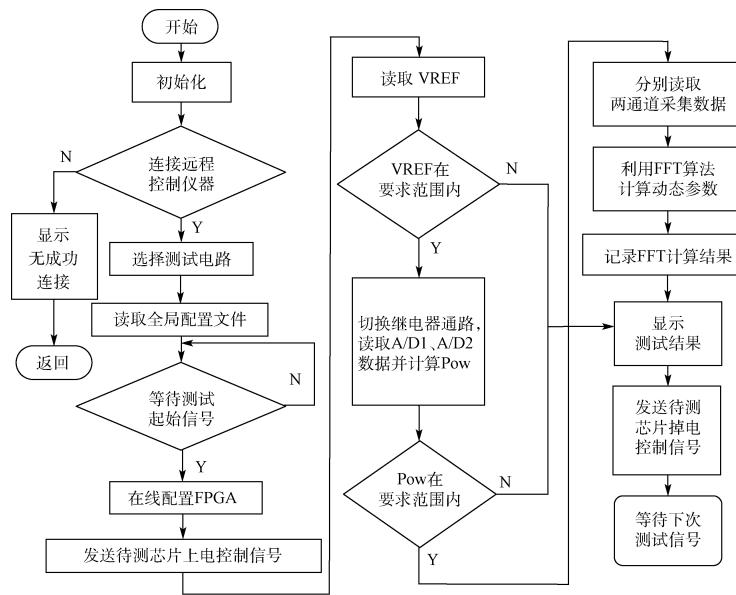


图6 测试软件流程

4 测试应用

整个数据采集系统再连接上装有 ADC 插座的电路板就可以实现 ADC 的测试。对 8 位 100 MHz 采样率的 ADC 测试界面及结果如图 7 所示。左侧显示的是测试指标及基准源、功耗测试结果, 右侧显示的是动态测试结果, 主要包括两个通道的 SNR、SINAD、THD、SFDR、ENOB 等参数。测试时, 首先依据测试的芯片型号选择测试配置, 系统会根据选择来加载不同的全局配置文件, 当接收到测试起始信号时开始测试, 最后根据测试结果与测试指标对比显示测试芯片是否合格。图 7 右侧显示了 30 片电路的测试结果, 而一屏可以总共可以显示 31 片电路, 当达到数量后将滚动到下一屏重新显示。左侧只显示当前电路的测试状态, 但所有的测试结果都会存储在 txt 文件里, 方便测试后查询。为了说明测试结果是否正确, 特利用逻辑分析仪对评估板的输出数据重新进行采集分析, 发现分析的结果与本系统测试的结果一致, 系统可以应用于实际测试。图 8 为 MATLAB 软件对逻辑分析仪的采集数据进行分析的结果, 分析的是图 7 中 30 号电路的右路数据, 可以看出其结果与图 7 显示一致。



图 7 8 位双路 ADC 测试系统测试界面

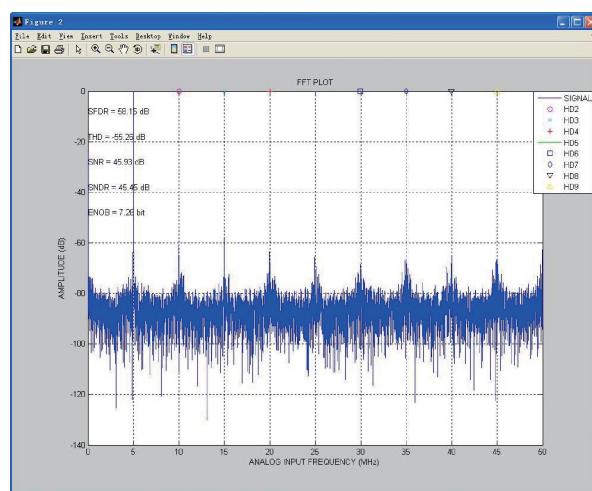


图 8 30 号电路的 MATLAB 分析结果

图 9 为 16 位单路 100 MHz 采样率的 ADC 测试界面及结果图。其测试软件界面与图 7 类似, 显示了 31 片电路的测试结果。与图 7 不同的是, 应测试要求, 每片电路都有对应的 ID 号。



图 9 16 位单路 ADC 测试系统测试界面

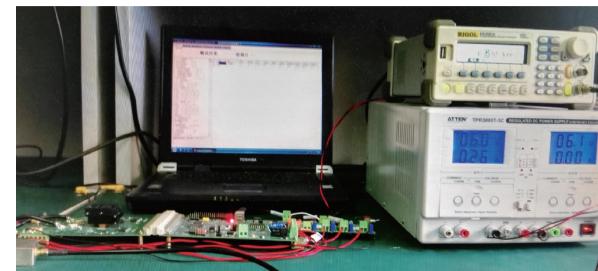


图 10 8 位双路 ADC 测试系统实物

5 结 论

本系统主要是针对本所研发出的 100 MSPS ADC 产品的测试而进行的开发设计, 因此对 FPGA 的全局时钟速度要求不高, 若要测试更高采样率的 ADC 产品, 可选用更高速率的 FPGA。另外, 本系统也可利用 USB 控制芯片接口对接机械手实现量产测试, 极大的节省了测试时间。

参考文献

- [1] 徐星, 陈世军. 一种用于 CMOS 图像传感器集成 ADC 的性能测试系统[J]. 电子设计工程, 2013, 21(22):191-193.
- [2] 杨扩军, 田书林, 蒋俊, 等. 基于 TIADC 的 20GS/s 高速数据采集系统[J]. 仪器仪表学报, 2014, 35(4): 841-849.
- [3] 谢鹏. 高速 ADC 器件的动态测试技术研究[J]. 电子元器件应用, 2009, 11(9):82-84.
- [4] 黄远望, 严济鸿, 周伟. 基于 FPGA 的数据采集测试系统设计[J]. 现代雷达, 2015, 37(4):73-80.

(下转第 170 页)