

# 基于 FPGA 内嵌 DSP 硬核的脉冲压缩设计与实现

苏海<sup>1,2</sup> 张群英<sup>1</sup> 叶盛波<sup>1</sup> 张晓娟<sup>1</sup> 方广有<sup>1</sup>

(1. 中国科学院电磁辐射与探测技术重点实验室 北京 100190; 2. 中国科学院大学 北京 100190)

**摘要:** 在伪随机编码体制的超宽带雷达中,原始回波信号的实时脉冲压缩是信号处理的首要 and 关键步骤。由于超宽带雷达的采样率高、数据量大,而微处理器处理速度和 DSP 芯片运算能力有限,提出了一种基于 FPGA 内嵌 DSP 硬核的快速实时脉冲压缩方法。基于时间域的互相关算法,通过调用 FPGA 中的 DSP 硬核进行并行计算,并结合流水线模式,实现快速实时脉冲压缩。仿真与实验结果表明,本文的方法能很好地实现超宽带雷达原始回波信号的快速实时脉冲压缩。

**关键词:** 脉冲压缩;FPGA;并行计算;流水线;时间域

**中图分类号:** TN911 **文献标识码:** A **国家标准学科分类代码:** 510.70

## Design and implementation of pulse compression based on DSPs embedded in FPGA

Su Hai<sup>1,2</sup> Zhang Qunying<sup>1</sup> Ye Shengbo<sup>1</sup> Zhang Xiaojuan<sup>1</sup> Fang Guangyou<sup>1</sup>

(1. Key Laboratory of Electromagnetic Radiation and Sensing Technology, Chinese Academy of Sciences, Beijing 100190, China; 2. University of Chinese Academy of Sciences, Beijing 100190, China)

**Abstract:** In the pseudo random coded ultra-wideband radar system, real-time pulse compression of the raw echo signal is the first and key step for signal processing. A new method of fast and real-time pulse compression is proposed in this paper as the sampling rate of ultra-wideband radar is high and the amount of echo data is large, but the processing speed of DSP chips and microprocessors is limited. In order to achieve fast and real-time pulse compression, this method is based on the cross-correlation algorithm on time domain by calling the DSPs embedded in FPGA in pipeline mode to parallel computing. The simulation and experimental results show that the proposed method can well realize the pulse compression for ultra-wideband radar.

**Keywords:** pulse compression; FPGA; parallel computing; pipeline; time domain

## 1 引言

超宽带雷达具有穿透能力强和距离向分辨率高等优点<sup>[1]</sup>,它广泛应用于地质勘测、生命救援、穿墙目标识别与跟踪、反恐维稳、城市巷战等多种军用与民用领域<sup>[2-4]</sup>。传统的超宽带雷达是脉冲体制的超宽带雷达<sup>[5]</sup>,但其探测距离有限、抗干扰能力差。由于伪随机编码信号的自相关特性好并且具有抗干扰能力强、截获率低等优点<sup>[6]</sup>,伪随机编码信号被应用于超宽带雷达中以弥补脉冲体制雷达的不足。

伪随机编码体制雷达通过发射持续时间较长的编码信号,然后对回波进行脉冲压缩而得到雷达的脉冲响应函数,从而进行目标识别<sup>[7]</sup>。在伪随机编码体制的超宽带雷达

中,原始回波信号的实时脉冲压缩是信号处理的第一步,同时也是关键技术<sup>[8]</sup>。传统的脉冲压缩可以采用 DSP 芯片处理<sup>[9]</sup>,但由于超宽带雷达的瞬时采样率高、数据量大,而 DSP 芯片的处理速度有限;同时,由 FPGA 控制采样得到的数据再与 DSP 芯片进行交换时将占据大量的数据交换时间,从而通过 DSP 进行脉冲压缩的方法显得不可行。别一种方法是把回波上传到上位机终端,如 PC、工作站等<sup>[10]</sup>,由上位机终端对回波信号进行脉冲压缩。但是,由于数据的上传速度有限,这种方法依然占据大量的数据交换时间;同时,这种方法将导致数据处理的实时性变差,并且导致雷达系统的成本、功耗都急剧增加。文献[11]中提出一种基于 FPGA 的并行 FFT 算法实现脉冲压缩,虽然这种方法能实现快速的实时脉冲压缩,但是,它要经过 FFT

和IFFT操作,处理过程显得复杂并且需要考虑运算精度问题;同时,FFT的方法将占用FPGA中大量的RAM资源<sup>[12]</sup>,从而对数据采样存储产生影响。

为了解决上述问题,本文提出一种基于FPGA内嵌DSP硬核的快速实时脉冲压缩方法。基于时间域的互相关算法<sup>[13]</sup>,通过调用FPGA中的DSP硬核进行并行计算<sup>[14]</sup>,并结合流水线<sup>[15]</sup>模式,实现快速实时脉冲压缩。仿真与实验结果表明,本文的方法能很好地实现超宽带雷达原始回波信号快速实时脉冲压缩。

## 2 脉冲压缩公式

### 2.1 雷达数字子系统简介

伪随机编码超宽带雷达数字子系统如图1所示。

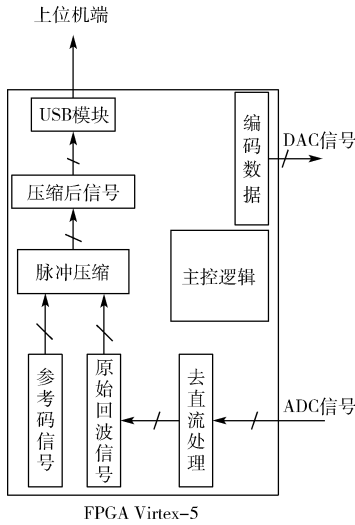


图1 雷达数字子系统

如图1所示,雷达由FPGA作为主控制芯片,DAC产生编码的数字信号由FPGA产生,同时雷达回波经ADC转换后的数字信号由FPGA完成采集。在进行雷达回波的脉冲压缩时,一方面,雷达硬件系统基于FPGA芯片,考虑由FPGA内部资源实现脉冲压缩是最优选择;另一方面,FPGA通过USB端口上传数据,必须考虑脉冲压缩以减小数据量,以此缓和USB上传负担。

### 2.2 时间域的脉冲压缩公式

#### 2.2.1 参考码并行运算脉冲压缩公式

时间域的脉冲压缩,就是去直流后的回波信号和参考码进行互相关,简单来说,数字信号的互相关就是大量的相乘与求和运算。为了减小运算时间,同时考虑回波信号的利用率问题,这里不考虑部分匹配情况:即回波信号和参考码均不补0,并且它们存在有效数据进行一一对应相乘时,脉冲压缩结果才有效。基于以上约定,得到数字信号的脉冲压缩公式为:

$$s(l) = \sum_{i=0}^{N_r-1} e(i+l) \cdot r(i), l = 0, 1, \dots, N_s - 1 \quad (1)$$

式中: $r$ 表示参考码,下标从0开始,长度为 $N_r$ ,范围是 $0 \sim N_r - 1$ ;  $e$ 表示回波信号,下标从0开始,长度为 $N_e$ ,范围是 $0 \sim N_e - 1$ ,并且满足 $N_e \geq N_r$ ;  $s$ 表示脉冲压缩后的信号,下标从0开始,长度为 $N_s$ ,范围是 $0 \sim N_s - 1$ ,由上面提到的不考虑部分匹配约定,容易得到 $N_s = N_e - N_r + 1$ 。

图2是式(1)的运算过程,即参考码 $r$ 对回波信号 $e$ 从左往右依次逐地进行滑窗操作,然后把它们一一对应相乘再累加<sup>[12]</sup>。图2(a)表示第0个压缩结果 $s(0)$ 的运算过程示意图;图2(b)表示第 $l$ 个压缩结果 $s(l)$ 的运算过程示意图;图2(c)表示最后一个压缩结果 $s(N_s - 1)$ 的运算过程。从图(2)可以看到,滑窗的起点是参考码 $r$ 的起点和回波信号 $e$ 的起点对齐时刻,滑窗的终点是参考码 $r$ 的终点和回波信号 $e$ 的终点对齐时刻。

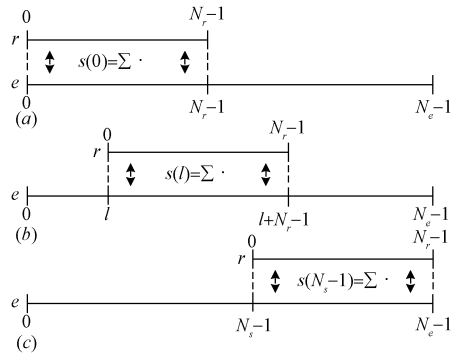


图2 式(1)运算过程

根据上面的过程,可以设计 $N_r$ 个乘法器进行并行相乘运算,以实现快速脉冲压缩运算。但是,由于FPGA中的乘法器数量有限,如果参考码长度 $N_r$ 大于乘法器数量,由式(1)设计的 $N_r$ 个乘法器并行工作将不能实现。

#### 2.2.2 参考码分段并行运算脉冲压缩公式

为了解决上面的问题,把长度为 $N_r$ 的参考码分解成 $M$ 段,前 $M-1$ 段的长度为 $\lceil N_r/M \rceil$ 向上取整数,记为 $N_{r_1}$ ;第 $M$ 段的长度即为余下参考码点数,记为 $N_{r_2}$ ;分段条件满足 $N_{r_1}$ 小于FPGA的乘法器硬核数量。容易得到分段后的第 $j$ 段参考码 $r_j$ 与原参考码对应关系如下:

$$r_j(i) = r(j \cdot N_{r_1} + i), j = 0, 1, \dots, M-1 \quad (2)$$

当 $j \leq M-2$ 时, $i = 0, 1, \dots, N_{r_1} - 1$ ;当 $j = M-1$ 时, $i = 0, 1, \dots, N_{r_2} - 1$ 。

通过分段后,式(1)中的参考码并行运算脉冲压缩可以转化成参考码分段并行运算脉冲压缩,如式(3):即先把各段并行脉冲压缩,再把压缩的结果进行累加。

$$s(l) = \sum_{j=0}^{M-1} s_j(l), l = 0, 1, \dots, N_s - 1 \quad (3)$$

式中:当 $j \leq M-2$ 时,表示参考码分段后的前 $M-2$ 段脉冲压缩下式:

$$s_j(l) = \sum_{i=0}^{N_{r_1}-1} s(j \cdot N_{r_1} + l + i) \cdot r_j(i) \quad (4)$$

当  $j = M - 1$  时,表示最后一段的脉冲压缩公式如下:

$$s_{M-1}(l) = \sum_{i=0}^{N_r-1} s((M-1) \cdot N_r + l + i) \cdot r_{M-1}(i) \quad (5)$$

图 3 是参考码分段后各段进行脉冲压缩示意图,分段后的压缩过程和图 2 的运算过程是一样的。图 3(a)表示参考码分段后第 0 段的脉冲压缩示意图,第 0 段的参考码选取范围是  $0 \sim N_r - 1$ ,滑窗过程的回波选择范围是  $0 \sim N_s + N_r - 2$ ,第 0 段的压缩结果长度正好是  $N_s$ ;图 3(b)表示参考码分段后第  $j$  段的脉冲压缩示意图,第  $j$  段的参考码选取范围是  $j \cdot N_r \sim j \cdot N_r + N_r - 1$ ,滑窗过程的回波选择范围是  $j \cdot N_r \sim N_s + (j + 1) \cdot N_r - 2$ ,第  $j$  段的压缩结果长度也是  $N_s$ ;图 3(c)表示参考码分段后第  $M - 1$  段的脉冲压缩示意图,第  $M - 1$  段的参考码选取范围是  $(M - 1) \cdot N_r \sim N_r - 1$ ,滑窗过程的回波选择范围是

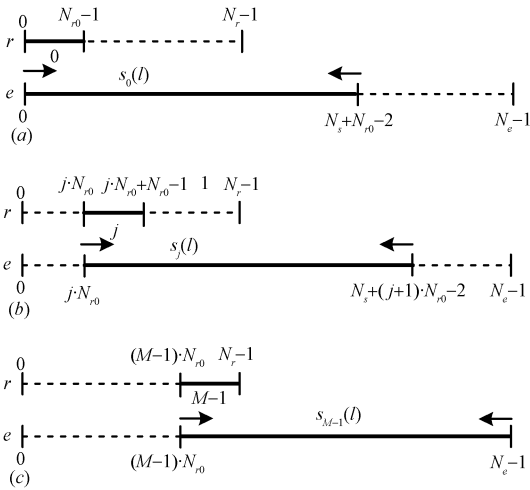


图 3 参考码分段并行压缩过程

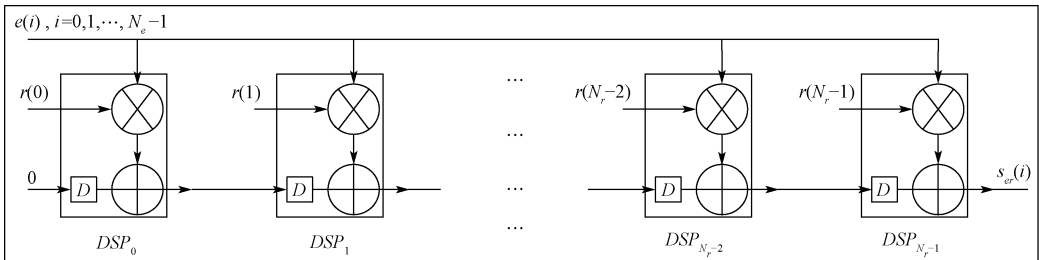


图 5 并行运算框架

图 5 的并行运算框架中, DSP48E 基本单元的后一级加法器输入端级联前一级运算输出端,而 DSP<sub>0</sub> 的输入端固定为 0; DSP48E 乘法器的一个输入端分别为各自固定的参考码,另一个输入端同时输入回波信号,压缩结果由最后一级输出端  $ser$  选择性地输出。

图 5 的运算过程如下:

当第 0 个采样点到来时,从最后一级的输出结果表达式是  $ser(0) = e(0) \cdot r(N_r - 1) + sr$ ,式中  $sr$  是前一级经过一个时钟周期后的流水线输出。

$(M - 1) \cdot N_r \sim N_r - 1$ ,第  $M - 1$  段的压缩结果长度同样是  $N_s$ 。

通过图 3 的分析,容易证明式(3)和(1)是等价的。于是得到,参考码分段分解后可以解决 FPGA 中乘法器硬核数量有限问题。通过参考码分段并行运算脉冲压缩方法,各段参考码分时来调用乘法器,最后把分段后各段压缩结果进行累加,以实现快速脉冲压缩运算。

### 3 基于 FPGA 内嵌 DSP 硬核的脉冲压缩

#### 3.1 参考码并行运算方法

通过调用 FPGA 内嵌 DSP48E 硬核来实现脉冲压缩的大量乘法和加法运算,简单来说, DSP48E 就是一个乘加器:  $P = A \cdot B + C$ 。硬核的输入输出均带有延时功能,乘法器的输入位数分别是 25 位和 18 位,加法器的输入位数是 48 位,运算结果的最终输出位数是 48 位。为了适应上面的式(1),利用 DSP48E 硬核构造基本单元,如图 4 所示。

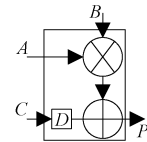


图 4 DSP48E 构造的基本单元

图 4 中,  $D$  表示 1 个时钟周期的延时,  $A$ 、 $B$  是乘法器的输入,  $C$  是加法器经过 1 个时钟周期延时后的输入,  $P$  是基本单元的输出结果。根据式(1),脉冲压缩的大量乘法通过 DSP 并行计算,但相乘后的大量结果通过加法器一次性求和是不可实现的。结合流水线的思想,通过流水线方式进行累加操作,如图 5 所示的脉冲压缩并行运算框架。

当第  $N_r - 1$  个采样点到来时,最后一级输出为  $ser(N_r - 1) = e(N_r - 1) \cdot r(N_r - 1) + sr$ ,此时,所有基本单元的输出都刷新了一轮,而  $sr$  由最后一级通过流水线关系依次递推回到第 0 级得到:

$$ser(N_r - 1) = e(N_r - 1) \cdot r(N_r - 1) + e(N_r - 2) \cdot r(N_r - 2) + \dots + e(1) \cdot r(1) + e(0) \cdot r(0) \text{ 即 } s(0) = \sum_{i=0}^{N_r-1} e(i) \cdot r(i) = ser(N_r - 1)。$$

同样可得,当第  $N_r - 1 + l$  个采样点到来时,  $s(l) =$

$ser(N_r - 1 + l)$ 。

当第  $N_e$  个采样点到来时,得到最后一个脉冲压缩有用点,  $s(N_e) = ser(N_e)$ ;从以上的推导过程知道,  $N_e$  个采样点经过  $N_e$  个周期即能实现脉冲压缩,同时脉冲压缩结果总是跟随着采样点输出,这种流水线的并行运算框架能实现快速实时脉冲压缩。

由于雷达系统 ADC 采样数据都是 16 位,而 DSP48E 最大输出位数是 48 位,当基本单元的累加器个数小于  $2^{48-16-16} = 65\ 536$  时都不会产生溢出。目前 FPGA 内嵌 DSP 硬核个数均小于这个数量,所以这种方法并不会产生溢出,即没有精度丢失问题。

### 3.2 参考码分段并行运算方法

根据式(3),参考码分段后,各段的并行运算仍然是基于图 5 的并行运算框架,分时进行  $M$  轮运算,以此完成脉冲压缩。此时,需要在 FPGA 中开辟空间来暂存先前各轮压缩后的累加结果,当新一轮的结果到来时,取出先前各轮累加结果,两者进行累加后再储存起来。用流程图来表示如图 6 所示。

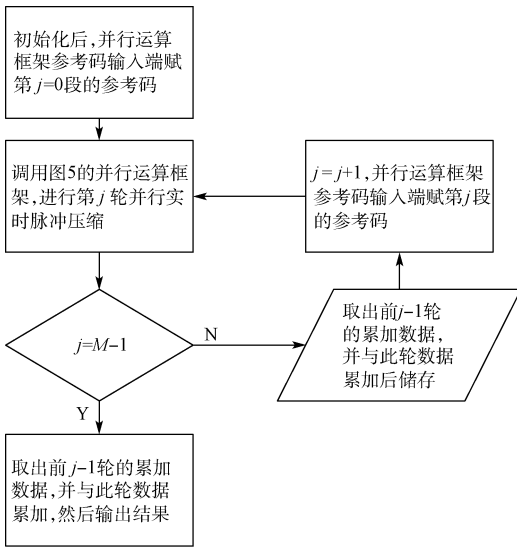


图 6 参考码分段并行运算流程

从流程图上来看分段并行压缩方法要经过多轮才能完成脉冲压缩,需要占据一定的运行时间,但只要分段值  $M$  不大,使运行时间在雷达重复周期内,这种方法就可以得到快速的实时压缩结果。

## 4 仿真和实验验证结果

### 4.1 仿真实验

为了验证基于 FPGA 内嵌 DSP 硬核的脉冲压缩可行性,利用 ISE14.7 通过 Verilog 语言并调用 Xilinx 提供的 IP 核,分别对参考码并行运算方法和参考码分段并行运算方法进行编程实现。为了便于通过 ISE 自带仿真工具进行直观验证,不失一般性,可以考虑采取如下两组数据进行脉冲压缩。

参考码  $r = [0, 45, 63, 45, 0, -45, -63, -45, 0, -45, -63, -45, 0, 45, 63, 45]$ , 长度  $N_r = 16$ 。

回波  $e = [9, 6, 14, 0, 7, 6, 7, 12, 5, 12, 52, 64, 48, 11, -38, -61, -40, 9, -42, -52, -41, 14, 49, 74, 48, 4, 1, 9, 10, 8, 6, 10]$ , 长度  $N_e = 32$ 。

由脉冲压缩公式,通过 MATLAB 直接计得到的结果如下:  $s = [-11439, -16236, -11943, -6579, -5382, -6894, -4437, 6543, 22968, 31923, 22086, 5481, -6462, -8307, -5706, -5598, -11088]$ , 长度满足  $N_s = N_e - N_r + 1$ 。

#### 4.1.1 参考码并行运算仿真

由参考码并行运算方法,对上述数据通过调用 16 个 DSP48E 核并行运算进行脉冲压缩,脉冲压缩结果如图 7 信号  $s$  所示。

从图 7 可以看到,参考码并行运算方法的结果和通过 MATLAB 直接计得到的结果是一样的;同时,从图中可以看到,压缩结果  $s$  直接跟随回波信号  $e$ ,回波结束的下一时钟周期也就得到了最后一个压缩结果。综述,参考码并行运算方法可以实现回波信号快速实时脉冲压缩。

#### 4.1.2 参考码分段并行运算仿真

由参考码分段并行运算方法,不妨将上述参考码数据分成 4 段,每段参考码长度  $N_{r_c} = 4$ 。对分段后的数据调

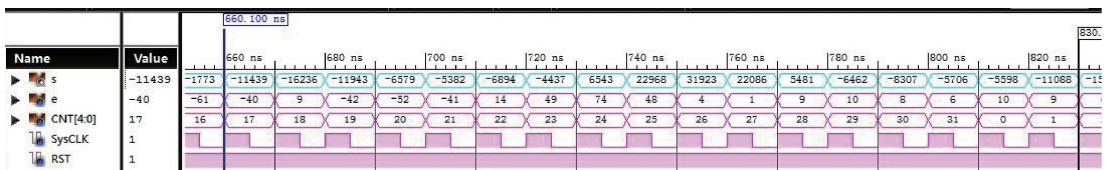


图 7 并行运算仿真结果

用 4 个 DSP48E 核分段并行运算进行脉冲压缩,通过 4 轮并行脉冲压缩才能得到最终运算结果,脉冲压缩结果如图 8 信号  $R$  所示。

从图 8 可以看到,参考码分段并行运算方法的结果和通过 MATLAB 直接计得到的结果是一样的;从图中可以

看到,虽然调用 4 个 DSP48E 核分段并行运算,压缩时间大约比调用 16 个 DSP48E 核并行运算慢 4 倍,但这种方法可以有效减小 DSP48E 核个数,能有效解决参考码长度过长而 DSP48E 核的数量不足问题。综述,参考码分段并行运算方法同样可以实现回波信号快速实时脉冲压缩。

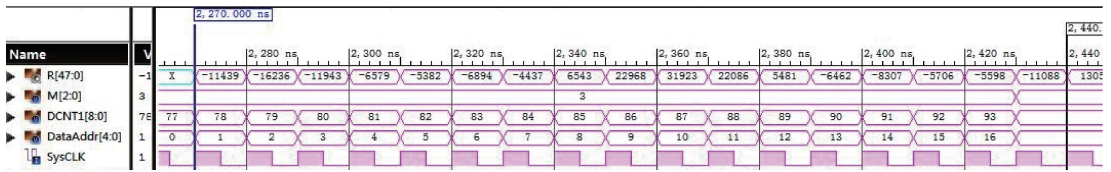


图 8 分段并行运算仿真结果

### 4.2 实验验证

通过实践验证基于 FPGA 内嵌 DSP 核的脉冲压缩可行性,把 4.1 节中的 Verilog 代码修改、扩展后移植到实际的伪随机编码雷达系统中去。此时所采用的数据为实时的雷达回波数据,为了便于对比验证,回波数据复制副本。通过 USB 端口,在将雷达脉冲压缩后的数据上传到电脑端的同时,把雷达回波数据的副本也同时上传到电脑端,副本通过 MATLAB 进行脉冲压缩作对比验证。

#### 4.2.1 参考码并行运算实验

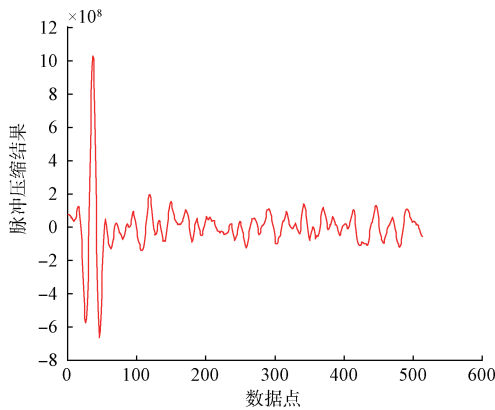
中心频率为 5 MHz 的伪随机编码探地雷达,此雷达的参考码采样点数是 92,回波采样点数是 605,而雷达中所用 FPGA 为 Virtex5 系列 XC5VSX95T,此 FPGA 芯片中 DSP48E 资源数量为 640 个。用参考码并行运算方法进行脉冲压缩,压缩结果如图 9 所示,图 9(a)在 FPGA 中进行

脉冲压缩的结果,图 9(b)是利用 MATLAB 对回波数据副本进行脉冲压缩的结果。

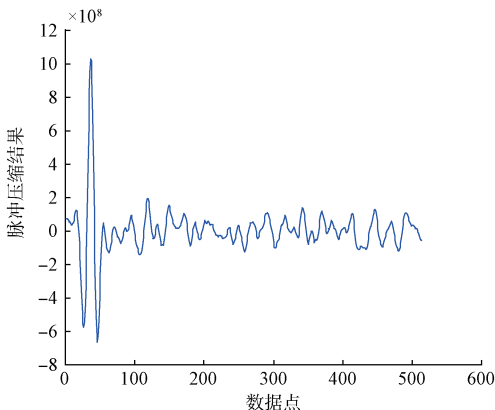
由图 9 可以知道,在 FPGA 中进行脉冲压缩的结果和利用 MATLAB 对回波数据副本进行脉冲压缩的结果是一样的;当两图中的数据对应相减时,结果恒为 0,即在 FPGA 中进行脉冲压缩并没有精度丢失问题,从而验证了参考码并行运算方法的正确性。

#### 4.2.1 参考码分段并行运算实验

中心频率为 1.2 GHz 的伪随机编码穿墙雷达,此雷达的参考码采样点数是 16 384,回波采样点数是 20 220,而雷达中所用 FPGA 为 Virtex5 系列 XC5VSX95T,此 FPGA 芯片中 DSP48E 资源数量为 640 个。只能用参考码分段并行运算方法进行脉冲压缩,此时将参考码分成 32 段,每段长度为 512,通过调用 512 个 DSP48E 硬核分 32 轮进行脉冲压缩。压缩结果如图 10 所示,图 10(a)在 FPGA 中进

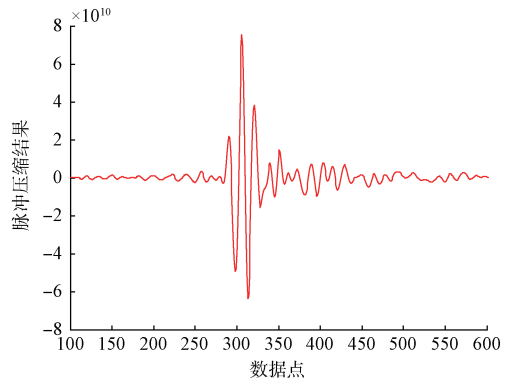


(a) FPGA 压缩

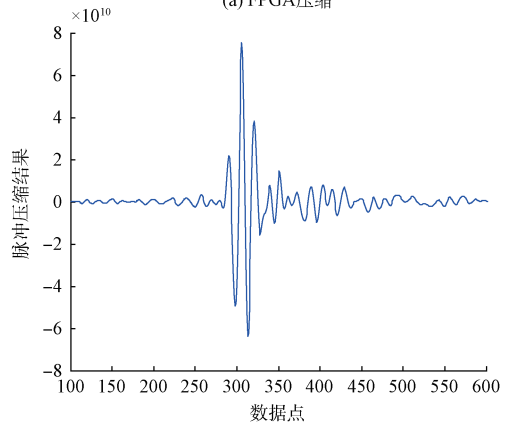


(b) MATLAB 压缩

图 9 并行运算实验结果



(a) FPGA 压缩



(b) MATLAB 压缩

图 10 分段并行压缩结果

行脉冲压缩的结果,图10(b)是利用MATLAB对回波数据副本进行脉冲压缩的结果。

由图10可以知道,在FPGA中进行脉冲压缩的结果和利用MATLAB对回波数据副本进行脉冲压缩的结果是一样的,当两图中的数据对应相减时,结果恒为0,即FPGA中进行脉冲压缩并没有精度丢失问题,从而验证了参考码分段并行运算方法的正确性。

## 5 结 论

在伪随机编码体制的超宽带雷达中,原始回波信号的实时脉冲压缩是信号处理的首要 and 关键步骤。本文提出了一种基于FPGA内嵌DSP硬核的快速实时脉冲压缩方法,考虑到FPGA中内嵌DSP硬核数量有限,分为参考码并行运算方法和参考码分段并行运算方法。通过ISE工具仿真和实际雷达系统的实验结果表明,文中提出的方法能对雷达回波进行快速实时脉冲压缩,并且不会带来精度丢失问题,这种方法能很好地实现超宽带雷达原始回波信号的快速实时脉冲压缩。

## 参考文献

- [1] HUSSAIN M G M. Ultra-wideband impulse radar-an overview of the principles [J]. Aerospace and Electronic Systems Magazine, IEEE, 1998, 13(9): 9-14.
- [2] 高云泽,叶盛波,张晓娟,等. 基于电磁感应和超宽带雷达的新型探测系统[J]. 电子测量技术, 2015, 38(9):128-134.
- [3] 许会,任建,李邦宇,等. 应用于超宽带呼吸检测的压缩感知算法研究[J]. 仪器仪表学报, 2015, 36(1): 56-62.
- [4] YAROVY A G, LIGTHART L P, MATUZAS J, et al. UWB radar for human being detection [J]. Aerospace and Electronic Systems Magazine, IEEE, 2006, 21(3): 10-14.
- [5] 陈伟民,李存龙. 基于微波雷达的位移/距离测量技术[J]. 电子测量与仪器学报, 2015, 29(9): 1251-1265.
- [6] NEZIROVIC A N. Trapped-victim detection in post-disaster scenarios using ultra-wideband radar [M]. Delft: Delft University of Technology, 2010.
- [7] 王伟,张群英,方广有. 浅表层伪随机编码超宽带探测雷达研制[J]. 仪器仪表学报, 2013, 33(8): 1902-1908.
- [8] 夏正欢,张群英,叶盛波,等. 一种便携式伪随机编码超宽带人体感知雷达设计[J]. 雷达学报, 2015, 4(5): 527-537.
- [9] 吴强,任琳,张杰,等. 快速归一化互相关算法及DSP优化实现[J]. 电子测量与仪器学报, 2011, 25(6): 495-499.
- [10] 李少伟,庄新庆. 基于PC机的雷达图像信号采集与显示系统[J]. 舰船科学技术, 2009, 31(1): 92-95.
- [11] 苏斌,刘畅. 基于FPGA的脉冲压缩处理器设计与实现[J]. 电子测量技术, 2014(7): 57-61.
- [12] 袁琪,杨康,周建江,李虹达. 大点数FFT算法C6678多核DSP的并行实现[J]. 电子测量技术, 2015, 38(2): 74-80.
- [13] 赵岚,毕卫红,刘丰. 基于FPGA的分布式算法FIR滤波器设计[J]. 电子测量技术, 2007, 30(7): 101-104.
- [14] 乔先科,张鹏飞,谢方方. 高速并行内插倍数可变的成形滤波器设计[J]. 国外电子测量技术, 2014, 33(8): 61-64.
- [15] 李钊,郑红,李业德. 基于运行时间与资源消耗的流水线优化方法[J]. 仪器仪表学报, 2014, 35(9): 2137-2144.

## 作者简介

苏海,1991年出生,硕士研究生,主要研究方向为伪随机编码体制超宽带雷达技术。

E-mail: suhai\_214@163.com

张群英,研究员,博导,主要研究方向为新体制超宽带成像理论与方法、超宽带雷达成像技术、超宽带雷达信号处理与成像技术。

E-mail: qyhzhang@mail.ie.ac.cn

叶盛波,副研究员,主要研究方向为电磁场理论与应用、超宽带雷达系统设计。

E-mail: shengboye@163.com