

适用于 MLC 闪存的多源校验权重融合译码算法^{*}丰才华¹ 李杰¹ 冯凯强¹ 张德彪²

(1. 中北大学仪器与电子学院 太原 030051; 2. 太原科技大学电子信息工程学院 太原 030024)

摘要: 为提升 MLC NAND 闪存中 LDPC 码译码的可靠性与效率,提出了 MSWBF 译码算法。所提算法不再仅依赖单一最小 LLR 值作为翻转决策依据,而是将校验节点关联变量节点的最小 LLR 值与其平均 LLR 值进行线性整合,从而构建更加稳定的局部置信度评估模型。进一步地,在变量节点的翻转指标计算中引入指数调整函数,以动态强化对低置信比特的识别能力。结合闪存物理特性,建立了包含 RTN、DRN、CCI 的信道模型,并通过蒙特卡洛仿真构建软信息环境。在此基础上,构造 QC-LDPC 码并设计译码架构,对比 BF、WBF、MWBF、IMWBF、BP 等算法进行性能验证。仿真结果表明,MSWBF 在强干扰条件下的译码成功率提升 55.6%,平均迭代次数降低超 30%,有效改善译码鲁棒性与收敛效率。所提算法具备硬件友好性与实际部署价值,为低复杂度软判决译码方法提供了一种切实可行的改进路径。

关键词: LDPC 码;MLC 闪存;加权比特翻转;多源信息融合;LLR 调整

中图分类号: TN911.2 **文献标识码:** A **国家标准学科分类代码:** 510.5010

Multi-source verification weight fusion decoding algorithm
suitable for MLC flash memoryFeng Caihua¹ Li Jie¹ Feng Kaiqiang¹ Zhang Debiao²

(1. School of Instrumentation and Electronics, North University of China, Taiyuan 030051, China;

2. School of Electronic Information Engineering, Taiyuan University of Science and Technology, Taiyuan 030024, China)

Abstract: In order to enhance the reliability and efficiency of LDPC code decoding in MLC NAND flash memory, this paper proposes the MSWBF decoding algorithm. This algorithm no longer relies solely on the minimum LLR value as the basis for flip decisions; instead, it performs linear integration of the minimum LLR value associated with check nodes and variable nodes with their average LLR value, thus constructing a more stable local confidence estimation model. Furthermore, an exponential adjustment function is introduced in the calculation of flip indicators for variable nodes to dynamically strengthen the enhance the identification capability for low-confidence bits. Combined with the physical characteristics of flash memory, this paper establishes a channel model that includes RTN, DRN, CCI and creates generates soft information inputs through Monte Carlo simulation. Based on this, QC-LDPC codes are constructed and a decoding architecture is designed, comparing the performance of algorithms such as BF, WBF, MWBF, IMWBF and BP. Simulation results show that MSWBF improves the decoding success rate by 55.6% under strong interference conditions, and the average number of iterations decreases by over 30%, effectively improving decoding robustness and convergence efficiency. This algorithm is hardware-friendly and exhibits strong potential for practical implementation, providing a feasible improvement path for low-complexity soft decision decoding methods.

Keywords: LDPC codes;MLC flash memory;weighted bit-flipping;multi-source fusion;LLR adjustment

0 引言

随着半导体集成度的不断提升以及多层单元(multi-level cell, MLC)的广泛使用,闪存的误码率大幅增加。虽

然传统的纠错码能够在一定程度上提高系统的可靠性,但是它们自身的纠错能力却很难适应 NAND 闪速存储器系统对数据可靠性的更高需求^[1-2]。低密度奇偶校验码(low density parity check code, LDPC)凭借逼近香农极限的纠错

能力,已成为提高存储设备可靠性的一种重要途径^[3-4]。在 LDPC 译码方法中,置信传播(belief propagation, BP)^[5]等软判决译码算法在解码时需要使用大量的实数计算,这对硬件实现提出了极大的挑战。与之形成鲜明对比的是,比特翻转(bit flipping, BF)^[6]译码算法在性能方面不及软判决,但解码复杂度更低,更易于工程实现,特别适合资源受限的嵌入式闪存控制器。

相对于 BP 译码, BF 译码算法是最容易实现的,但其性能并不理想。在此基础上,李沛峰等^[7]提出了一种确定主误差间隔的方法,以减少翻转位的查找范围。针对 NAND 存储系统, Jung 等^[8]设计了一种多比特翻转策略,该策略提高了比特翻转译码算法的性能。NAND 闪存中, LDPC 的 BF 译码仅适用于存储单元初期。当闪存位中的误码率超过 BF 译码器的纠错阈值时,必须切换至具有更高纠错性能的解码机制。此时,基于 BP 算法的 LDPC 译码器成为提升系统可靠性的优选方案,但其显著增加的计算复杂度构成主要技术瓶颈。已知的 WBF^[9]、MWBF^[10]、IWBF^[11]和 SNWBF^[12]译码算法在保证低解码复杂度的前提下,能够缩短 BF 与 BP 之间的差距。在复杂电磁环境及高可靠性应用场景下,现有 LDPC 译码算法仍面临性能局限。强电磁干扰会引发 NAND 闪存单元电荷异常漂移,导致突发性多位错误及阈值电压分布畸变,而传统迭代译码对非平稳信道的适应性不足。同时,高可靠性场景要求低误码率且满足实时性约束, BP 算法因高复杂度难以实现低延迟译码, BF 算法则因纠错能力不足无法应对寿命末期的高误码状态。因此,亟须开发兼具强鲁棒性与低复杂度的新型译码架构,以突破极端工况下的可靠性边界。

基于 MLC 的存储特性,本文提出多源加权校验融合比特翻转译码算法(multi source check node weight fusion weighted bit flipping, MSWBF)。该方法通过设计融合最小值与平均值的校验节点权重模型,实现了对译码过程中位置信息重要性的动态衡量,从而提高了译码的准确性。并且,考虑到 MLC 闪存信道中噪声的影响,本文提出了一种基于对数似然比(log likelihood ratio, LLR)值的增强策略,用于提升翻转不靠谱比特的优先级。通过引入该策略,算法能够更精准地识别潜在错误比特并提高其被翻转的概率,从而显著提升了整体译码性能。

1 NAND 闪存信道及 LLR 获取机制

实际的 NAND 闪存包含各种非平稳噪声,例如编程噪声、随机电流噪声、数据保持噪声和单元间干扰噪声^[13]。这些噪声和干扰具有不同的特性,并且在 PE 周期和保持时间上连续变化。

1.1 MLC 闪存的阈值电压分布模型

MLC 单元是 MLC 型 NAND 闪存的基本存储单元,可存储 2 bit 数据, MLC 中不同的电势的格雷编码($s_0=00$,

$s_1=01, s_2=11, s_3=10$), 相邻状态的逻辑值只改变一位, 其中 $s_0=00$ 是擦除状态阈值电压逻辑值, $s_1=01, s_2=11, s_3=10$ 代表 3 种不同的编程状态阈值电压逻辑值^[14]。

1) 擦除状态

MLC 在进行块擦除后, 将各 MLC 单元阈值电压置于可用高斯分布近似表示的擦除状态^[15]:

$$p_e(x) = \frac{1}{\sigma_e \sqrt{2\pi}} e^{-\frac{(x-\mu_e)^2}{2\sigma_e^2}} \quad (1)$$

式中: μ_e 为电压分布的期望; σ_e 为电压分布的标准差。

2) 编程状态

在 MLC 中, 通过将电荷注入到浮栅来调整其阈值电压, 以达到对不同逻辑状态($s_1=01, s_2=11, s_3=10$)的写操作。编程过程中, 每次电荷注入会使浮栅的阈值电压上升一个固定的增量 ΔV_{pp} 。该过程不断迭代, 在阈值电压到达设置的目标检测电压 V_p , 电荷停止注入, 可以用 $[V_p, \Delta V_{pp}]$ 的均匀分布来近似地表达 MLC 编程状态阈值电压的数学模型^[15]。

$$p_{s_1|s_2|s_3}(x) = \begin{cases} \frac{1}{\Delta V_{pp}}, & V_p \leq x \leq V_p + \Delta V_{pp} \\ 0, & \text{其他} \end{cases} \quad (2)$$

1.2 MLC 信道噪声分析

1) 随机电报噪声

随机电流波动(random telegraph noise, RTN)是由晶体管通道陷阱在捕获和释放电子过程中引起的瞬态电流变化。其表现为电流的双态随机跳变, 使阈值电压产生离散偏移。

设单个陷阱对阈值电压的影响为 ΔV_{RTN} , 则其概率分布可表示为:

$$p(\Delta V_{RTN}) = \frac{1}{2} \left[1 + \operatorname{erf} \left(\frac{\Delta V_{RTN} - \mu_{RTN}}{\sqrt{2} \sigma_{RTN}} \right) \right] \quad (3)$$

式中: $\mu_{RTN}=0, \sigma_{RTN}$ 反映陷阱密度与能级分布。

对于含有多个陷阱的单元, 可近似叠加为:

$$V_{RTN} = \sum_{i=1}^{N_i} \Delta V_{RTN,i} \quad (4)$$

式中: N_i 为陷阱个数, λ 表示单位体积陷阱密度。RTN 是深亚微米节点 NAND 器件高频误码的主要来源之一, 且其影响随器件老化而增强。

2) 数据驻留噪声

数据驻留噪声(data resident noise, DRN)来源于电荷在浮栅或界面陷阱中的泄漏。随着时间延长, 阈值电压逐渐降低, 使不同状态间的电压分布发生重叠。实验表明, 该衰减过程近似符合对数规律, 可表示为:

$$\Delta V_{DRN}(t) = -k_r \ln \left(1 + \frac{t}{t_0} \right) \quad (5)$$

式中: k_r 为保持衰减系数, t_0 为归一化时间常数, 取决于工艺温度与材料参数。衰减速率随温度升高而加快, 导致闪

存的长期数据保持能力下降。

若将保持时间 t 看作随机变量,则保持噪声服从对数正态分布:

$$p(\Delta V_{\text{DRN}}) = \frac{1}{\sqrt{2\pi}\sigma_{\text{DRN}}(\Delta V_{\text{DRN}} + k_r)} \cdot \exp\left[-\frac{(\ln(\Delta V_{\text{DRN}} + k_r) - \mu_{\text{DRN}})^2}{2\sigma_{\text{DRN}}^2}\right] \quad (6)$$

该模型在大容量 NAND 器件的寿命预测中能较好地拟合实际退化行为。

3) 单元间干扰

在 MLC 型 NAND 闪存中,多个存储单元间的寄生电容相互影响,可能引起同一层存储中某一单元的写入操作,影响其邻近单元的阈值电压,引发单元间干扰(cell to cell interference, CCI)噪声^[16]。为最大限度地减少 CCI 效应, NAND 闪存通常采用总线架构。在此结构中,同一行上排列的所有闪存单元将同时被编程。因此,每个单元最多受到 3 个相邻单元的编程干扰:相邻字线的对应位线以及该字线的两个相邻位线,如图 1 所示。

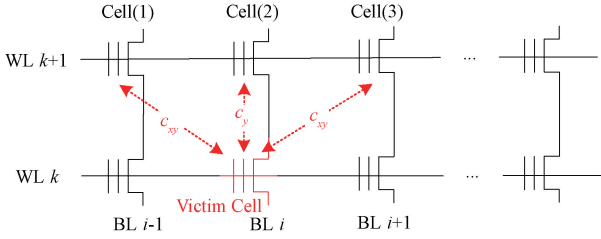


图 1 NAND 闪存阵列结构

Fig. 1 The array structure of NAND flash memory

设位于第 k 行字线(word line, WL)和第 i 列位线(bit line, BL)交点的 MLC 单元为位置 (k, i) ,则该单元受到来自 $(k+1, i-1)$ 、 $(k+1, i)$ 和 $(k+1, i+1)$ 3 个单元 CCI 的影响强度 $F(k, i)$ 为:

$$\Delta V_{\text{CCI}(k, i)} = \sum_{t \in \{(k+1, i-1), (k+1, i), (k+1, i+1)\}} (\Delta V_{(k+1, t)} \cdot c_t) = c_{xy} \cdot \Delta V_{(k+1, i-1)} + c_y \cdot \Delta V_{(k+1, i)} + c_{xy} \cdot \Delta V_{(k+1, i+1)} \quad (7)$$

式中: $\Delta V_{(k+1, t)}$ 表示在相邻位线上编程 MLC 闪存单元前后阈值电压的增量, c_y 表示垂直耦合系数, c_{xy} 表示对角线耦合系数。在 MLC 生产过程中,因加工过程自身的震动,使得耦合系数的 c_y 、 c_{xy} 服从高斯分布^[15]:

$$p_c(x) = \begin{cases} \frac{y_c}{\sigma_c \sqrt{2\pi}} e^{-\frac{(x-\mu_c)^2}{2\sigma_c^2}}, & |x - \mu_c| \leq w_c \\ 0, & \text{其他} \end{cases} \quad (8)$$

式中: y_c 表示有界高斯分布积分为 1, $\sigma_c = 0.3\mu_c$, $w_c = 0.2\mu_c$ 。

由于闪存不同字线之间干扰的程度不同,耦合系数 c_y 和 c_{xy} 的数学期望 μ_c 服从有界高斯分布公式^[5]:

$$p_{\mu_c}(t) = \begin{cases} \frac{y_t}{\sigma_t \sqrt{2\pi}} e^{-\frac{(t-\mu_t)^2}{2\sigma_t^2}}, & |t - \mu_t| \leq w_t \\ 0, & \text{其他} \end{cases} \quad (9)$$

式中: y_c 表示有界高斯分布积分为 1, $\sigma_t = 0.2\mu_t$, $w_t = 0.2\mu_t$ 。设 c_y 的期望值 μ_c 是 0.08 s, c_{xy} 的期望值 μ_c 是 0.006 s,其中参数 s 是 CCI 噪声耦合强度系数,而 CCI 噪声的扰动强度是通过调整耦合强度系数 s 实现的^[17]。

4) 综合噪声模型

为精确描述多源干扰下 MLC NAND 闪存单元的读写行为,需要将多种噪声成分在统一的统计框架下进行融合。假设 MLC 单元的理想阈值电压为 V_{ap} ,其实际工作电压受保持、RTN 及 CCI 噪声叠加影响,可建模为:

$$V = V_{\text{ap}} + \Delta V_{\text{DRN}} + \Delta V_{\text{RTN}} + \Delta V_{\text{CCI}}(k, i) \quad (10)$$

假设各噪声分量相互独立,则总体分布的概率密度函数为卷积形式:

$$p(V'_{\text{th}}) = p_{\text{DRN}} \cdot p_{\text{RTN}} \cdot p_{\text{CCI}} \quad (11)$$

1.3 MLC 闪存信道噪声仿真

采用蒙特卡洛仿真,建立 MLC 阈值电压分布模型及噪声模型,并将参数设定为^[18]:擦除阈值电压的平均值取 $\mu_e = 1.4$ 与 $\sigma_e = 0.35$,3 种编程阈值电压的平均值取 $\mu_{s1} = 2.7$ V, $\mu_{s2} = 3.3$ V 和 $\mu_{s3} = 4.0$ V,而标准偏差都设为 $\sigma_p = 0.1$ 。根据文献^[19],将 MLC 噪声模型的参数设定为 $K_s = 0.38$, $K_r = 0.000\ 25$, $x_0 = 1.4$, $K_d = 4 \times 10^{-4}$; $\sigma_{\text{RTN}} = 0.05$ V;数据保持时间 $t_0 = 10\ 000$ s;在垂直和对角线方向上,电容耦合系数取 $\gamma_y = 0.08$ s, $\gamma_{xy} = 0.006$ s;耦合强度因子 $s = 1.5$ 。

图 2(a)显示了 MLC 阈值电压的分布情况,图 2(b)显示了 DRN 噪声影响的阈值电压分布,图 2(c)显示了 RTN 噪声影响的阈值电压分布,图 2(d)显示了 CCI 噪声影响的阈值电压分布,有效反映寿命老化及外部干扰下的阈值漂移,为后续译码算法中 LLR 计算与可靠性增强策略提供精确输入。

2 NAND 闪存译码算法设计

随着 MLC 单元中比特存储密度的持续提升以及半导体制造工艺集成化的不断进步,CCI 等噪声已成为影响 MLC 闪存系统可靠性的主要因素。为解决 MLC 闪存的信息误判问题,本文首先采用蒙特卡洛仿真方法,对 MLC 闪存内不同存储状态的阈值电压分布重叠区域进行精确计算,该重叠区域是引发闪存信息误判的核心原因。随后,结合 MLC 闪存中噪声的特性,针对性设计两类关键技术方案:1)MLC 闪存信道的 LDPC 码多源校验权重融合方法;2)基于 LLR 调整的比特可靠性策略。最终,基于上述方法与策略,提出一种适用于 MLC 闪存的 LDPC 码 MSWBF 译码算法,如图 3 所示。

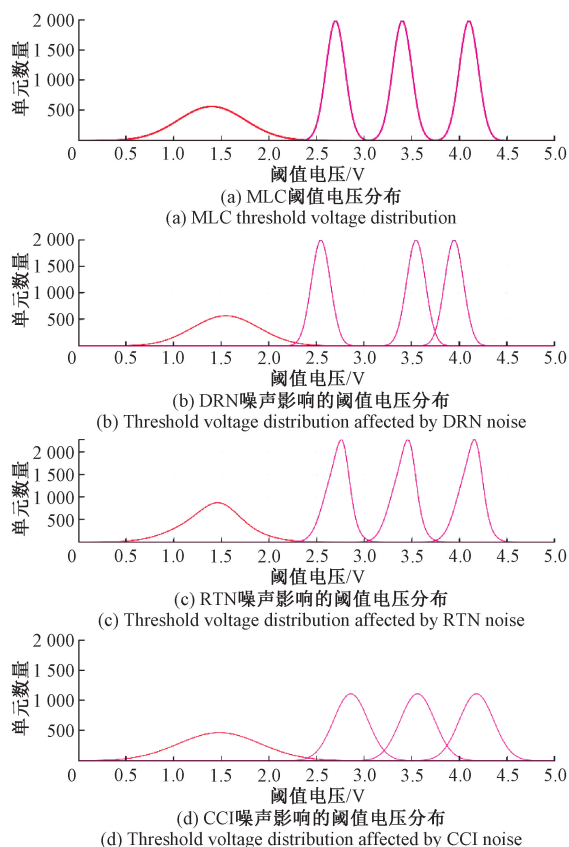


图 2 NAND 闪存信道中阈值电压的分布

Fig. 2 Threshold voltage distribution in NAND flash memory channel

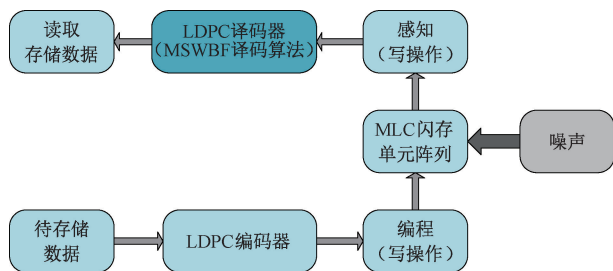


图 3 MLC 闪存的 LDPC 译码器模块

Fig. 3 MLC flash memory LDPC decoder module

2.1 基于 LLR 增强 MLC 闪存的比特可靠性

随着闪存密度的不断提升,噪声干扰愈发严重,导致某些比特位的可靠性下降,进而影响整体误码率。为进一步提高错误控制机制的有效性,本文引入 LLR 来刻画不同比特在 MLC 闪存中的可靠性,进而实现基于可靠性差异的精细化纠错设计。将 MLC 闪存中的存储单元分为可靠存储单元和不可靠存储单元,针对 MLC 闪存中的 LDPC 码提出了一种 LLR 优化策略。

在 MLC 中,当满足两项条件比特“0”与比特“1”的存储概率均等,且单元处于所有可能存储状态的概率一致时,必须计算该单元中存储的第 i 位的 LLR 值。LLR 是一种统计量,用于量化接收信号中关于发送比特的可靠性。其

定义为比特 0 和比特 1 的后验概率之比的对数值,通过式(12)计算^[15],即:

$$\text{LLR}_{(b_i)} = \lg \frac{P(b_i = 1 | V_{\text{th}})}{P(b_i = 0 | V_{\text{th}})} = \lg \frac{P(V_{\text{th}} | b_i = 1)}{P(V_{\text{th}} | b_i = 0)} \quad (12)$$

式中: V_{th} 表示阈值电压; b_i 表示第 i 个比特值。

针对 NAND 闪存中每个单元的存储比特数 N_b , 设 $p_{\tau}(x)$ 为 k 位 ($0 \leq k \leq K-1, K=2^{N_b}$ 为每个单元的电位状态数) 所对应的阈值电压概率密度函数。 S_i 表示存储单元中第 i 个 bit 为 1 的状态集^[20]。将 $p_{\tau}(x)$ 和 S_i 代入式(12), 可得式(13)为:

$$\text{LLR}_{(b_i)} = \lg \frac{\sum_{k \in S_i} p_{\tau}(V_{\text{th}})}{\sum_k p_{\tau}(V_{\text{th}}) - \sum_{k \in S_i} p_{\tau}(V_{\text{th}})} = \lg \frac{\int_{R_1}^{R_r} \sum_{k \in S_i} p_{\tau}(x) dx}{\int_{R_1}^{R_r} \sum_k p_{\tau}(x) dx - \int_{R_1}^{R_r} \sum_{k \in S_i} p_{\tau}(x) dx} \quad (13)$$

为感知闪存单元的阈值电压并计算此类 LLR 值, 在每两个相邻状态之间设置硬判决参考电压, 如图 4 所示。

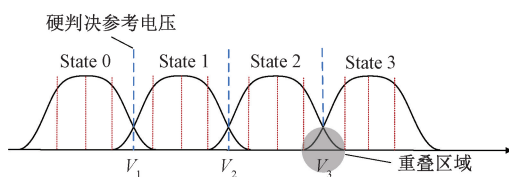


图 4 MLC 硬判决参考电压

Fig. 4 MLC hard decision reference voltage

硬判决通过将感知的 MLC 阈值电压 V_{th} 与 3 个硬判决参考电压值 (V_1, V_2, V_3) 比较大小, 直接映射成相应的比特值^[21], 如式(14)所示。

$$z_i = \begin{cases} 1, & \text{LLR}(b_i) > 0 \\ 0, & \text{其他} \end{cases} \quad (14)$$

设某变量节点 v_i 对应的 LLR 为 L_i , 其值越接近 0 表示信道对此比特的判断越不确定。为提升该类比特的翻转优先级, 构造增强型 LLR 值 L_i 如式(15)所示。

$$L_i = \begin{cases} L_i \cdot \gamma, & |L_i| < \tau \\ L_i, & \text{其他} \end{cases} \quad (15)$$

式中: τ 为置信度阈值, $L_i < \tau$ 认为是不可靠比特; γ 为放大系数, 通常 $\gamma > 1$, 用于增强低置信 LLR 的权重。

基于上述方法可以将存储比特在迭代过程中对不可靠比特的 LLR 值进行增大, 比直接使用原始 LLR, 该方法对低置信度区域实施“局部增益”, 显著提高其在翻转指标排序中的优先级。因此, 不可靠的错误位更易被识别并翻转, 同时能避免正确位被误翻转。

2.2 MLC 闪存的多源校验权重融合设计

设 $\mathbf{H}$ 为正则二进制 (N, K) LDPC 码的奇偶校验矩阵,

其中 N 为码长, K 为 LDPC 编码长度, $\mathbf{H}$ 的第 m 行第 n 列的元素记为 h_{mn} , 即 $\mathbf{H} = [h_{mn}]$, $\mathbf{H}$ 的每一列和每一行都有 d_v 和 d_c 个元素, 连接到第 m 个校验节点的变量节点的集合是:

$$N(m) = \{n : h_{mn} = 1\} \quad (16)$$

并且连接到第 n 列的校验节点的集合类似地表示为:

$$M(n) = \{m : h_{mn} = 1\} \quad (17)$$

二进制 LDPC 码的码字 $\mathbf{c} = (c_1, c_2, c_3, \dots, c_N)$, 经 BPSK 调制后得到 $\mathbf{u} = (u_1, u_2, u_3, \dots, u_N)$, $u_n = 1 - 2c_n$ 。 $\mathbf{U}$ 进入 AWGN 信道后得到接收序列为 $\mathbf{y} = (y_1, y_2, y_3, \dots, y_N)$, $y_n = (1 - 2c_n) + v_n$ 。 其中 v_n 为服从 $N(0, \sigma^2)$ 的一维高斯随机变量。 $\mathbf{z} = (z_1, z_2, z_3, \dots, z_N)$ 为硬判决输出序列, 判决规则为 $z_n = (1 + \text{sign}(y_n))/2$ 。

BF 算法^[6]如算法 1 所示, 该算法使用校验和来确定要翻转的位, 校验和 s_m 表示为:

$$s_m = \sum_{n \in N(m)} z_n h_{mn} \quad (18)$$

并且第 n 个变量节点的评估值为:

$$E_n = \sum_{m \in M(n)} (2s_m - 1) \quad (19)$$

算法 1: BF 译码算法

I_{MAX} : 迭代次数的最大值

```
for ( $i=0; i < I_{\text{MAX}}; i++$ ) {
    for ( $j=0; j < (N-K); j++$ ) 计算  $s_j$ 
    if ( $\sum s_m = 0$  时终止算法)
    for ( $j=0; j < N; j++$ ) {
        计算  $E$ 
         $k = E$  的最大值
    }
    翻转  $z_k$ 
}
```

MSWBF 译码算法如算法 2 所示, 该算法不能直接获得 MLC 中的数据。各校验节点 c_m 的权值可由所存储的位的 $|\text{LLR}|$ 来确定, 即:

$$w_m = \min_{n \in N(m)} |\text{LLR}_n| \quad (20)$$

式中: $|\text{LLR}|$ 表示使用式 (13) 来计算可变结点 v_n 的 LLR 值。

算法 2: 基于 LLR 调整的 MLC 闪存 MSWBF 译码算法

- 1: 通过对所感知的门限电压以及码字结构的布置, 进行计算 ($\text{LLR}_1, \text{LLR}_2, \dots, \text{LLR}_N$);
- 2: 对于 $n=1, 2, \dots, N$, 初始化硬判决 $z_i = \begin{cases} 1, & \text{LLR}(b_i) > 0 \\ 0, & \text{其他} \end{cases}$;
- 3: repeat
- 4: 对于 $m=1, 2, \dots, M$, 计算校验方程的校验和 $s_m = \sum_{n \in N(m)} z_n h_{mn}$;
- 5: 如果所有的检查等式都满足 $s_m=0$, 那么跳到最后的第 10 行;
- 6: 对于 $s_m=1$, 利用式 (8) 增加低置信 LLR 的权重;
- 7: 对每个校验节点计算 $w_m^{\min}$ 与 L_m , 并依据公式动态更新 λ ;
- 8: 对于 $m=1, 2, \dots, M$, 计算权重 $w'_m = \lambda \min_{n \in N(m)} |\text{LLR}_n| + (1-\lambda) \frac{1}{|N(m)|} \sum_{n \in N(m)} |\text{LLR}_n|$;
- 9: 对于 $n=1, 2, \dots, N$, 计算翻转函数 $E'_n = \sum_{m \in M(n)} (2s_m - 1) w'_m$;
- 10: 翻转比特 k_z , 其中 $k = \arg \max_{n \in [1, N]} E'_n$;
- 11: until 达到最大迭代次数;
- 12: return $\mathbf{z}, \mathbf{s}$

从式 (20) 可以看出, 各校验节点 c_m 的校验和权值与该变节点中最小的 $|\text{LLR}_n|$ 值相等。然而, 由此权重计算过于片面, 缺乏局部置信度分布信息, 难以反映多重低置信比特共同作用。针对上述问题, 本文提出多源校验权重融合策略, 通过结合最小 LLR 与邻接变量节点 LLR 均值, 得到新的权重 w'_n , 如式 (15) 所示。

$$w'_n = \lambda \min_{n \in N(m)} |\text{LLR}_n| + \frac{(1-\lambda)}{|N(m)|} \sum_{n \in N(m)} |\text{LLR}_n| \quad (21)$$

式中: 第 2 项表示当前校验节点中所有变量节点的平均置信度; $\lambda \in [0, 1]$ 为调节系数, 用于平衡“极小值优先”与“全局平均”之间的贡献。为在性能与稳定性之间取得平衡, 需根据置信度波动情况自适应确定 λ 的取值。

设 $w_m^{\min}$ 表示校验节点邻接变量节点的最小置信值, L_m 表示其平均置信值。当信道噪声较强或 LLR 分布离散较大时, 最小值波动显著, 应增加平均值的权重; 反之, 则应强调最小值的重要性。

为实现这一自适应调整, 可将 λ 设计为两者方差的归

一化比例：

$$\lambda = \frac{s_{\min}^2}{s_{\min}^2 + s_{\text{avg}}^2} \tag{22}$$

式中： $s_{\min}^2$ 和 s_{avg}^2 分别表示最小值与平均值的方差。
该式表明，当最小值波动较大（ $s_{\min}^2$ 增大）时， λ 随之增大，从而更依赖平均置信信息，使权重估计更稳定。

基于上述改进校验权重定义，得到变量节点的新的翻转函数 E'_n ，如式(23)所示。

$$E'_n = \sum_{m \in M(n)} (2s_m - 1)w'_m \tag{23}$$

2.3 算法复杂度分析

本节给出了一个具有可变结点数 d_v 和一个结点个

数为 d_c 的常规 LDPC 码的计算复杂度的例子。在 MLC 中，各种 WBF 解码算法均需进行 LLR 初始化与硬判决运算^[22]。对于 M 个检查结点的检验和，在算法 2 第 4 行中，要求 $M(d_c-1)$ 个相加操作。算法 2 第 6 行按照检验和结果来增大低置信 LLR 的加权，而这个处理最坏情形要求 Md_c 个乘法操作。在第 7 行对 M 个检查结点的权值进行计算，要求 $M(d_c-1)$ 个比较操作。在算法第 8 行，对 N 个可变结点的反转函数 E'_n 进行计算，要求 $N(d_v-1)$ 个加法操作，并从 N 个可变结点中取最大 E'_n 来翻转需要 $N-1$ 个比较操作。表 1 列举了一些 WBF 算法的运算复杂性，其中 I 代表了迭代次数。与传统的 WBF 算法相比，MSWBF 译码算法加入了 LLR 调节机制，所以其运算量较大。

表 1 MLC 闪存信道下几种 WBF 译码算法的计算复杂度
Table 1 Computational complexity of various WBF decoding algorithms under MLC flash channels

算法	比较运算	加法运算
WBF	$M(d_c-1)+(N-1)I$	$[M(d_c-1)+N(d_v-1)]I$
MWBF	$M(d_c-1)+(N-1)I$	$[M(d_c-1)+Nd_v]I$
IMWBF	$M(d_c-1)(d_c-1)+(N-1)I$	$[M(d_c-1)+Nd_v]I$
MSWBF	$[M(d_c-1)]I+(N-1)I$	$[M(d_c-1)+N(d_v-1)]I$

3 仿真实验及分析

为验证所提出 MSWBF 算法的有效性，本文基于 MATLAB 平台实现了多种 WBF 类以及软判决译码算法的计算机仿真，包括传统 BF、WBF、MWBF、IMWBF、BP 以及本文提出的 MSWBF 算法。所有算法均在模拟的 MLC 闪存信道环境中进行性能测试与比较分析。仿真中，MLC 闪存单元的擦除态阈值电压服从高斯分布，其均值设置为 $\mu_e = 1.4$ ，标准差 $\sigma_e = 0.4$ ，判决阈值为 $V_p = \{3.0 \text{ V}, 3.6 \text{ V}, 4.1 \text{ V}\}$ 。为更真实地反映闪存通道特性，仿真中引入了噪声干扰，其 $\sigma_{\text{RTN}} = 0.05 \text{ V}$ ；数据保持时间 $t_0 = 10\ 000 \text{ s}$ ；垂直方向的电容耦合系数取 $\gamma_y = 0.08 \text{ s}$ ，对角线方向取 $\gamma_{xy} = 0.006 \text{ s}$ 。所采用的编码 QC-LDPC 码，码长为 (32 767, 30 912)，码率为 0.947，列重为 $\gamma = 4$ ，译码算法的最大迭代次数设为 50 次。在此基础上，对不同算法的误码率 BER 性能、平均迭代次数进行对比。

由于理论分析难以准确给出 MSWBF 算法的最优调整因子 δ ，本文利用蒙特卡洛方法对 $\delta \in [0, 0.16]$ 不同取值进行了优化。在读取精度 $p = 5$ 、数据保持时间 $t_0 = 10\ 000 \text{ s}$ 、P/E 循环次数为 5 000 次条件下，图 5 展示了不同 CCI 耦合强度因子 s 下 BER 随 δ 的变化趋势。仿真结果表明：当 $\delta < 0.08$ 时，BER 性能明显提升；而当 $\delta \geq 0.08$ 后，BER 变化趋于平稳。图 6 展示了不同 CCI 耦合强度因子 s 下平均 BER 随 δ 变化的趋势，并附带每个数据点的标准误差棒，在 $\delta = 0.08$ 时有较低的 BER 以及更低的误差棒，具有较高的稳定性和一致性。因此，本文设定 $\delta = 0.08$ 作为调整因子。

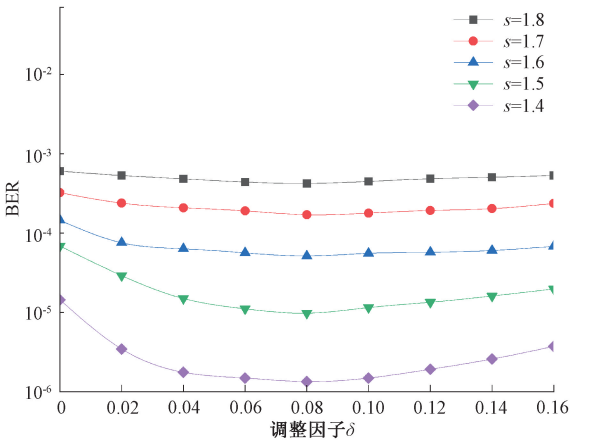


图 5 不同 s 下调整因子 δ 的误码率
Fig. 5 Bit error rate of the adjustment factor δ at different s

在读取精度设定为 $p = 5$ 的条件下，图 7 给出了多种算法在不同 s 值下的 BER 表现对比。MWBF 与 IMWBF 的加权系数分别设为 1.2 与 1.0。结果显示，在耦合强度因子 $s = 1.8$ 且读取精度为 $p = 5$ 、数据保持时间 $t_0 = 10\ 000 \text{ s}$ 、P/E 循环次数为 5 000 次的条件下，所提出的 MLC 闪存 MSWBF 译码算法相较于 BF、WBF、MWBF、IMWBF 译码算法的 BER 性能分别提升了 98.5%、76.7%、61.4%、55.6%、80.1%。在耦合强度因子 $s \geq 1.6$ 时，MSWBF 相较于 BP 算法有更低的误码率，平均误码率降低 18.5%。BP 算法在 $s < 1.6$ 时出现轻微的误码平层，而 MSWBF 曲线仍保持平滑下降趋势，说明其多源 LLR 融合机制在强干扰条件下具有更强的收敛性与稳定性。

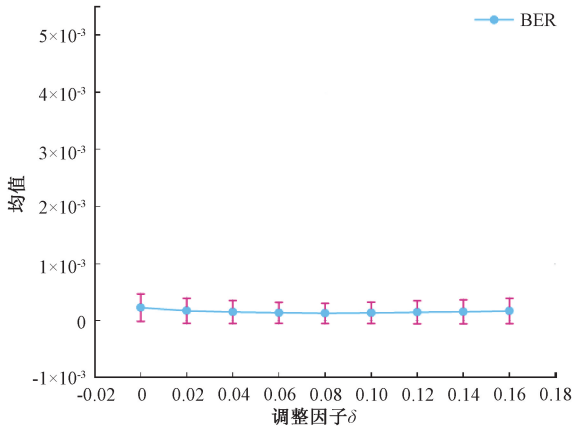
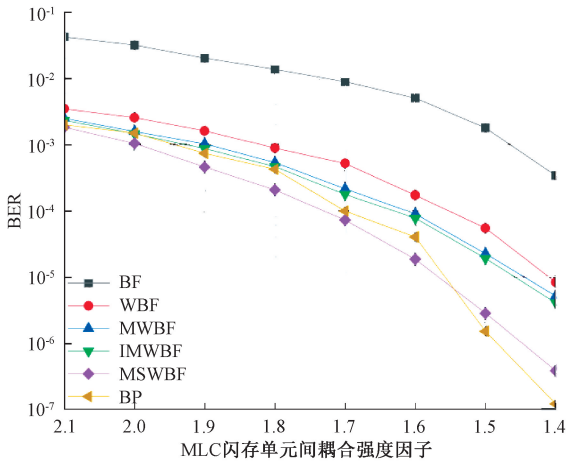
图 6 不同 s 下调整因子 δ 的误码率的均值Fig. 6 The mean bit error rate of the adjustment factor δ for different s 

图 7 MLC 闪存信道模型下 (32 767, 30 912) QC-LDPC 码的 BER 性能比较

Fig. 7 Comparison of BER performance of QC-LDPC codes under MLC flash channel model (32 767, 30 912)

由图 8 可以看出,当耦合强度系数 $s=1.7$,读取精度 $p=5$ 、数据保持时间 $t_0=10\ 000$ s、P/E 循环次数为 5 000 次的情况下,MLC 的 BF、WBF、MWBF、IMWBF 以及 MSWBF 解码算法相比,MSWBF 的平均迭代次数可降低 35.8%、32.0%、32.4%、24.3%。相较于 BP 算法,随着耦合强度因子 s 的降低,二者的迭代效率差距虽有变化,但 MSWBF 始终能有更少的迭代次数,平均迭代次数降低 9.7%,体现出更优的收敛性能。图 9 展示了不同 CCI 耦合强度因子 s 下平均迭代次数的变换趋势,在 $s \geq 2.0$ 以及 $s=1.4$ 时,迭代次数的误差棒较短,迭代次数较为集中,均值可靠性高,在复杂闪存信道环境下应使 CCI 耦合强度因子 s 保持在 $s \geq 2.0$ 以及 $s=1.4$ 时,减少 CCI 的影响。

尽管所提出的 MLC 闪存 MSWBF 译码算法与其他译码算法相比降低了平均迭代次数,但其译码复杂度并未降低。MSWBF 算法通过在权重计算与翻转指标中引入多

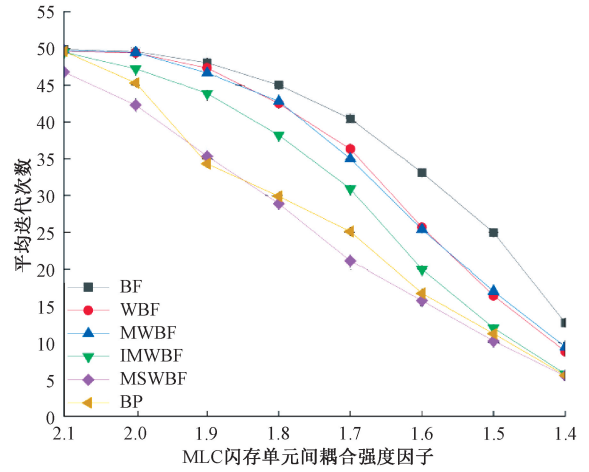
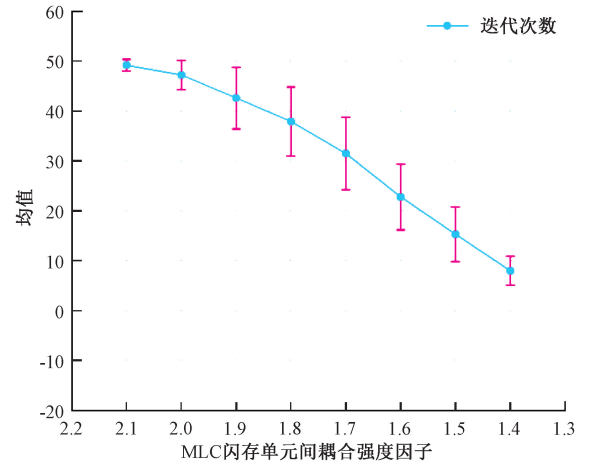


图 8 MLC 闪存信道模型下 (32 767, 30 912) QC-LDPC 码的平均迭代次数比较

Fig. 8 Comparison of the average number of iterations for (32 767, 30 912) QC-LDPC code under the MLC flash memory channel model

图 9 不同 CCI 耦合强度因子 s 下迭代次数的均值Fig. 9 Mean number of iterations under different CCI coupling strength factors s

源置信信息融合和线性 LLR 增强策略,在确保纠错能力提升的同时,有效避免了无效翻转和迭代冗余现象,使得译码过程在更少轮数内完成收敛。这一改进显著提高了算法在复杂闪存信道环境下的收敛效率与工程适应性。

4 结 论

本研究针对 MLC NAND 闪存中 LDPC 码译码的鲁棒性与效率问题,提出了 MSWBF 译码算法。该方法通过引入校验节点邻接变量节点的最小 LLR 值与平均 LLR 值的线性融合策略,构建了更稳定的局部置信评估机制,同时在翻转函数中设计了基于 LLR 的调整项,有效提升了对低置信比特的识别能力。为了验证算法有效性,本研究基于实际闪存特性构建了包含 RTN、DRN、CCI 干扰与阈值电压漂移的信道模型,并在此基础上进行仿真测试。实验

结果表明,在不同 CCI 强度与读取精度条件下,MSWBF 算法在 BER 性能和迭代收敛速度方面均优于现有 WBF 类算法以及 BP 软判决译码算法,算法性能提升达 55.6%,平均迭代次数减少超过 30%。尽管算法引入了权重融合与 LLR 调整计算,略有增加复杂度,但在性能与实现成本之间取得了良好平衡,具备工程部署可行性与拓展性。

参考文献

- [1] ZHAN T Q, WANG X P, FENG D, et al. AetEC: Adaptive errotolerant erasure coding scheme within SSDs[C]//2020 IEEE 38th International Conference on Computer Design(ICCD), 2020: 167-174.
- [2] 张旋,慕建君,焦晓鹏.面向 MLC 闪存的比特翻转译码算法研究[J].哈尔滨工程大学学报,2019,40(2): 331-337.
ZHANG X, MU J J, JIAO X P. Improved bit-flipping decoding algorithm for MLC flash memory[J]. Journal of Harbin Engineering University, 2019, 40(2): 331-337.
- [3] FANG Y, CHEN W, CHEN P P, et al. SR-DCSK cooperative communication system with code index modulation: A new design for 6G new radios [J]. China Communications, 2023, 20(10): 1-16.
- [4] XIAO Z Y, LI L G, XU J, et al. Construction of protograph LDPC codes based on the convolution neural network [J]. China Communications, 2023, 20(5): 84-92.
- [5] 李承阳,田书林,杨扩军,等.高速数据采集系统中基于 EMD 的异常信号捕获方法研究[J].仪器仪表学报, 2024,45(12):98-106.
LI C Y, TIAN S L, YANG K J, et al. Research on the anomaly detection method based on EMD in the high-speed data acquisition system[J]. Chinese Journal of Scientific Instrument, 2024, 45(12): 98-106.
- [6] 周璇,马征,庞琦珂,等. NAND 闪存存储系统中的 LDPC 码优化设计[J]. 中国科学:信息科学, 2025, 55(1):202-216.
ZHOU X, MA Z, PANG Q K, et al. Optimization design for low-density parity-check codes in NAND flash memorysystems[J]. Scientia Sinica (Informations), 2025, 55(1): 202-216.
- [7] 李沛峰,刘丽,王宇,等.基于 FPGA 的 Φ -OTDR 系统数字正交解调方法[J].电子测量与仪器学报,2024, 38(5):19-28.
LI P F, LIU L, WANG Y, et al. Φ -OTDR system digital quadrature demodulation method based on FPGA [J]. Journal of Electronic Measurement and Instrumentation, 2024, 38(5):19-28.
- [8] JUNG J, PARK I C. Multi-bit flipping decoding of LDPC codes for NAND storage systems [J]. IEEE Communications Letters, 2017, 21(5): 979-982.
- [9] 周乐佳,叶展,吉茹,等.一种多元 LDPC-CPM 优化方法及性能仿真分析[J].电子测量技术,2023, 46(7): 117-124.
ZHOU L J, YE Z, JI R, et al. A multivariate LDPC-CPM optimization method and performance simulation analysis [J]. Electronic Measurement Technology, 2023, 46(7): 117-124.
- [10] 王兰珠,李锦明.基于 FPGA 的 LDPC 译码器的设计与实现[J].电子测量技术,2022,45(1): 22-27.
WANG L Z, LI J M. Design and implementation of LDPC decoder based on FPGA [J]. Electronic Measurement Technology, 2022, 45(1): 22-27.
- [11] 胡震宇,宋贺伦,郭海波,等.一种低码率的 LDPC 译码器的设计研究[J].电子测量技术,2020,43(16): 62-67.
HU Z Y, SONG H L, GUO H B, et al. A low code rate LDPC decoder [J]. Electronic Measurement Technology, 2020, 43(16): 62-67.
- [12] 郑慧捷,吕庆丰,朱志行,等.基于 FPGA 的多接口视频编解码系统[J].电子测量技术,2024,47(18): 89-99.
ZHENG H J, LYU Q F, ZHU Z X, et al. Multi-interface video codec system based on FPGA [J]. Electronic Measurement Technology, 2024, 47(18): 89-99.
- [13] 黄留群.交叉型实时 QC-LDPC 码的设计与 FPGA 实现[J].电子测量技术,2020,43(14):177-181.
HUANG L Q. Design and FPGA implementation of cross-type real-time QC-LDPC codes [J]. Electronic Measurement Technology, 2020, 43(14):177-181.
- [14] 李浩,王厚军,肖磊,等.高速并行数字调制信号的产生与实现[J].仪器仪表学报,2023,44(2):110-118.
LI H, WANG H J, XIAO L, et al. Generation and implementation of high-speed parallel digital modulation signals [J]. Chinese Journal of Scientific Instrument, 2023, 44(2):110-118.
- [15] XU Q, GONG P, CHEN T M, et al. Modelling and characterization of NAND flash memory channels[J]. Measurement, 2015, 70: 225-231.
- [16] ZHANG Z Y, CUI X R, QU X L, et al. Revealing molecular structures of nitrogen-containing compounds in dissolved black carbon using ultrahigh-resolution mass spectrometry combined with thermodynamic calculations[J]. Environmental Science & Technology, 2024, 58(27): 11998-12007.
- [17] 李俊锋,谭北海,郑宇凡,等.基于 FPGA 的语义信息处理

- 加速器设计[J]. 电子测量技术, 2025, 48(6): 188-195.
- LI J F, TAN B H, ZHENG Y F, et al. Design of a semantic information processing accelerator based on FPGA [J]. Electronic Measurement Technology, 2025, 48(6): 188-195.
- [18] ASLAM C A, GUAN Y L, CAI K. Detector for MLC NAND flash memory using neighbor-a-priori information[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2016, 24(9): 2827-2836.
- [19] 于希明, 彭宇, 姚博文, 等. 基于 FPGA 并行计算的多阈值分级海陆分割方法[J]. 仪器仪表学报, 2022, 43(9): 166-177.
- YU X M, PENG Y, YAO B W, et al. Multi-threshold hierarchical sea-land segmentation based on FPGA parallel computing [J]. Chinese Journal of Scientific Instrument, 2022, 43(9): 166-177.
- [20] 刘阳, 冯进良, 黄伟, 等. 基于 FPGA 的三目半全局匹配算法设计与实现[J]. 仪器仪表学报, 2021, 42(12): 202-210.
- LIU Y, FENG J L, HUANG W, et al. Triple semi-global matching algorithm and implementation on FPGA[J]. Chinese Journal of Scientific Instrument, 2021, 42(12): 202-210.
- [21] 孙洋舟, 严天峰, 孙文灏, 等. 基于 Swin Transformer 的图像语义通信系统[J]. 电子测量技术, 2024, 47(24): 85-92.
- SUN Y Z, YAN T F, SUN W H, et al. Image semantic communication system based on Swin Transformer [J]. Electronic Measurement Technology, 2024, 47(24): 85-92.
- [22] ZHANG X, JIAO X P, HE Y C, et al. Weighted bit-flipping decoding of LDPC codes with LLR adjustment for MLC flash memories [J]. IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, 2019, 102(11): 1571-1574.

作者简介

丰才华, 硕士研究生, 主要研究方向为动态测试与存储。

E-mail: 13015476035@163.com

李杰(通信作者), 博士研究生, 教授, 博士生导师, 主要研究方向为导航、制导与控制。

E-mail: Lijie@nuc.edu.cn