

基于 FPGA 的高速并行时钟恢复算法设计

汤瑞新 刘文重 张俊杰 李迎春 张倩武

(上海大学特种光纤与光接入网重点实验室 上海 200444)

摘要: 在卫星高速数传系统中,发射端与接收端之间不可避免存在符号定时偏差且多普勒效应会进一步放大该偏差。时钟恢复算法是消除其影响的有效手段,然而现有的时钟恢复算法在并行实现时往往存在并行路数过高导致性能下降、实现复杂度较高等问题,难以在资源受限的系统中满足更高速率及更高定时偏差容忍度的需求。本文在传统前馈时钟恢复算法实现结构的基础上,提出了一种优化的并行实现结构:通过优化定时控制器、插值滤波器及符号抽取模块的架构,使其在两倍符号率采样条件下能够高效实现符号定时计算。同时改进 LEE 误差检测算法,提高定时误差估计精度和定时偏差容忍度。仿真与 FPGA 板级测试结果表明,该结构在 QPSK 调制格式下,能够容忍高达 $\pm 1\ 000 \times 10^{-6}$ 的定时频率偏差,并在长期测试中保持稳定的性能。此外,在 2.5 GBaud 符号率的实时接收机系统中,该并行结构相比传统并行时钟恢复环路结构节省约 36% 的 LUT 资源以及 45% 以上的 Register 和 20% 左右的 DSP 资源,展现出在资源受限高速实时通信系统中的显著应用价值。

关键词: FPGA;并行时钟恢复算法;LEE

中图分类号: TN927 **文献标识码:** A **国家标准学科分类代码:** 510.5015

Design of high-speed parallel clock recovery algorithm based on FPGA

Tang Ruixin Liu Wenzhong Zhang Junjie Li Yingchun Zhang Qianwu

(Key Laboratory of Specialty Fiber and Optics Access Networks, Shanghai University, Shanghai 200444, China)

Abstract: In a high-speed satellite data transmission system, inevitable symbol timing offsets exist between transmitters and receivers, and Doppler effects further amplify these. These issues can be effectively corrected by clock recovery algorithms. However, existing clock recovery algorithms often suffer from performance degradation due to a large number of parallel processing paths, high implementation complexity, making it difficult to meet the requirements of higher symbol rate and greater timing offset tolerance in resource-constrained systems. Thus, this paper proposes an optimized parallel implementation architecture based on traditional feedforward clock recovery structure. By redesigning the architectures of the timing controller, interpolation filter, and symbol extraction module, the proposed structure enables efficient symbol timing recovery with two samples per symbol. Simultaneously, the LEE timing error detector is enhanced to improve timing error estimation accuracy and timing frequency offset tolerance. Simulation and FPGA board-level tests demonstrate that the proposed architecture can tolerate timing frequency offset up to $\pm 1\ 000 \times 10^{-6}$ under QPSK modulation, and has a stable bit error rate in long-term tests. Furthermore, when implementing a real-time receiver system with 2.5 GBaud symbol rate, the proposed parallel structure saves about 36% of the LUT resources, more than 45% of the Register and about 20% of the DSP resources, showing significant value in resource-constrained high-speed real-time communication systems.

Keywords: FPGA;parallel clock recovery algorithm;LEE

0 引言

近年来,随着通信技术的飞速发展,通信容量需求迅猛增长,提升通信带宽成为满足这一需求的最直接有效手段^[1]。在微波卫星通信领域,以 ViaSat-3 为代表的高通量卫

星(HTS)工作于 Ka 频段,单波束通信带宽超过 500 MHz,而 Q/V 频段卫星则可提供更大的可用带宽。例如,我国正在研发的宽带低轨卫星 Q/V 频段馈电链路,其设计通信带宽接近 1 GHz。

对于 GHz 级别的通信带宽场景下,仅依赖通用计算机

难以实时处理通信信号。虽然专用集成电路(application-specific integrated circuit, ASIC)在性能上占据优势,但其高昂的研发成本和漫长的开发周期,使其难以适用当前通信系统快速迭代的需求。相比之下,现场可编程门阵列(field-programmable gate array, FPGA)凭借其研发周期短、成本效益高、灵活的可重构特性以及强大的并行处理能力,已成为许多小批量高速通信系统的首选^[2]。作为单载波接收机系统中的关键模块,时钟恢复负责消除接收端与发送端之间的时钟偏差,确保接收端获取符号的最佳采样时刻,实现与发送端时钟的同步,其精度直接影响系统通信性能。在多倍采样率的场景中,时钟恢复模块需要具备更高的处理速率。然而,受限于FPGA的工作时钟,传统时钟恢复算法在并行化时面临性能瓶颈,难以满足GHz级高速通信的实时性需求^[3-4],因此研究高效的并行时钟恢复算法显得尤为必要。

目前常见单载波接收机的时钟恢复结构主要有前馈和反馈两种,其主要区别在于是否构成闭环反馈结构。典型的反馈结构时钟恢复算法如Gardner^[5]算法;典型的前馈结构时钟恢复算法包括O&M^[6]、LEE^[7]等算法。

针对时钟恢复算法的并行化实现,学界已开展多项研究。文献[8]基于Gardner算法提出了一种反馈并行时钟恢复结构,并在两倍符号率采样下验证了该结构能够正常工作,但是该类算法在并行路数过高会出现定时恢复性能下降^[4]、定时偏差容忍度下降等问题。接着文献[9]提出了基于O&M算法的并行前馈定时环路,虽然避免了并行路数增加导致的性能下降,但由于O&M算法每个符号需四个采样点,显著提高了对模数转换器(analog to digital converter, ADC)采样率的要求。虽然可借助半带滤波器将两倍采样转换为四倍采样,但其资源消耗甚至可能超过时钟恢复模块本身。文献[10]提出频域重采样结合Braton算法的符号时钟恢复环路,在两倍采样率下实现并行恢复,但其定时偏差需在频域中统一纠正,可能导致误差积累现象,不利于连续通信系统的稳定运行。文献[11]提出基于LEE算法的并行前馈结构,通过在插值滤波器前引入数据缓冲以调整采样点位置,但该结构仅能处理样值点重复的情况,无法应对样值点缺失问题,因此仅适用于采样率略高于两倍符号率的正偏差场景,适应性较差,需要额外配置电路。同时,传统的前馈定时误差检测模块^[9,11-12]普遍存在另外一个问题:其通常采用累加计数方式,即在累计整个符号块的符号后生成使能信号对该块内容进行误差估计,这导致当定时偏差较大时,定时误差估计的精度和频偏容忍度产生下降。

针对上述问题,本文提出了一种新的并行时钟恢复实现结构。该结构基于传统前馈定时同步环路,采用LEE定时误差检测算法实现定时误差检测,并对该算法进行了优化,提升了定时误差估计的精度与频偏容忍度。同时,对定时控制器、插值滤波器及符号抽取模块的架构进行了全面

改进,使系统能够在两倍采样率条件下实现高效、稳定的并行时钟恢复。此外,本文基于国际空间数据系统咨询委员会(consultative committee for space data systems, CCSDS)推荐的物理帧结构,在Xilinx XC7VX690 T FPGA平台上实现了符号率为2.5 Gbaud的数传接收机系统。实验结果表明,该结构在QPSK调制方式下,能够容忍高达 $\pm 1\,000 \times 10^{-6}$ 的定时频率偏差,还在长期运行中保持稳定的误比特率(bit err rate, BER)表现。与传统并行时钟恢复结构^[8]相比,该方案在保证性能的同时大幅降低了硬件资源开销,约节省37%的查找表(look-up table, LUT)资源,并减少超过45%的Register和20%的数字信号处理器(digital signal processor, DSP)资源消耗,展现出良好的可实现性与工程应用前景。

1 并行时钟恢复结构设计

1.1 传统前馈时钟恢复环路

传统前馈时钟恢复环路模型^[13]如图1所示。系统中,ADC以固定时钟频率对输入信号进行整数倍过采样,得到的过采样基带信号经匹配滤波后输入时钟恢复模块,以校正定时偏差。该环路主要由数据选择模块、定时误差检测模块、定时控制器模块、插值滤波器模块组成。

其中,定时误差检测模块以前馈定时误差检测算法计算每个符号段的定时误差,并将计算结果输入至定时控制器模块。定时控制器基于误差信息生成数据调整信号和分数间隔信号,其中,数据调整信号用于调整输入插值滤波器的插值数据;最后由插值滤波器利用已采样的非同步数据与分数间隔信号完成定时校正并输出最佳采样值。

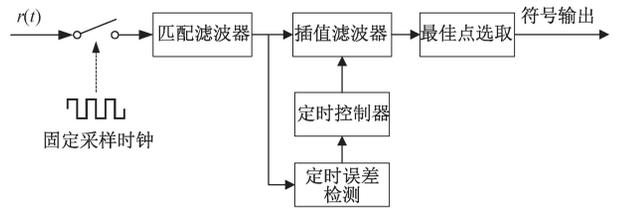


图1 传统前馈时钟恢复环路系统模型

Fig.1 Traditional feedforward clock recovery loop system model

1.2 并行时钟恢复结构设计

为了满足高速数字接收机的需求,本文基于传统前馈时钟恢复环路和LEE算法^[7]提出了如图2所示的并行时钟恢复环路结构。除了将传统时钟恢复环路中的定时误差检测模块、插值滤波器和定时控制器模块改成并行之外,还引入了并行符号抽取模块与延时补偿模块。并行定时误差检测器模块采用改进的非数据辅助的LEE定时误差检测算法,提高了定时偏差容忍度和估计精度;并行定时控制器根据误差信息生成当前插值位置、分数间隔和增删指示信号AD_flag;并行插值滤波器采用二阶分段抛物线插值器,在保证插值精度的同时,减少了资源消耗;并行符号抽取模块根据增删指示信号进行符号抽取;延迟补偿模块用

于对齐并行插值滤波器的控制信号与插值数据。该并行时钟恢复结构支持 $2M$ 路并行输入 (M 为并行符号路数), 数据速率达到两倍过采样, 从而提升了高速数据处理能力, 适用于高带宽卫星通信系统。

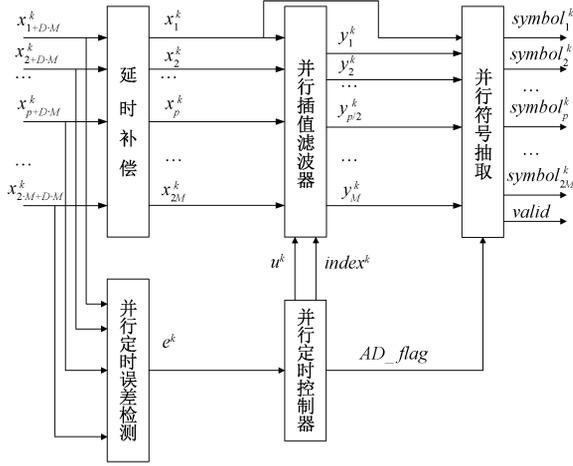


图 2 并行时钟恢复环路结构

Fig. 2 Parallel clock recovery loop architecture

1.3 并行定时误差检测模块

定时误差检测模块采用非数据辅助形式的 LEE 定时误差检测算法进行定时误差检测; 对应的误差检测表达式如下:

$$e(k) = \frac{1}{2\pi} \arg \sum_{n=2L(k+1)}^{2L(k+1)} \left\{ \begin{aligned} &|r(n)|^2 e^{-jn\pi} + \\ &Re[r(n)r^*(n-1)] e^{-j(n-0.5)\pi} \end{aligned} \right\} \quad (1)$$

其中, k 代表当前时刻, L 代表观测符号周期数, m 代表 $2L$ 个采样数据的序号, $r(n)$ 代表匹配滤波后的基带信号。传统前馈定时误差检测算法通常采用累加计数方式, 即在累计 L 个符号后生成使能信号, 然后对该块内容进行误差估计。这种方式虽然原理比较简单, 但由于其误差估计是基于一个较长且固定的观测窗口, 当接收信号存在较大的频率偏差时, 该窗口内采样点与理想采样点的偏移量会随时间累积, 导致误差估计的平均化效应减弱, 无法实时精确的反映当前的定时偏差, 从而影响系统的同步性能; 当定时偏差较大时, 符号恢复精度下降, 导致系统性能劣化。

因此, 本文对 LEE 定时误差算法进行改进。改进后的算法在误差检测表达式中引入了并行时钟恢复算法的符号输入路数 M 。具体而言, 累加求和运算的上下限从式(1)中仅与观测符号周期数 L 相关的形式, 调整为新的形式, 其中上限为 $2Mk + L$, 下限为 $2Mk - L + 1$ 。相较于传统方法使用一整段符号的误差来修正该段定时偏差, 本方案的核心改进在于每个时钟周期计算一次误差, 并利用当前输入时刻前后各 $0.5L$ 个符号的采样值进行偏差估计, 以校正当前时刻符号的定时误差。这种“滚动窗口”式的实时误差估计方法, 使得误差检测器能够更快速的相应定时偏差的变化。通过实时计算当前输入时刻前后各 $0.5L$ 个符

号的采样值进行偏差估计, 避免了长观测周期内误差的累积效应, 从而提高了对动态定时偏差的跟踪能力和估计精度。尤其是在多普勒效应引起的大频偏的场景下, 这种实时矫正机制能够显著提升定时偏差容忍度。

图 3 展示了改进后的 LEE 算法对应的并行定时误差检测结构, 该结构输入为 $2M$ 路并行采样数据, 如 $x_1^k, x_2^k, \dots, x_{2M}^k$ 等。首先将每个符号的两个输入样本进行平方模运算和共轭相乘运算; 然后通过固定的旋转结构进行 $0^\circ, 90^\circ, 180^\circ, 270^\circ$ 旋转, 以降低系统复杂度; 随后采用加法树结构完成一拍输入的误差累加。核心在于, 该结构在误差累积和校正模块体现了传统方案与本文的显著差异: 图 3 右侧上方虚线框所示的传统方案, 通常采用循环 L/N 次的累加方式进行误差平均, 这会导致对快速变化的定时偏差响应迟缓; 而图 3 右侧下方虚线框标注的本文方案, 则创新性地引入增量累加结构, 通过实时处理和增量累计当前时刻的误差, 快速、连续地输出当前符号定时偏差。最后经坐标旋转数字计算机 (coordinate rotation digital computer, CORDIC) 计算归一化角度, 供后续时钟调整使用。与传统定时误差检测器相比, 改进后的结构仅需额外使用少量块随机存取存储器 (block random access memory, BRAM) 和一个三输入加法器, 但是可以显著提高并行结构下定时偏差的容忍度和定时误差的估计精度, 使其更适用于高速并行数据处理场景。

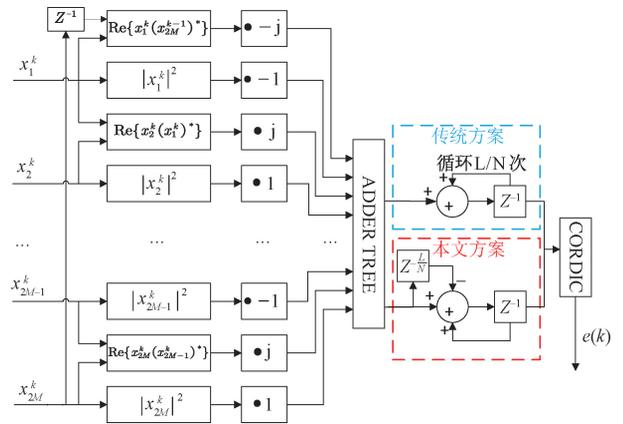


图 3 并行定时误差检测结构

Fig. 3 Parallel timing error detection architecture

1.4 并行定时控制器模块

并行定时控制器主要由插值基点计算器和分数间隔计算器组成, 其核心作用是根据并行定时误差检测器的输出 e^k 计算定时误差, 并进一步生成插值基点 $index^k$ 和分数间隔 μ^k 。在本文所述的时钟恢复环路中, 对应 $index^k$ 和 μ^k 的计算方式如下:

$$index^k = \begin{cases} 1, & 0 < e^k \leq 1 \\ 2, & -1 < e^k \leq 0 \end{cases} \quad (2)$$

$$\mu^k = \begin{cases} 1 - e^k, & 0 < e^k \leq 1 \\ -e^k, & -1 < e^k \leq 0 \end{cases} \quad (3)$$

在通信系统中,由于收发两端时钟独立且存在多普勒频偏,数据传输过程中常会出现定时偏差,导致采样点重叠或缺失,如图4所示。在并行结构中,插值基点数据 x_p^k 经过插值滤波器计算得到 $y_{(p-index+2)/2}^k$,再由定时控制器计算后输入插值滤波器。第 $k-1$ 时刻, μ 由 0.99 跳变到 0.01、 $index$ 从 2 变为 1,导致 $k-1$ 时刻插值结果的最后一路与 k 时刻插值结果的第一路基本相同,产生一个重复样值点;第 $l-1$ 时刻, μ 由 0.99 跳变到 0.01、 $index$ 从 2 变为 1,导致 $l-1$ 时刻插值结果的最后一路与 l 时刻插值结果的第一路之间间隔增加,中间缺失了一个样值点。针对这两种情况,并行定时控制器生成 2 bit 的增删指示信号 AD_flag , 其计算公式如下:

$$AD_flag^k = \begin{cases} 0b00, index^k = 1, \mu^k = 0.01, \\ index^{k-1} = 2, \mu^{k-1} = 0.99; \\ 0b11, index^k = 2, \mu^k = 0.99, \\ index^{k-1} = 1, \mu^{k-1} = 0.01; \\ 0b01, \text{其他} \end{cases} \quad (4)$$

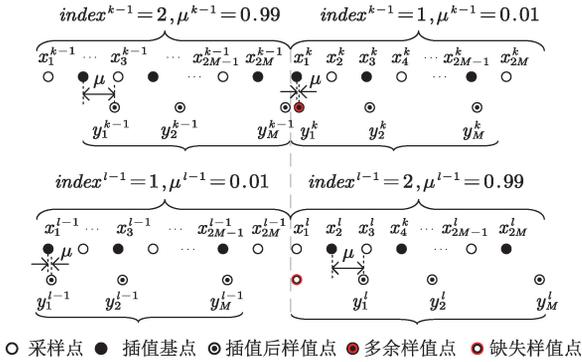


图4 样值点调整示意图

Fig. 4 Sample point adjustment schematic

在本文所描述的时钟恢复结构中,上述由定时偏差导致的样值点位置偏移是由增删指示信号 AD_flag 和插值基点信号 $index^k$ 调整,这相当于并行插值滤波器通过分数间隔 μ^k 纠正了采样点的分数倍偏移,同时 $index^k$ 信号用于纠正采样点整数偏移,最终由符号抽取模块完成整体的定时校正。

1.5 并行插值滤波器模块

插值滤波器是时钟恢复环路中的关键模块,其性能直接影响系统的采样精度和信号质量。文献[14]表明,线性插值滤波器实现较为简单,但在两倍过采样条件下存在较大的性能损失;相比之下, $\alpha = 0.5$ 的抛物线插值滤波器在两倍过采样时能够提供更优的插值性能。综合考虑插值滤波器的实现复杂度和系统性能需求,本文采用二阶抛物线插值滤波器作为并行插值计算的核心算法,并通过 Farrow 并行结构^[15](如图5所示)实现插值计算。该结构能够利用移位加减的方式调整插值参数,从而有效减少乘法运算资源的消耗,提高硬件实现效率。

根据 1.3 节并行定时控制器部分的分析可知,定时偏差会导致采样点的重复或缺失问题。当系统采样率大于两倍符号速率时,可能会出现样值点重复,此时需要删除重复的样值点;当系统采样率略小于两倍符号速率时,则可能出现样值点缺失,此时需额外插值生成新的样值点,以确保数据完整性。图4中,当出现样值点缺失时,若按照第 l 时刻的控制信号进行插值,则缺失的样值点的插值基点为第 l 时刻输入的首个数据,分数间隔 μ 取 0.01;若按照第 $l-1$ 时刻的控制信号进行插值,则插值基点为第 $l-1$ 时刻输入的最后一个数据,分数间隔 μ 取 0.99。这两种方式经过插值滤波计算后所得到的结果与滤波后的样值点 x_l^l 近似相等,因此可以直接用样值点 x_l^l 代替缺失的样值点,从而保证信号的连续性。如图6所示,并行插值滤波器根据插值基点 $index^k$ 和分数间隔 μ^k 对输入并行插值滤波器的 $2M$ 路数据进行插值计算,并同步输出 $M+1$ 路数据。其中 M 路数据为插值滤波器的输出,额外的 1 路数据为并行插值滤波器的第一路输入数据,专用于样值点缺失时进行补偿替换,从而有效应对采样点丢失问题。

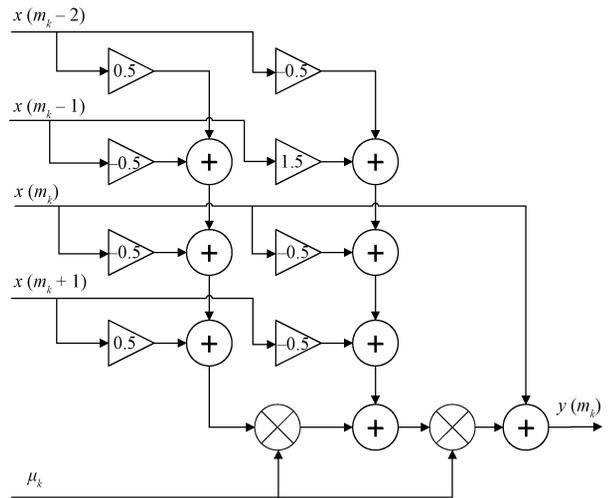


图5 Farrow 结构抛物线插值滤波器

Fig. 5 Farrow structure for piecewise-parabolic interpolator

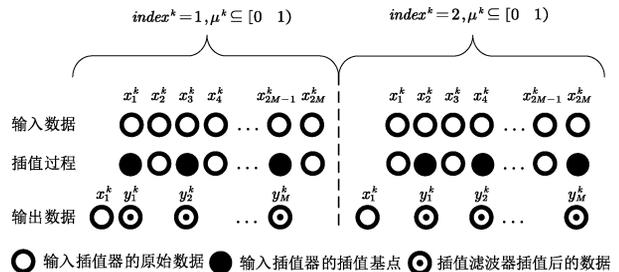


图6 并行插值滤波器工作示意图

Fig. 6 Parallel interpolation filter operation diagram

同时本文改进了插值滤波器的并行结构,该结构仅需要 M 路插值滤波器即可完成定时校正,如表1所示,与文献[8]和文献[9]相比,分别节省了 50% 和 75% 的插值滤

波器开销。

表 1 插值滤波器的开销对比

Table 1 Comparison of interpolation filter overheads

方法	并行 M 路符号输入
文献[8]	$2 \times M$
文献[9]	$4 \times M$
本文	M

1.6 并行符号抽取模块

并行符号抽取模块的输入包括插值后的 $M+1$ 路数据和增删指示信号 AD_flag 。该模块在 AD_flag 的控制下,通过移位寄存器组存储有效符号点,同时确保所有符号均被正确输出。为保证完整输出全部符号,该模块的输出并行路数应大于 M 。在本文所描述的时钟恢复结构中,使用 $3M$ 大小的移位寄存器组将符号抽取 $2M$ 路符号数据并行输出。图 7 展示了该模块详细工作流程,其中设置移位寄存器组的地址编号从左至右依次为 $1 \sim 3M$,移位寄存器组从低到高依次写入。 ptr 为当前写入数据地址指针,其初始值为 0,代表此时移位寄存器组为空,当移位寄存器组写满时,则认为 ptr 的地址指针指针为 $3M$ 。

移位寄存器组的写数据操作和 ptr 更新操作根据 AD_flag 指示信号完成:

1) 当 AD_flag 为 01 时,表示无样值调整,此时应删除 $M+1$ 路数据中的第一个数据,并将剩下的 M 路新数据存入移位寄存器组。若 $ptr \geq 2M$,说明移位寄存器组中已有 $2M$ 个有效数据需要输出,输出的同时写入 M 个新数据,因此 $ptr = ptr - 2M = ptr - M$;否则只写入 M 个新数据,此时更新 $ptr = ptr + M$ 。

2) 当 AD_flag 为 11 时,表示样值点缺失,此时应将 $M+1$ 路新数据存入移位寄存器组。若 $ptr \geq 2M$,说明移位寄存器组中已有 $2M$ 个有效数据需要输出,输出的同时写入 $M+1$ 个新数据,则更新 $ptr = ptr - 2M + M + 1 = ptr - M + 1$;否则只写入 $M+1$ 个新数据,此时更新 $ptr = ptr + M + 1$ 。

3) 当 AD_flag 为 00 时,表示样值点重复,此时应删除 $M+1$ 路数据中的第一个数据和第二个数据,并将剩下的 $M-1$ 个新数据存入移位寄存器组。若 $ptr \geq 2M$,说明移位寄存器组中已有 $2M$ 个有效数据需要输出,输出的同时写入 $M-1$ 个新数据,则更新 $ptr = ptr - 2M + M - 1 = ptr - M - 1$;否则只写入 $M-1$ 个新数据,此时更新 $ptr = ptr + M - 1$ 。

4) 从移位寄存器组取出 $2M$ 个符号数据时拉高数据有效信号 $valid$ 。

图 7 中 $3T_s$ 和 $(i+1)T_s$ 时刻分别展示了对应采样点缺失和采样点重复时 RAM 的读写情况。在 $3T_s$ 时,出现采样点缺失,此时应写入 $M+1$ 个符号数据,并读取 $2M$ 个

符号数据,写入后 ptr 由 $2M$ 更新为 $M+1$ 。在 $(i+1)T_s$ 时,出现采样点重复,此时应写入 $M-1$ 个数据,写入后 ptr 由 $M+1$ 更新为 $2M$ 。

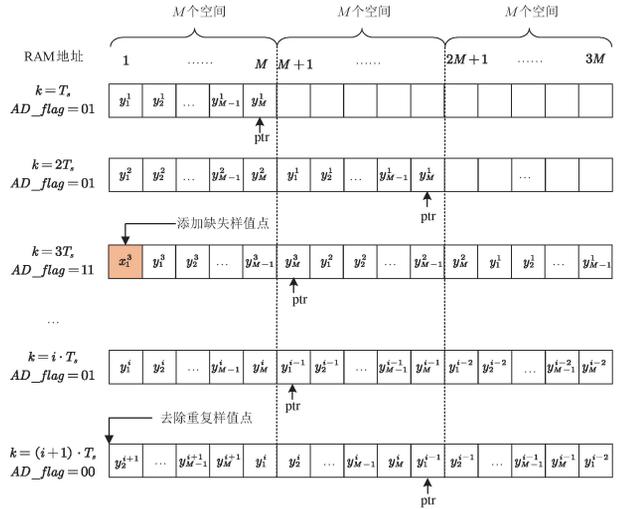


图 7 并行符号抽取模块运行流程

Fig. 7 Parallel symbol extraction module operation flow

2 实验平台与实验结果

2.1 实验平台

本文基于 CCSDS 物理层数据帧格式^[16]验证所提出的并行时钟恢复结构的性能,调制方式为 QPSK,符号速率为 2.5 GBaud。在 MATLAB 平台进行了算法仿真,并搭建实时收发系统进行 FPGA 板级测试。硬件验证平台如图 8 所示,其中任意波形发生器(arbitrary waveform generator, AWG)作为发射机,发射基带信号,接收端功能由 FPGA 板卡完成。AWG 型号为泰克 AWG7122C,ADC 采用 TI 公司生产的具有 12 bit 量化位宽的 ADC12DJ5200, FPGA 使用的是 Xilinx XC7VX690 T 芯片。

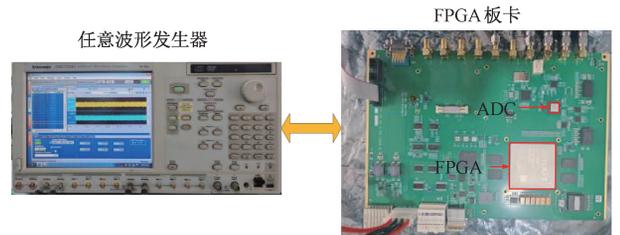


图 8 硬件测试平台

Fig. 8 Hardware test platform

本实验搭建了图 9 所示的接收系统用于测试验证,由 ADC 采样基带信号,采样数据依次经过各模块处理后解调得到的硬判决结果进行 BER 统计。其中时钟恢复模块即采用本文提出的并行时钟恢复结构;载波同步采用 M 次方载波同步算法;帧同步采用文献[17]建议的帧头差分相关算法;BER 统计结果可以通过 Xilinx 提供的集成逻辑分

析仪(integrated logic analyzer,ILA)抓取。

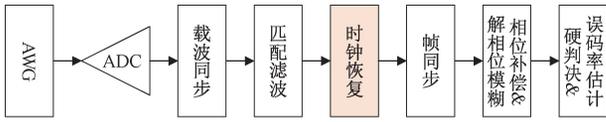


图9 接收系统处理流程

Fig. 9 Receive system processing flow

系统时钟恢复模块关键参数如表2所示,ADC采样数据速率为5.0 Gsps,即符号速率的两倍,并行32路输入时钟恢复模块,该模块的时钟工作频率为156.25 MHz。观测长度 L 是LEE定时误差检测算法中用于误差估计的累积符号周期数。 L 的选取影响误差估计的平滑性和对噪声的抑制能力。 L 值越大,误差估计越平滑,但对定时偏差的响应可能越慢。选择512旨在平衡误差估计的精度、收敛速度和对大频偏的容忍度。

本实验不同信噪比的调制数据由MATLAB生成,然后将其导入AWG中输出,并通过设置AWG的发送频率模拟收发端之间的时钟偏差。为了准确控制时钟偏差大小,AWG需要采用外部参考时钟源,参考时钟由FPGA板卡提供。导入AWG的数据为4倍符号率,即10.00 Gsps,通过将AWG的调制信号速率分别设置为10.00 GHz、 (10.00 ± 0.005) GHz和 (10.00 ± 0.01) GHz产生 0×10^{-6} 、 $\pm 500 \times 10^{-6}$ 以及 $\pm 1\,000 \times 10^{-6}$ 的定时频率偏差,用于测试本文所提出的并行时钟恢复算法在不同定时频率偏差下的性能。

表2 系统相关参数
Table 2 System parameter

参数描述	参数值
ADC采样率	5.0 Gsps
符号速率	2.5 GBaud
FPGA工作频率	156.25 MHz
输入数据位宽	8 bit
并行路数(2M)	32路
观测长度 L	512
分数间隔 μ 位宽	14 bit
定时误差值 e 位宽	16 bit

2.2 MATLAB 仿真实验

为了验证所提出的并行实现结构在高速场景下的性能和正确性,首先采用MATLAB对比了本文所提出的并行实现结构、并行前馈O&M算法^[12]、传统误差检测公式的LEE算法^[11]、反馈结构Gardner算法^[8]的BER性能,得到图10所示的BER性能仿真结果,其中,根据文献^[18]建议将Gardner反馈环路延迟设置为20个时钟周期。本文提出的并行时钟恢复结构工作在两倍符号率下,并行前馈O&M算法工作在四倍符号率下。从图10可以看出,在定

时偏差为 25×10^{-6} 时,上述4种算法均可有效工作。与并行前馈与O&M算法相比,当BER为 1×10^{-3} 时,本文提出的时钟恢复算法性能损失小于0.1 dB,但算法需要的过采样率仅为前者的一半。

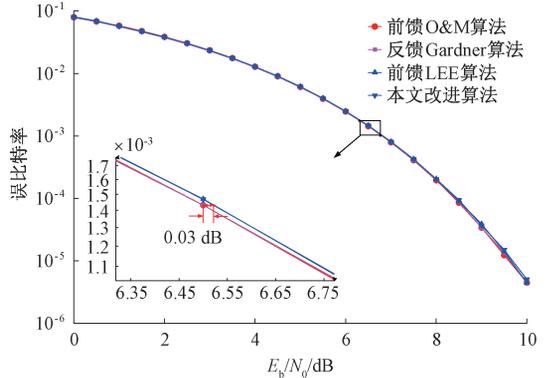


图10 不同算法的BER性能

Fig. 10 Comparison of BER performance for different algorithms

在无定时偏差时,并不能有效展现本文改进的时钟恢复算法的效果。以 50×10^{-6} 为步长,考虑 $0 \times 10^{-6} \sim 500 \times 10^{-6}$ 的定时误差范围,上述4种算法的BER在 1×10^{-3} 处的信噪比损失如图11所示。其中,信噪比损失定义为采用某种算法后,为达到目标误比特率所需的信噪比与理论门限值的差。从图11中可以看出,本文所提出的时钟恢复算法对定时偏差的容忍度优于其他3种算法。在定时偏差为 500×10^{-6} 的情况下,改进后的算法性能提升约0.15 dB。

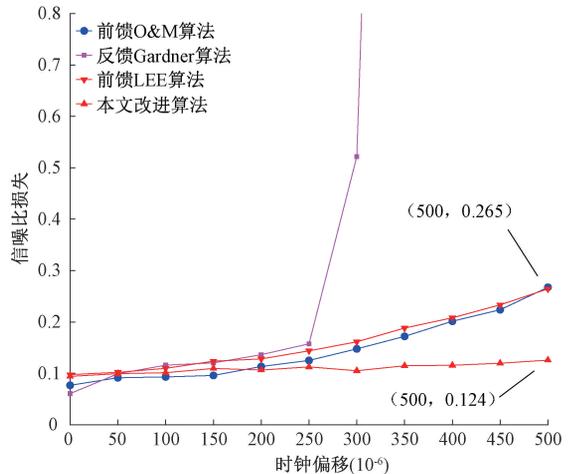
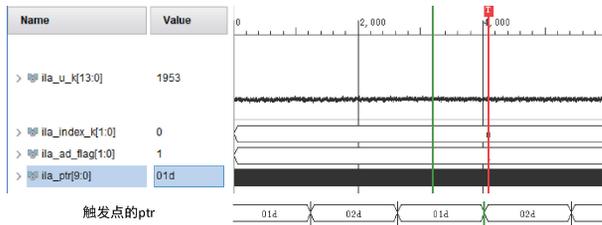


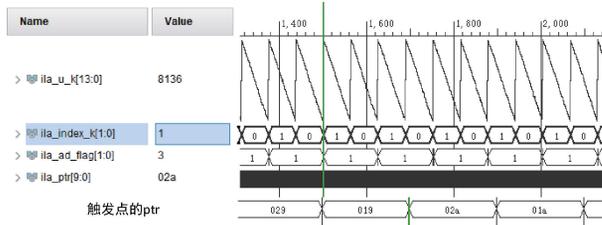
图11 误码率在 1×10^{-3} 时不同定时误差下的信噪比损失
Fig. 11 SNR loss at different timing offsets for a BER of 1×10^{-3}

2.3 FPGA 实时测试

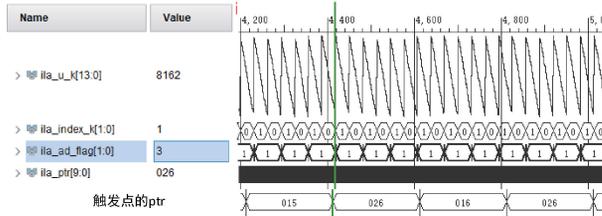
上述仿真实验验证了并行算法的性能,为进一步验证本文涉及的定时同步模块在实际系统中的功能和性能,设置 E_b/N_0 为10 dB,并预设定时偏差进行板级接收测试,然后通过ILA实时抓取不同定时频率偏差下模块的关键参数,如图12所示。



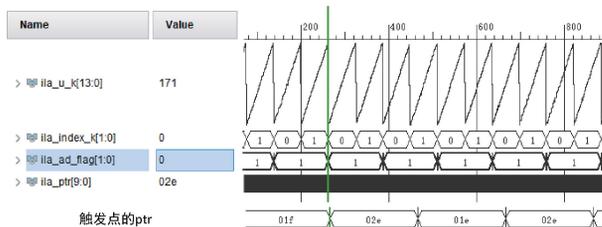
(a) 无定时频率偏差
(a) No symbol timing offset



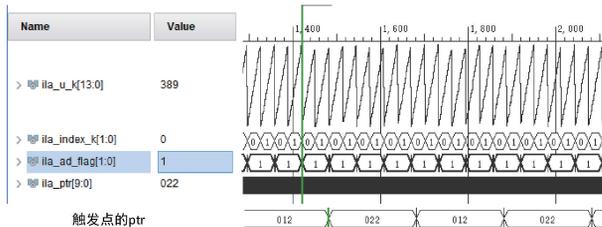
(b) 定时频率偏差为 -500×10^{-6}
(b) Symbol timing offset of -500×10^{-6}



(c) 定时频率偏差为 $-1\ 000 \times 10^{-6}$
(c) Symbol timing offset of $-1\ 000 \times 10^{-6}$



(d) 定时频率偏差为 500×10^{-6}
(d) Symbol timing offset of 500×10^{-6}



(e) 定时频率偏差为 $1\ 000 \times 10^{-6}$
(e) Symbol timing offset of $1\ 000 \times 10^{-6}$

图 12 时钟恢复模块相关信号

Fig. 12 Clock recovery module related signals

从图 12 中可以看到分数间隔 μ^k 、增删指示信号 AD_flag 、插值基点信号 $index^k$ 以及 ptr 指针的运行情况；当无定时偏差时，分数间隔 μ^k 基本稳定在一个固定值，

插值基点 $index^k$ 信号基本保持不变；而存在定时频率偏差时，分数间隔 μ^k 呈周期锯齿状变化，插值基点 $index^k$ 信号会随着 μ^k 周期锯齿状变化而跳变。统计图 12(b) 中 10 个周期的锯齿波长度为 626 个时钟周期，即在 626 个时钟周期内产生了 10 个多余样值点，每个时钟周期传输 32 路样值，则由此计算的该信号的定时频率偏差为 $10/626/32$ ，即 499.21×10^{-6} ，与预设的 500×10^{-6} 定时频率偏差基本吻合；类似的图 12(c)、(d)、(e) 的结果与预设值吻合，说明模块工作正常。

接着，进行了 QPSK 调制格式下的误比特率实验；每个信噪比点测试 10^{11} bit 的误码情况，得到了图 13 的误比特率曲线结果。除了实时测试结果，图中还给出了 MATLAB 离线解调的结果和理论曲线作为参考。从图中可以看出，实时误比特率测试结果与离线测试结果基本一致，当误比特率在 $10^{-6} \sim 10^{-1}$ 时，性能损失小于 0.3 dB，说明该并行时钟恢复模块在真实系统中可以稳定工作，且性能与 MATLAB 离线解调的理想效果近似。存在些许偏差的原因主要在于实时系统中 AWG 的量化损失及载波频率和相位同步算法、定点化运算带来一定的计算精度损失。

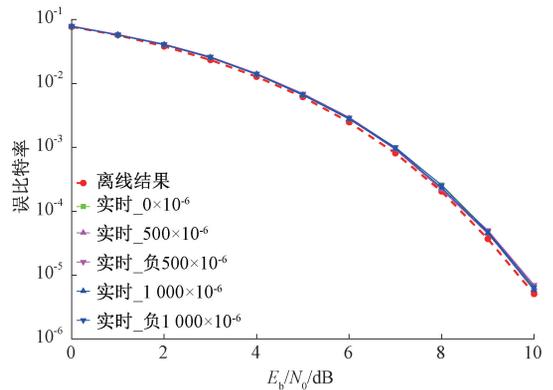


图 13 实时测试误比特率结果

Fig. 13 Real-time test BER results

另外为了验证本文所提并行时钟恢复结构在硬件资源占用上的优势，表 3 对比了其与传统并行结构在实现上述实时系统时的资源占用情况。由于传统并行结构需要额外使用一倍的插值滤波器插值中心采样点、样值点调整时需要同时调整符号点和中心采样点进行定时误差估计，导致环路复杂度大大增加。可以看到本文所提出的并行时钟恢复结构比传统结构节省约 36% 的 LUT 资源以及 45% 以上

表 3 资源占用情况

Table 3 Chip resource occupation

资源类型	传统结构	本文结构	资源节省/%
LUT	22857	14646	36
Register	18589	10022	46
DSP	168	136	19

的 Register 和 20%左右的 DSP 资源,在实际工程中具有很高的资源效率。

3 结 论

本文分析了高速实时通信系统中对高效并行时钟恢复算法的需求,基于传统前馈时钟恢复算法实现结构,通过优化定时控制器、插值滤波器及符号抽取模块的架构,使其在两倍符号率采样条件下能够高效实现符号定时计算。同时改进 LEE 定时误差检测算法,提高定时误差估计精度和定时偏差容忍度。通过 MATLAB 仿真以及板级测试验证了所提出的并行时钟恢复结构在两倍符号率下能够容忍高达 $\pm 1\ 000 \times 10^{-6}$ 的定时频率偏差,较传统方案提高了 150%;同时与传统的并行实现结构相比,节省约 36%的 LUT 资源以及 45%以上的 Register 和 20%左右的 DSP 资源,展现出在资源受限高速实时通信系统中的显著应用价值。

参考文献

- [1] 关涛,叶滢华,魏鹏,等. 面向星地认知通信的频谱感知:研究进展、挑战与展望[J]. 宇航学报,2025,46(1):1-16.
GUAN T, YE G H, WEI P, et al. Spectrum sensing for satellite-terrestrial cognitive communications: Research progress, challenges and prospects [J]. Journal of Astronautics, 2025, 46(1): 1-16.
- [2] 于希明,彭宇,姚博文,等. 基于 FPGA 并行计算的多阈值分级海陆分割方法[J]. 仪器仪表学报,2022,43(9):166-177.
YU X M, PENG Y, YAO B W, et al. Multi-threshold hierarchical sea-land segmentation based on FPGA parallel computing [J]. Chinese Journal of Scientific Instrument, 2022, 43(9): 166-177.
- [3] 李浩,王厚军,肖磊,等. 高速并行数字调制信号的产生与实现[J]. 仪器仪表学报,2023,44(2):110-118.
LI H, WANG H J, XIAO L, et al. Generation and implementation of high-speed parallel digital modulation signals [J]. Chinese Journal of Scientific Instrument, 2023, 44(2): 110-118.
- [4] MATALLA P, KOOS C, RANDEL S. Comparison of feedback and feedforward clock recoveries for ultra-fast synchronization in passive optical networks[C]. Optical Fiber Communication Conference (OFC) 2024. San Diego California: Optica Publishing Group, 2024.
- [5] ZHU J, JIANG Y, ZHAO K, et al. An improved timing recovery method based on Gardner algorithm [J]. IET Conference Proceedings, 2020: 1-5, DOI: 10. 1049/ICP. 2021. 1320.
- [6] LIU X, BOUSQUET J F. Symbol timing and carrier frequency recovery based on entropy minimization [J]. IEEE Access, 2018, 6: 53319-53329.
- [7] SEUNG J L. A new non-data-aided feedforward symbol timing estimator using two samples per symbol [J]. IEEE Communications Letters, 2002, 6(5): 205-207.
- [8] 罗艳飞,冯智波,谭家乐,等. 基于 FPGA 的 LEO 卫星通信大频偏时钟恢复算法设计[J]. 电子测量技术,

2023,46(21):43-48.

LUO Y F, FENG ZH B, TAN J L, et al. Design of clock recovery algorithm for large frequency effect in LEO satellite communication based on FPGA [J]. Electronic Measurement Technology, 2023, 46(21): 43-48.

- [9] 张永杰,孟庆凡,赵煜. 千兆并行定时同步算法研究及实现[J]. 无线电通信技术,2019,45(2):202-205.
ZHANG Y J, MENG Q F, ZHAO Y. Research and implementation of gigabit parallel symbol timing synchronization algorithm [J]. Radio Communications Technology, 2019, 45(2): 202-205.
- [10] YAN J, WANG S, CHEN D, et al. An improved parallel matched filter and symbol synchronization algorithm based on frequency domain timing error estimation [C]. 2019 IEEE International Conference on Signal, Information and Data Processing (ICSIDP). Chongqing: IEEE, 2019: 1-4.
- [11] VALLS J, TORRES V, PEREZ-PASCUAL A, et al. Hardware architecture of a QAM receiver for short-range optical communications [J]. Journal of Lightwave Technology, 2023, 41(2): 451-461.
- [12] XU M, WU X, SUN L, et al. Design of high data rate demodulator [C]. 2024 7th International Conference on Information Communication and Signal Processing (ICICSP). Zhoushan: IEEE, 2024: 398-402.
- [13] 寇辰光,张有志,陈敬乔. 连续传输前馈符号定时恢复算法研究及实现 [J]. 无线电工程, 2019, 49(11): 1014-1019.
KOU CH G, ZHANG Y ZH, CHEN J Q. Research and implementation of feedforward symbol timing recovery algorithm for continuous transmission [J]. Radio Engineering, 2019, 49(11): 1014-1019.
- [14] ERUP L, GARDNER F M, HARRIS R A. Interpolation in digital modems. II. Implementation and performance [J]. IEEE Transactions on Communications, 1993, 41(6): 998-1008.
- [15] HAO X, LIN C, WU Q. A parallel timing synchronization structure in real-time high transmission capacity wireless communication systems [J]. Electronics, 2020, 9(4): 652.
- [16] CCSDS. Flexible advanced coding and modulation scheme for high rate telemetry applications: 131. 2-B-2 [S]. CCSDS, 2023.
- [17] CROSETTI L, PAGANI E, BERTOLUCCI M, et al. Scalable hardware-efficient architecture for frame synchronization in high-data-rate satellite receivers [J]. Electronics, 2024, 13(3): 668.
- [18] VALJUS C, WOLF R, POLIAK J. Review and analysis of digital signal processing algorithms for coherent optical satellite links [J]. International Journal of Satellite Communications and Networking, 2025, 43(3): 229-250.

作者简介

汤瑞新(通信作者),硕士研究生,主要研究方向为FPGA数字信号处理。

E-mail: trx0520@shu.edu.cn