

DOI:10.19651/j.cnki.emt.2518607

一种宽带信号取样电路的设计与仿真*

刘文艳 张敏娟 王旭阳 丁智敏 李霖鹏

(中北大学信息与通信工程学院 太原 030051)

摘要: 在宽带信号取样系统中,取样器是重要组成器件,内部采用对称结构以减小采样中的共模干扰,其是利用窄脉冲信号触发内部的快恢复二极管快速导通实现宽带信号的瞬态采样和保持。由于内部二极管特性不一致和外部触发的窄带信号宽度太宽均会导致两路输出信号对称性差、采样不准确。针对这些问题,基于FPGA设计了偏移调控电路对取样器输出信号进行偏移补偿,偏移补偿后的两路输出信号幅值误差在3 mV左右,满足对称性要求。利用阶跃恢复二极管设计了窄脉冲触发电路。触发电路产生的触发信号下降沿时间在50 ps左右、幅值为17 V,实测结果表明该信号可以触发取样器实现最高30 GHz信号的采样。

关键词: 微波宽带取样器;窄脉冲触发;阶跃恢复二极管;偏移调控电路

中图分类号: TN78 文献标识码: A 国家标准学科分类代码: 510.1010

Design and simulation of a broadband signal sampling circuit

Liu Wenyuan Zhang Minjuan Wang Xuyang Ding Zhimin Li Linpeng

(School of Information and Communication Engineering, North University of China, Taiyuan 030051, China)

Abstract: In the broadband signal sampling system, the sampler is an important component. It adopts a symmetrical structure internally to reduce common-mode interference during sampling. It achieves transient sampling and holding of broadband signals by triggering the internal fast recovery diode to conduct rapidly with a narrow pulse signal. However, inconsistent characteristics of the internal diodes and the width of the external narrowband trigger signal being too wide can both lead to poor symmetry of the two output signals and inaccurate sampling. To address these issues, an offset adjustment circuit based on FPGA was designed to compensate for the offset of the sampler's output signals. After offset compensation, the amplitude error of the two output signals is approximately 3 mV, meeting the symmetry requirements. A narrow pulse trigger circuit was designed using step fast recovery diodes. The trigger signal generated by the trigger circuit has a falling edge time of about 50 ps and an amplitude of 17 V. The measured results show that this signal can trigger the sampler to achieve sampling of signals up to 30 GHz.

Keywords: microwave broadband sampler;narrow pulse triggering;step recovery diodes;offset control circuitry

0 引言

随着5G通信、毫米波雷达、超宽带通信等技术的发展,系统对采样速率更高、分辨率更大、动态范围更宽的信号采集电路提出更高要求^[1]。传统模拟数字转换器(analog-to-digital converter, ADC)难以同时满足高带宽和高精度的需求。雷雯等^[2]提出了基于4片ADC交替进行宽带信号采样的系统,突破了单片ADC采样的限制,达到总采样率13.6 GS/s,提高了采样性能但还受到ADC采样率的制约。但在宽带信号采样系统中,Li等^[3-5]提出的等效采样方法实现成本较低,可以弥补实时ADC采样的不足。该方法适用于周期信号,其原理为余甜等^[6-8]提出的在信号

的多个周期内每次触发后采集一个点,但每次采样的位置相对于信号周期逐步偏移,将不同周期采集的数据点按时间顺序重组,还原原始波形。电子科技大学王超^[9]提出利用等效采样技术设计了“双通道采样保持模块+模数转换器+可编程门阵列”的硬件平台,实现了10 GHz宽带信号的采集和200 GSa/s的等效采样率,但采样保持器可能出现非线性失真,稳定性下降。华中科技大学张杰等^[10]提出利用现场可编程门阵列(field programmable gate array, FPGA)FPGA生成采样脉冲,触发取样门取样,设计了脉宽2 ns、频率2.5 MHz的导波雷达物位计,但FPGA内部时钟的抖动会影响采样的稳定性。电子科技大学刘军^[11]

提出的超快沿产生电路,可以实现幅值可控、上升时间在 40 ps。国外的亚德诺半导体公司(analog devices inc,ADI)的 AD9213 系列支持 10.25 GSPS 采样速率,分辨率为 12 位,带宽达数 GHz,提高了采样率。美国 Hyperlabs 公司近期推出的新一代平衡-不平衡转换器实现了技术突破,其采样带宽上限已拓展至 100 GHz。

针对上述不足,本文设计了一种宽带取样电路,由窄脉冲触发电路产生一个皮秒下降沿的脉冲信号,该信号拥有高分辨率、低抖动等特性,能触发取样器取样。取样器采用双平衡结构,两管交替导通,缩短等效采样时间,确保两路信号的对称性。平衡结构通过对称补偿寄生电容,扩展了系统带宽,实现了 30 GHz 的信号采集。偏移调控电路可以调节由于内部结构不完全对称造成的偏差,使两路输出对称。

1 微波取样器基本原理

取样器工作原理类似于混频器,它由射频输入端,取样器触发(LO)和取样器输出(IF)通道,肖特基二极管,槽线巴伦组成,取样器输出信号 $f_{IF}(t)$ 与输入信号 $f_{RF}(t)$ 及触发信号 $f_{LO}(t)$ 之间的关系如式(1)所示。

$$f_{IF}(t) = f_{RF}(t) \times f_{LO}(t) \quad (1)$$

图 1 为微波取样电路的结构示意图, $D1$ 与 $D2$ 为肖特基势垒二极管, $C1$ 和 $C2$ 构成采样电容组, RF 端口接入被测信号源, $IF+$ 和 $IF-$ 表示差分输出的正负取样通道。

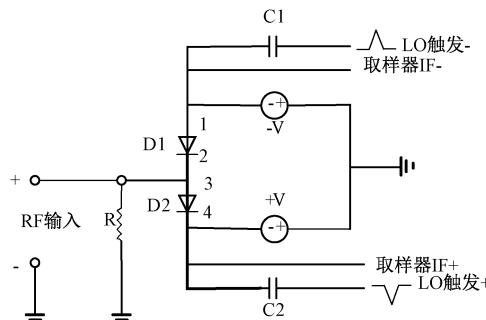


图 1 微波取样电路示意图

Fig. 1 Schematic diagram of microwave sampling circuit

取样器在无触发脉冲输入状态下,两路二极管反向截止,加入窄脉冲触发信号肖特基二极管瞬时形成低阻通道,被测高频信号的电荷量通过 $C1$ 、 $C2$ 实现快速积累与存储,完成取样操作。基于等效采样原理窄脉冲触发电路产生的信号以 50 kHz 的频率触发微波取样器,对宽带信号进行采样,通过处理在上位机对高频信号重建^[12-13]。

取样器中二极管反向偏置电压、触发脉冲的幅值、宽度需严格对称,否则将导致取样电容存储电荷与输入信号间呈现非线性响应特性。取样带宽的核心限制因素在于开关器件的瞬态响应性能,根据式(2), τ_r 为有效上升时间, B_w 为模拟带宽, τ 越小, 取样器测到的信号带宽越高。

$$\begin{cases} \tau_r = 0.8\tau \\ B_w = \frac{0.35 \sim 0.42}{\tau_r} \end{cases} \quad (2)$$

2 窄脉冲触发电路设计

取样器的性能与触发脉冲的特性参数紧密相关,其核心参数包含幅值、下降时间^[14]及稳定性。根据取样器的电气特性,触发脉冲需满足下降时间小于 200 ps,幅值大于 7 V。精密时基电路生成的延时信号^[15]脉冲幅值约为 1 V,幅值低、下降沿长。若采用阶跃恢复二极管(step recovery diode, SRD)^[16]直接进行边沿压缩,输出脉冲不能触发取样开关。因此在采用 SRD 对延时信号压缩之前,需要通过调理电路对延时脉冲信号进行功率放大。窄脉冲触发电路如图 2 所示,三级功率放大电路采用高带宽三极管构建,每一级三极管输入作为前一级输出。SRD(D1)采用 MACOM 公司 MMD820 型,具备 80 ps 超快瞬态响应特性。由电阻 $R8$ 与储能电容 $C8$ 共同构成低通滤波器,对信号的幅值起到控制作用,通过调整 $R8$ 和 $C8$ 的值改变信号的频率响应从而实现脉冲边沿特性与幅值的动态平衡。

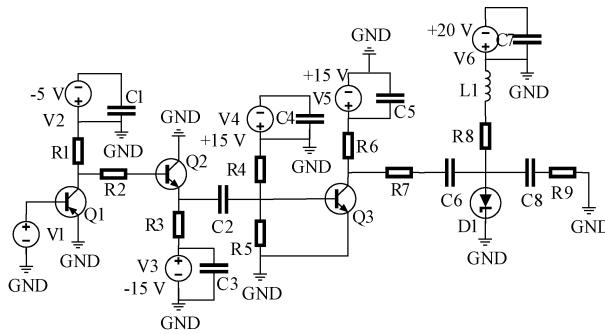


图 2 窄脉冲触发电路

Fig. 2 Narrow pulse trigger circuit

3 取样保持电路的偏移调控

3.1 取样器输出信号变换电路设计

取样器的采样保持电路输出信号是一个宽度极窄的窄脉冲瞬态信号,后级的 ADC 采集电路无法直接采集到该信号。因此,需研究阻抗积分变换电路将瞬态信号转换为稳态信号,具体电路如图 3 所示。为了减少共模干扰,提高电路的稳定性,电路采用 N 沟道构建的双通道差分放大架构。双路场效应管的栅极分别作为信号输入节点, $Q1$ 栅极接偏移调控电路的直流信号 U_{DC1}/U_{DC2} , 漏极接运放反相输入端; $Q2$ 栅极与取样器输出端口 IF 相连, 漏极接运放同相输入端。双路场效应管采用 LS5911 型半导体器件(ADI 公司),该器件采用双结型场效应管一体化设计,具有低噪声特点。选定 AD8066 型高速运放(ADI 公司),满足高带宽增益、超低噪声、高差模输入阻抗等要求。

3.2 偏移调控电路的设计

取样器输出信号是差分形式,但由于内部二极管特性

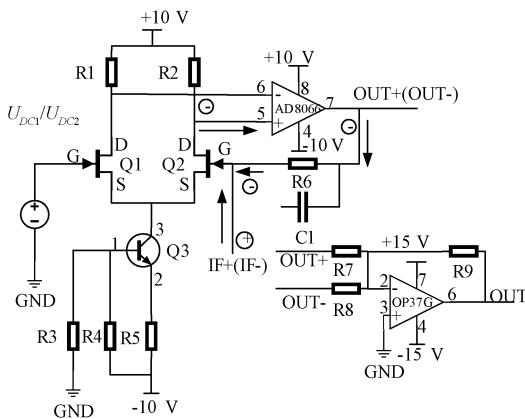


图 3 阻抗积分变换电路

Fig. 3 Impedance integration transformation circuit

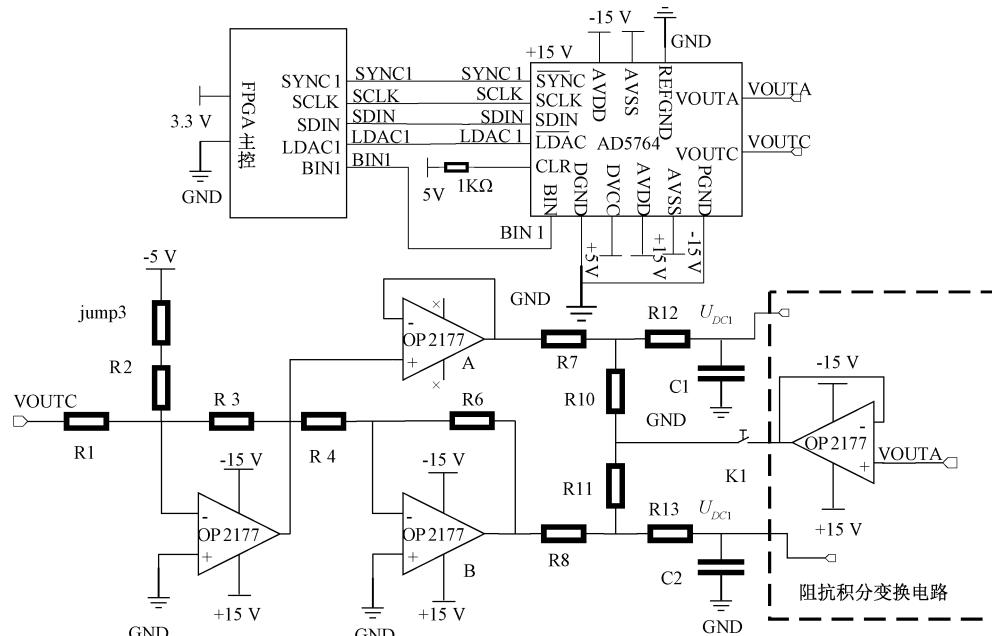


图 4 偏移调控电路

Fig. 4 Offset control circuit

4 实验结果及数据分析

4.1 仿真验证

1) 窄脉冲触发电路仿真分析

根据设计的窄脉冲触发电路, 利用控制变量法对 VEE 、 $R8$ 、 $C8$ 对窄脉冲信号的幅值和下降时间的影响进行分析, 结果如图 5 所示。不同电压下窄脉冲的变化如图 5(a)所示, VEE 电压越大, SRD 的集电极电流增加, 输出脉冲信号的幅值增大。不同 $R8$ 参数下输出取样脉冲的变化如图 5(b)所示, 不同 $C8$ 参数下输出取样脉冲的变化如图 5(c)所示。 $R8$ 与 $C8$ 共同作用, $R8$ 增大, 输出脉冲信号中的高频部分衰减更多, 幅度减小, RC 网络的时间常数增大, 信号下降时间变慢; $C8$ 增大, 时间常数增大, 下降时

的一致性很难保证, 导致输出正负信号不对称, 本论文基于 FPGA 设计了取样器输出信号的偏移调控电路, 对两路输出信号进行补偿, 减小不对称性, 如图 4 所示。数字模拟转换器(digital to analog converter, DAC)将 FPGA 输出的调控电压数字量转换为模拟量, DAC 输出 $VOUTA$ 与 $VOUTC$ 两路信号。其中 $VOUTC$ 信号通过加法器后分为两个通道: 第一通道通过跟随器保持信号不变, 第二通道通过反相器实现信号反相转换。两路信号经低通滤波后接入双通道阻抗积分变换电路中 LS5911 的栅极。

运算放大器选用有低噪声、高精度优点的 OP2177, DAC 选用有低噪声、高精度、等优点的 ADI 公司的 AD5764, 其输出范围为 ± 10 V。

间变慢。根据微波取样器工作带宽需求, 触发信号下降时间为 200 ps 以内、幅值大于 7 V。综合考虑最终确定了 $V6$ 、 $R8$ 、 $C8$ 各个参数分别为 20 V、1 k、15 pF。

利用是德公司开发的仿真软件(advanced design system, ADS)对窄脉冲触发电路进行仿真。对应仿真环境配置如图 6 所示。精密延迟触发电路产生的延时序列作为窄脉冲触发电路的输入, 幅值 900 mV、频率 50 kHz。延时序列输出的脉冲信号如图 7(a)所示, 下降时间为 1.6 ns, 下降时间较慢; 经过窄脉冲触发电路进行脉冲边沿压缩和幅值放大后的信号如图 7(b)所示, 下降时间为 50 ps, 幅值也从 900 mV 放大到 17 V 左右。

2) 阻抗积分变换电路仿真分析

采用 ADI 公司 Ltspice 平台对取样器输出的阻抗积分

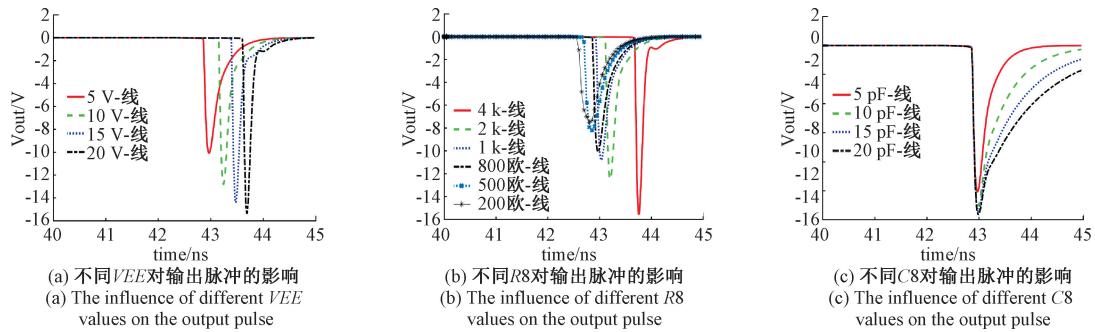


图 5 不同参数下输出脉冲的变化曲线

Fig. 5 The variation curves of the output pulses under different parameters

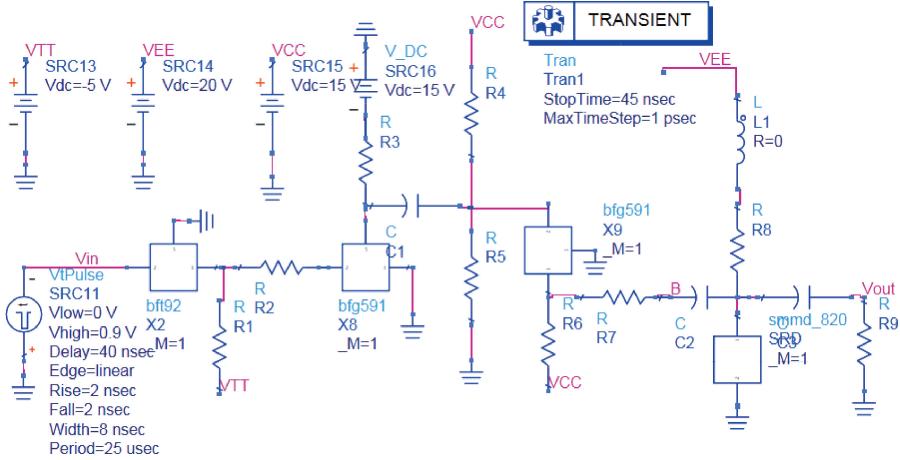


图 6 ADS 仿真环境配置

Fig. 6 Configuration of the ADS simulation environment

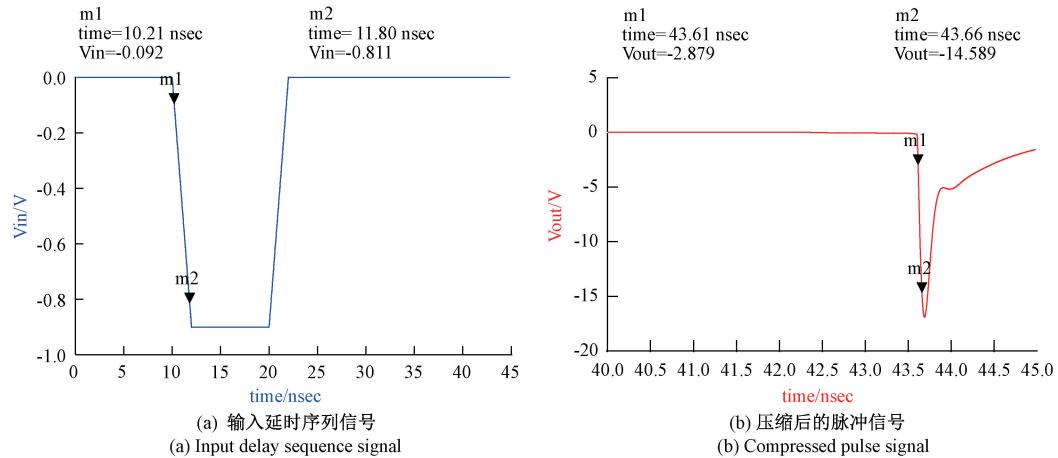


图 7 窄脉冲触发电路输入与输出波形特性分析图示

Fig. 7 Diagram illustrating the input and output waveform characteristics of the narrow pulse trigger circuit

变换电路进行仿真, 对应仿真环境配置如图 8 所示。当输入直流信号时, 取样器输出 (IF_±) 呈梳状波的脉冲序列。将其作为电路的输入信号, 如图 9 所示。阻抗积分变换电路输出两路信号为频率为 50 kHz、幅值 300 mV 的锯齿波信号 OUT_− 和 OUT₊, 分别如图 10(a) 和 (b) 所示。仿真

实验证实, 阻抗积分变换电路能够将梳状瞬态脉冲序列转换为标准的锯齿波信号输出。

3) 偏移调控电路仿真与分析

利用 Litspice 对偏移调控电路进行仿真验证, 对应仿真环境配置如图 11 所示。VOUTC 和 VOUTA 是 DAC 输

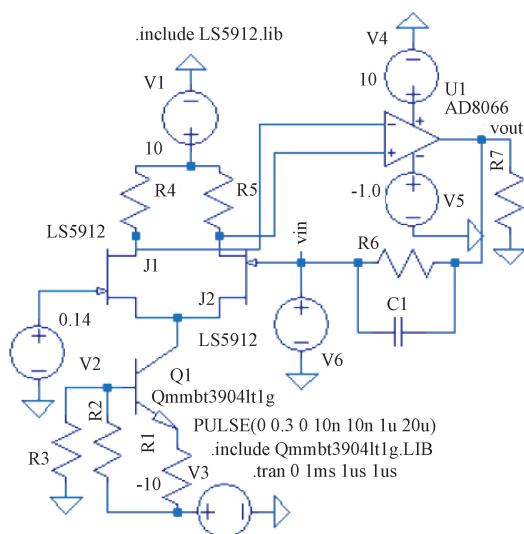


图 8 Ltspice 仿真环境配置

Fig. 8 Ltspice simulation environment configuration

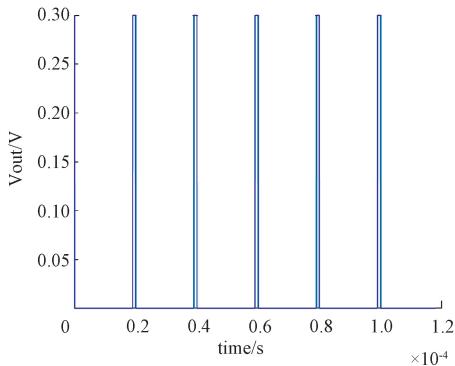


图 9 取样器输出信号

Fig. 9 Sampling device output signal

出的模拟信号。通过改变两电压的幅值,可以调节 $UDC1$ 和 $UDC2$ 信号输出,从而调节积分变换电路的输出信号。 $VOUTC$ 和 $VOUTA$ 的仿真结果分别如表 1 和表 2 所示。当 $VOUTC$ 增加 16.7 mV 时, $UDC1$ 和 $UDC2$ 两路信号变化 1 mV,一路信号靠近零刻度线 1 mV,一路信号偏离零刻度线 1 mV,此变化影响被测信号输入范围;当 $VOUTA$ 增加 1.316 mV 时, $UDC1$ 和 $UDC2$ 两路信号统一向正方

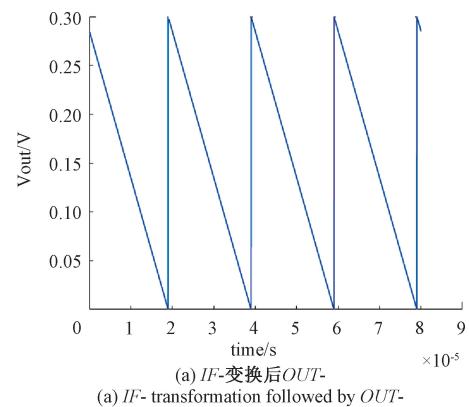
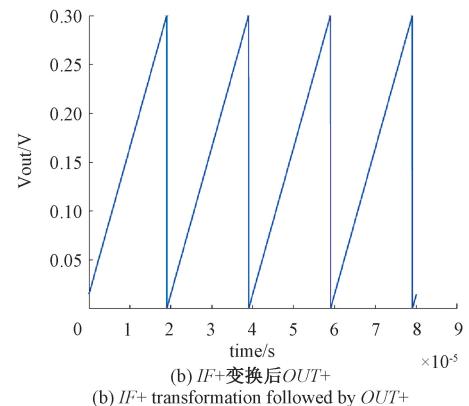
(a) IF- 变换后 OUT^-
(a) IF^- transformation followed by OUT^- (b) IF^+ 变换后 OUT^+
(b) IF^+ transformation followed by OUT^+

图 10 阻抗积分变换电路双通道输出仿真对比

Fig. 10 Impedance integration transformation circuit dual-channel output simulation comparison

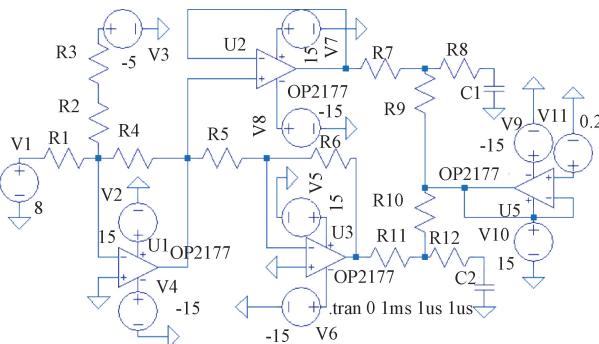


图 11 Ltspice 仿真环境配置

Fig. 11 Ltspice simulation environment configuration

表 1 $VOUTC$ 测量结果及其对两路信号影响结果Table 1 The measurement results of $VOUTC$ and their impact on the two signals

VOUTA/V	$VOUTC/V$		$UDC1/mV$		$UDC2/mV$		$\Delta UDC1/2/mV$	$\Delta VOUTC/mV$
	测量结果	变化量	测量结果	变化量	测量结果	变化量		
0.2	5	0	153.396	0	150.415	0	59.797	1 000
	6	1	93.599	59.797	210.212	59.797		
	7	1	33.802	59.797	270.009	59.797		
	8	1	-25.995	59.797	329.806	59.797	1	16.7

表 2 VOUTA 测量结果及其对两路信号影响结果

Table 2 The measurement results of VOUTA and their impact on the two signals

VOUTC/V	VOUTA/V		UDC1/mV		UDC2/mV		$\Delta UDC1/2/mV$	$\Delta VOUTA/mV$
	测量结果	变化量	测量结果	变化量	测量结果	变化量		
5	0.2	0	33.802	0	270.009	0	75.961	100
	0.3	0.1	109.763	75.961	345.97	75.961		
	0.4	0.1	185.724	75.961	421.93	75.961		
	0.5	0.1	261.685	75.961	497.893	75.961	1	1.316

向偏移 1 mV, 此变化影响取样器输出信号的对称性。积分变换电路的两路正负输出信号变化与 $UDC1$ 和 $UDC2$ 一致。

4.2 实测结果与分析

为分析所设计电路的实际性能, 构建了如图 12 所示的硬件测试验证平台。电路板 1 为精密时基延时触发与采集电路, 为后级的窄脉冲触发电路提供激励输入, 取样调理之后的信号再由采集电路采集。电路板 2 为本研究设计的窄脉冲触发电路板, 为取样器提供一个皮秒级触发电信号, 该信号可以快速触发取样门取样。电路板 3 为取样调理电路板, 对取样器取样保持后的信号积分、滤波放大。电路板上金属块状物为微波取样器, 信号发生器 DG5252 是直流输入信号源, 输入 0 mV 的直流信号以验证偏移调控电路作用, E8257D 射频源作为高带宽信号的输入, 可以输出 1~40 GHz 的正弦信号。

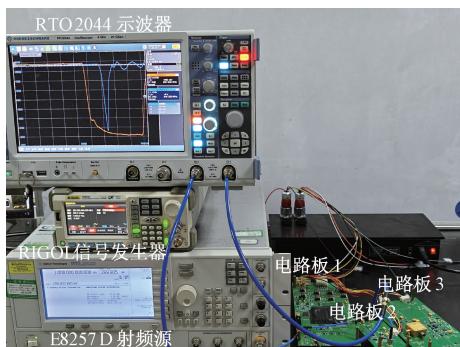


图 12 硬件测试平台

Fig. 12 Hardware testing platform

1) 取样脉冲调理电路测试与分析

将精密时基延时触发电路、窄脉冲触发电路和取样器调理电路进行联调, 窄脉冲的下降时间、幅度作为触发取样器的重要指标, 在达到 0~200 ps 范围内取样器才会进行信号取样。经过精密时基延时触发电路得到的脉冲信号如图 13(a)所示, 将延时脉冲展开如图 13(b)所示, 测得下降时间为 1.98 ns、幅值 1 V; 经过窄脉冲压缩后的脉冲如图 14(a)所示, 将窄脉冲展开如图 14(b)所示, 测得下降时间为 136 ps, 幅值为 7.5 V, 达到驱动取样条件。

2) 偏移调控电路测试与分析

为验证偏移调控电路的实际性能, 对偏移校正前后的

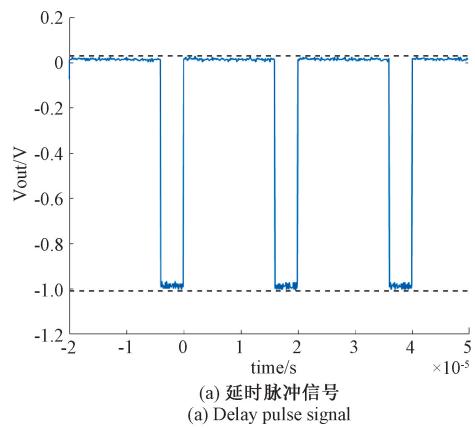
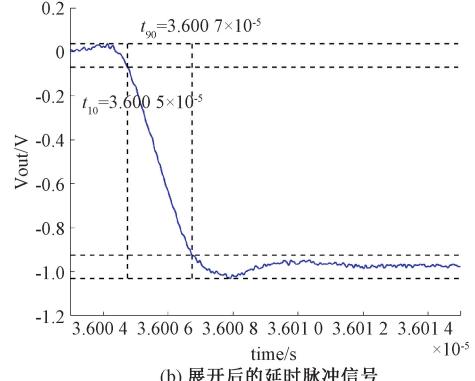
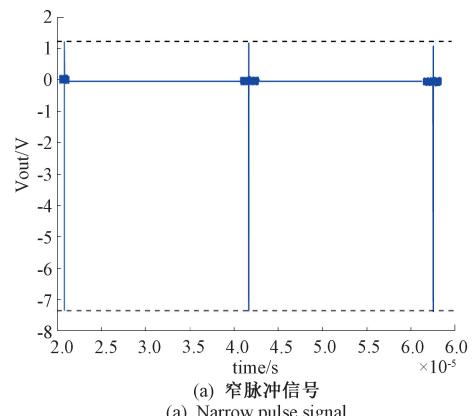
(a) 延时脉冲信号
(a) Delay pulse signal(b) 展开后的延时脉冲信号
(b) The expanded delayed pulse signal

图 13 精密时基延时脉冲

Fig. 13 Precise timing delay pulse

(a) 窄脉冲信号
(a) Narrow pulse signal

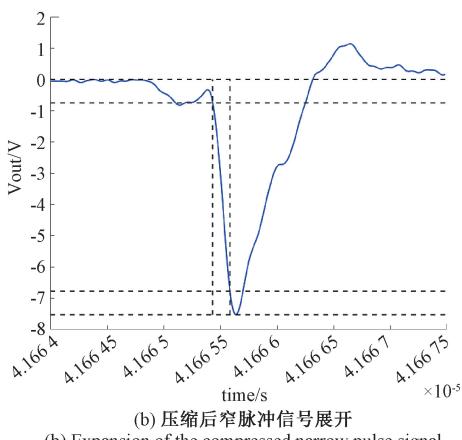


图 14 窄脉冲触发电路压缩后脉冲

Fig. 14 The pulse compressed by the narrow pulse triggering circuit

取样器输出信号进行了对比测试与分析。在 0 mV 基准信号条件下,通过示波器同步监测到的取样器正负输出通道波形如图 15(a)所示,正端输出比负端输出大 100 mV 左右,通过 FPGA 改变偏移调控量,如图 15(b)所示,此时正端输出与负端输出幅值相同且对称。

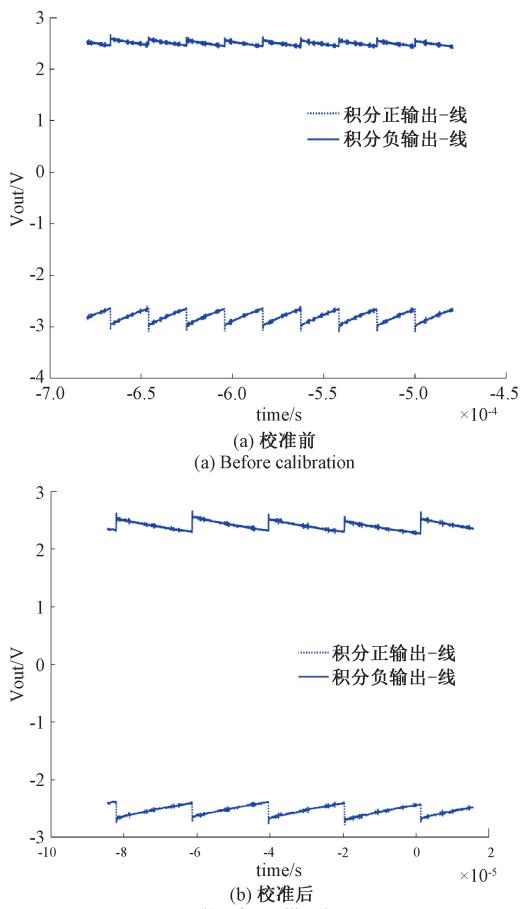


图 15 偏移校准前后的取样器输出波形

Fig. 15 The output waveforms of the sampler before and after offset calibration

3) 宽带信号的采集测试与上位机波形重构

基于构建的实验平台,本研究开展了宽带信号的高精度采集与波形恢复实验。被测信号为 1 GHz 和 30 GHz 时取样器输出的信号分别如图 16(a)和(b)所示。在被测信号频率为 1 GHz 和 30 GHz 时,上位机系统重构的输入信号波形结果如图 17(a)和(b)所示。根据精密时基的延时为 2.2 ps,则 1 GHz 正弦信号的一个周期由 454 个点构成。

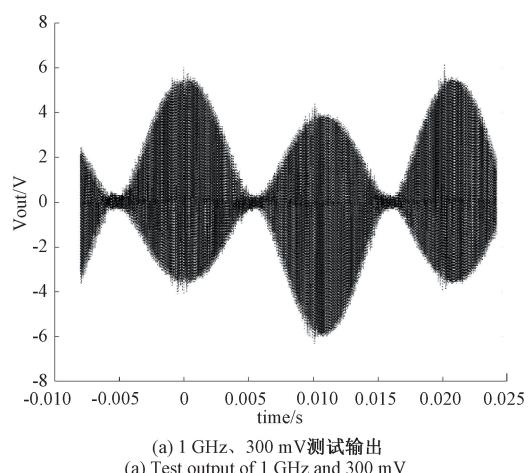
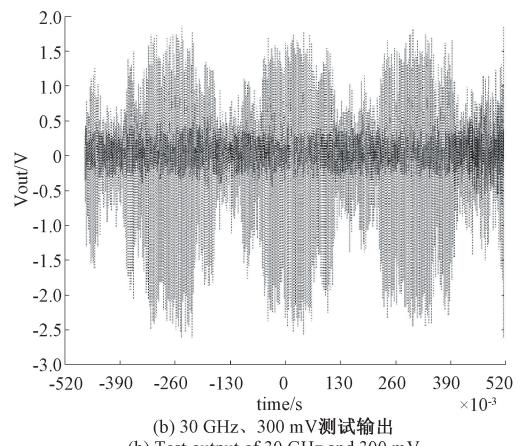
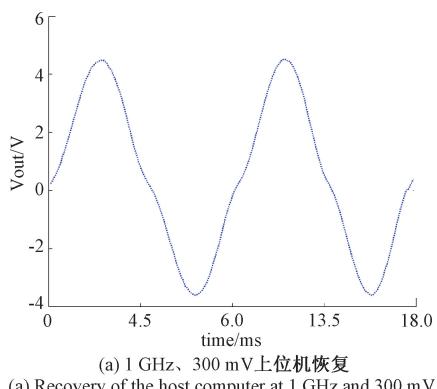
(a) 1 GHz、300 mV 测试输出
(a) Test output of 1 GHz and 300 mV(b) 30 GHz、300 mV 测试输出
(b) Test output of 30 GHz and 300 mV

图 16 瞬态信号取样调理电路最终输出

Fig. 16 The final output of the transient signal sampling and conditioning circuit

(a) 1 GHz、300 mV 上位机恢复
(a) Recovery of the host computer at 1 GHz and 300 mV

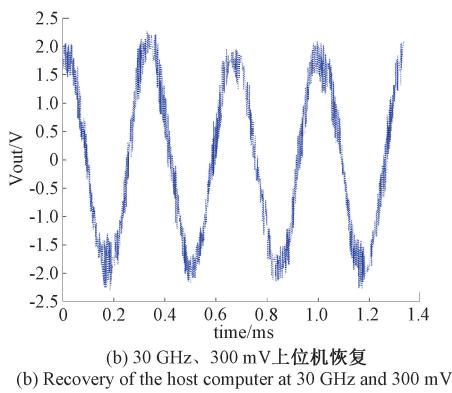


图 17 被测信号上位机恢复波形

Fig. 17 Reconstructed waveform of the measured signal on the host computer

成,采样时间为 $20 \mu\text{s}$,故输出信号一个周期大约为 9 ms ;同理,30 GHz 的输出信号一个周期大约为 273 ms 。

5 结论

本文基于微波取样器的工作原理,对窄脉冲压缩电路进行设计,同时针对取样器输出瞬态特性和对称性差的问题,对取样器输出阻抗积分变换电路和垂直偏移调控电路进行研究。实验结果表明,窄脉冲压缩电路产生的触发信号可以达到幅值 17 V 、下降时间为 50 ps ,与硬件电路一起联调窄脉冲触发信号可以达到幅值 7.5 V 、下降时间 136 ps ,可以满足 30 G 宽带信号采样的需求。同时可以通过偏移调控电路补偿取样器差分输出的非对称性。

参考文献

[1] 张君禹. 取样示波器等效采样系统设计与实现[D]. 成都:电子科技大学, 2014.
ZHANG J Y. Design and implementation of equivalent sampling system for sampling oscilloscope [D]. Chengdu: University of Electronic Science and Technology of China, 2014.

[2] 雷雯,栗敬雨. 基于四路 ADC 芯片交替采样的宽带信号采集系统设计[J]. 电子科技, 2021, 34(9): 30-35.
LEI W, LI J Y. Design of a broadband signal acquisition system based on alternating sampling by four-channel ADC chips[J]. Electronics Technology, 2021, 34(9): 30-35.

[3] LI H T, LI B K, LYU Z J, et al. Research on a step delay method in sequential equivalent time sampling(ETS)[J]. Review of Scientific Instruments, 2022, 93(11): 114708.

[4] CHEN Z Y, WANG X H, ZHOU Z W, et al. A simple field programmable gate array(FPGA) based high precision low-jitter delay generator[J]. Review of Scientific Instruments, 2021, 92(2): 024701.

[5] HUANG F, DU B, CAO Y, et al. Measurement algorithm of clock jitter based on sequential equivalent sampling[J]. International Journal of Multimedia and Ubiquitous Engineering, 2015, 10(5): 243-254.

[6] 余甜,王志斌,景宁. 皮秒分辨率数字可编程精密延迟触发技术[J]. 电子测量技术, 2023, 46(3): 75-79.
YU T, WANG ZH B, JING N. Picosecond resolution digital programmable precise delay-triggering technology[J]. Electronic Measurement Technology, 2023, 46(3): 75-79.

[7] ZHU Z, ZHU Y, LI D, et al. A TD-ADC for IR-UWB radars with equivalent sampling technology and 8-GS/s effective sampling rate[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2020, 68(3): 888-892.

[8] 崔琪,顾金良,刘庆国,等. 基于 DSP+FPGA 的高速数据采集系统的设计[J]. 国外电子测量技术, 2020, 39(1): 93-98.
CUI Q, GU J L, LIU Q G, et al. Design of high-speed data acquisition system based on DSP + FPGA [J]. Foreign Electronic Measurement Technology, 2020, 39(1): 93-98.

[9] 王超. 10 GHz 宽带信号时域获取技术的研究与实现[D]. 成都:电子科技大学, 2019.
WANG CH. Research and implementation of 10 GHz broadband signal time-domain acquisition technology[D]. Chengdu: University of Electronic Science and Technology of China, 2019.

[10] 张杰,张亮亮,高莼彬,等. 类等效采样应用于导波雷达物位计的研究[J]. 仪表技术与传感器, 2016(10): 58-61.
ZHANG J, ZHANG L L, GAO CH B, et al. The application of equivalent sampling in the research of guided wave radar level gauges[J]. Instrumentation Technology and Sensors, 2016(10): 58-61.

[11] 刘军. 极窄脉冲合成与超快沿产生电路设计[D]. 成都:电子科技大学, 2019.
LIU J. Design of ultra-narrow pulse synthesis and ultra-fast edge generation circuit [D]. Chengdu: University of Electronic Science and Technology of China, 2019.

[12] 刘震,张敏娟,王志斌,等. 一种取样示波器低抖动超窄脉宽时基信号研究与分析[J]. 国外电子测量技术, 2021, 40(5): 58-61.
LIU ZH, ZHANG M J, WANG ZH B, et al. Research and analysis on low-jitter and ultra-narrow pulse width time base signal of a sampling oscilloscope[J]. Foreign Electronic Measurement Technology, 2021, 40(5):

58-61.

[13] 刘映光, 王志斌. 取样器输出中频信号处理电路设计[J]. 国外电子测量技术, 2020, 39(1): 72-76.

LIU Y G, WANG ZH B. Design of intermediate frequency signal processing circuit for sample generator output[J]. Foreign Electronic Measurement Technology, 2020, 39(1): 72-76.

[14] 胡媛媛, 张敏娟, 卫晨博, 等. 一种采用 TDR 的传输线阻抗测量和校准[J]. 电子测量技术, 2024, 47(19): 63-69.

HU Y Y, ZHANG M J, WEI CH B, et al. A method for measuring and calibrating the impedance of transmission lines using TDR[J]. Electronic Measurement Technology, 2024, 47(19): 63-69.

[15] 卫晨博, 张敏娟, 胡媛媛, 等. 一种采用斜波比较的精细步进延时系统[J]. 现代电子技术, 2025, 48(3): 155-160.

WEI CH B, ZHANG M J, HU Y Y, et al. A precise stepwise delay system employing the comparison of sloped waves [J]. Modern Electronics Technique, 2025, 48(3): 155-160.

2025, 48(3): 155-160.

[16] ZHOU J, LU Q, LIU F, et al. A novel picosecond pulse generation circuit based on SRD and NLTL[J]. PloS One, 2016, 11(2): e0149645.

作者简介

刘文艳, 硕士研究生, 主要研究方向为信号调理电路设计与仿真和信号处理。

E-mail: 2930569202@qq.com

张敏娟(通信作者), 博士, 教授, 主要研究方向为光电信号获取与处理, 傅里叶变换光谱技术。

E-mail: zmj7745@163.com

王旭阳, 硕士研究生, 主要研究方向为数据采集传输和高速电路设计。

E-mail: 1419039582@qq.com

丁智敏, 硕士研究生, 主要研究方向为高频信号的处理变频。

E-mail: 2692605154@qq.com

李霖鹏, 硕士研究生, 主要研究方向为信号获取与处理技术。

E-mail: 1512906882@qq.com