

DOI:10.19651/j.cnki.emt.2416273

基于FPGA的智能在线升级存储系统设计*

党瑞阳¹ 吴柯锐² 张会新¹ 张华¹ 闫文璇¹

(1. 中北大学省部共建动态测试技术国家重点实验室 太原 030051; 2. 中国人民解放军93160部队 北京 100076)

摘要: 为解决工业测试领域中存储系统程序更新需频繁拆卸的问题且存在无上位机数据存储的特殊需求,提出基于FPGA的智能在线升级存储系统设计。系统以FPGA为主控,采用千兆以太网与FLASH组合方案,更新指令及配置文件通过千兆以太网下载到程序存储器,对SPI Flash进行分区擦除写入,从而实现FPGA程序的在线升级。同时,光耦指令解析模块使系统摆脱上位机依赖,能独立完成智能数据存储,此外,系统还集成自定义DR_UDP协议反馈可靠设计,优化了千兆以太网口的通信效率与稳定性。经功能验证分析,该系统运行稳定,灵活可靠,千兆以太网传输速率达700 Mb/s,且未发现数据丢失,可广泛应用于诸多不便拆卸的场景。

关键词: 千兆以太网;在线升级;光耦指令解析;自定义DR_UDP协议

中图分类号: TN919.5 **文献标识码:** A **国家标准学科分类代码:** 510.1010

Intelligent online upgrade storage system design based on FPGA

Dang Ruiyang¹ Wu Kerui² Zhang Huixin¹ Zhang Hua¹ Yan Wenxuan¹

(1. State Key Laboratory of Dynamic Measurement Technology, North University of China, Taiyuan 030051, China;

2. The PLA Unit 93160, Beijing 100076, China)

Abstract: To address the frequent disassembly required for program updates in storage systems within the industrial testing field, as well as the unique need for data storage without a host computer, a smart online upgrade storage system design based on FPGA is proposed. This system utilizes FPGA as the main controller and employs a combination of Gigabit Ethernet and FLASH. Update instructions and configuration files are transmitted via Gigabit Ethernet to the program memory, where they are partitioned, erased, and written to SPI Flash, enabling online upgrades of the FPGA program. Additionally, the optocoupler instruction parsing module enables the system to operate independently of a host computer, performing intelligent data storage autonomously. Furthermore, the system integrates a reliable feedback design using a custom DR_UDP protocol, optimizing the communication efficiency and stability of the Gigabit Ethernet port. Functional verification analysis confirms that the system operates stably, flexibly, and reliably, with a Gigabit Ethernet transmission rate reaching 700 Mb/s, and no data loss detected. This system can be widely applied in various scenarios where disassembly is inconvenient.

Keywords: Gigabit Ethernet; online upgrade; optocoupler instruction analysis; custom DR_UDP protocol

0 引言

随着现代科技的飞速发展,航空航天、军工和工业自动化等高新科技领域对系统的实时性、可靠性和灵活性提出了极高的要求,现场可编程门阵列(field programmable gate array, FPGA)凭借高速并行计算与实时处理能力在其中发挥着重要作用。然而,传统的FPGA程序更新方式存在显著的局限性,如本文系统是一种弹载存储设备,通过通用串行总线(universal serial bus, USB)联合测试工作组

(joint test action group, JTAG)接口进行更新时,连接方式复杂,效率低下,操作过程中涉及频繁拆盖,易发生数据丢失或系统损坏,对高可靠性要求的系统构成威胁,且该系统在出厂前需进行特殊的工艺处理,系统交付后需完成系统匹配试验和综合试验,开盖重复烧录程序会改变系统结构状态,各项试验需要重新评估,影响整体研制任务进度,难以满足现代系统对即时性和动态调整的需求。

国际方面,Xilinx Support团队和Intel研究团队分别研究了通过SPI接口编程Zynq FPGA和MAX 10 FPGA

收稿日期:2024-06-20

* 基金项目:山西省高校科技创新计划(2022L530)、山西省基础研究计划青年项目基金(202303021222097)项目资助

设备的远程系统升级功能,展示了更加灵活的更新方案。此外,Zhou等^[1]研究了基于FPGA的系统升级方案,设计和模拟结果表明该方案可以确保FPGA芯片在升级过程中不会导致功能失效。Yan等^[2]研究了分布式地球物理仪器中FPGA固件程序升级的方法,解决了固件升级过程中可靠性降低,制造成本增加和效率低下的问题,这提升了数据的传输效率和系统的整体可靠性。

国内该方面的研究亦取得了显著进展,学者文丰等^[3]的研究通过以太网接口实现FPGA程序的远程更新,简化了升级过程,但该方法在传输速率和可靠性方面尚有提升空间。赵飞^[4]则通过设计基于FPGA+数字信号处理器(digital signal processor,DSP)的远程软件更新系统,克服了传统FPGA升级方法的局限,优化了升级过程的灵活性和系统的稳定性,但FPGA+DSP的组合通常功耗较高,需要考虑散热和功耗管理问题。韩子舟等^[5]通过1553B(military standard 1553B)总线进行FPGA在线升级,但1553B总线的数据传输速率较低,通常在1 Mbps左右,同时需要专用总线控制器以及接口电路,增加了系统设计难度。万垚等^[6]介绍一种基于闪存(fast large area scan hardware,FLASH)、FPGA和异步传输标准接口(recommended standard 232,RS232)串行通信的在线升级方案,但RS232串口通信速率相对较低,这可能会限制在线升级过程中数据传输的速度。孟宪华等^[7]通过快捷外设互联标准(peripheral component interconnect express,PCIE)接口进行FPGA在线升级,但增加了额外的PCIE插槽等硬件成本。韦凯等^[8]则是提出了一种基于USB接口的程序在线升级方法,不过USB接口可能会面临数据泄露或恶意攻击的风险,不符合本系统的安全性要求。

基于以上国内外研究现状,出于本系统的实际应用场景考虑,本研究提出基于FPGA的自定义DR_UDP协议千兆以太网远程在线升级技术。该系统不仅集成了高速、可靠的数据传输特性,同时自定义DR_UDP协议中的智能反馈机制,能够自动处理传输过程中出现的坏包问题,适应多变的网络环境,提升了数据传输速率与交互稳定性,更进一步,在程序固件的在线升级技术上,引入了断电保护与智能恢复策略,当检测到升级过程中发生意外断电时,通过设置Fallback模式,不仅能保护已传输数据的安全性,还能在重新上电后自动检测并继续未完成的升级过程,智能化的恢复机制极大地提高了系统的可靠性。此外,系统还融入了智能化数据存储技术,该技术通过光耦回路控制外部PCM数据流的读取实现无需上位机指令即可进行数据存储的需求。这种智能化的存储操作,提高了数据处理的效率,降低了系统对外部设备的依赖,增强了系统的智能化程度。综上所述,本文设计的存储系统可应用于各种复杂应用场景,满足了数据高速传输的需求,提高了存储系统有效使用率。

1 系统整体方案设计

该系统的整体框图如图1所示,主控模块选用K7

FFG990I系列;通信模块由平衡电压数字接口电路的电气特性(recommended standard 422,RS422)接口,千兆以太网接口模块组成,RS422接口采用JS26C31芯片,用于脉冲编码调制(pulse-code modulation,PCM)信号与智能在线升级存储系统进行数据传输,千兆以太网接口采用RTL8211FDPHY芯片用于地面测试台与数据存储系统之间数据的高速传输。在线程序升级模块通过千兆网口下发升级配置文件至FPGA,FPGA将数据控制擦除写入串行外设接口闪存(serial peripheral interface fast large area scan hardware,SPI FLASH),然后设置内部特定模块(internal program_b,IPROG)指令跳转到热启动地址寄存器(warm boot start address,WBSTAR)指定的地址中,FLASH加载更新文件完成程序更新。FLASH存储模块,数据采编模块,PCM解码模块完成PCM信号在存储系统的数据处理,主控芯片控制FLASH芯片来实现FLASH的读、写、擦除的管理,从而保证存储数据的完整记录。光耦指令和指令解析模块是根据地面测试台下发的记录指令、擦除指令、读数指令对智能存储系统执行不同的操作,同时也能根据扫描判断光耦回路是否导通确定数据存储器的在线状态,实现智能化存储操作。

2 硬件设计

2.1 电源模块

存储系统的电源设计中,外部12 V电压首先经过存储系统电源模块SM4644芯片进行滤波和抑制干扰,以确保输出电压的稳定性和可靠性。然后,经过直流转直流变换器(direct current,DC-DC)进行电压转换,将其转换为适配各个功能模块所需的输入电压。

在千兆以太网接口电源的设计中,采用了电压转换芯片PAM3101DAB,该芯片能够将外部电源模块的电压转换为稳定的3.3 V电压。此外,通过线性稳压器将3.3 V电压进一步转换为1.8 V或2.5 V的电压,以满足特定功能的需求。

2.2 以太网接口电路设计

该存储系统数据传输接口采用千兆以太网通信方式来实现上位机与智能存储系统之间的数据交互,同时实时监测外部设备状态参数。为实现介质访问控制(media access control,MAC)层功能,采用独立物理层(physical lay,PHY)RTL8211FD作为物理层以太网芯片,该芯片具备10 Mb/s、100 Mb/s、1 000 Mb/s三种速率进行数据通信,数据存储具备灵活性,此外,该芯片还具备自适应均衡,噪声抑制和信号增强等特殊功能。

数据存储完毕后,地面测试台读取存储系统中的数据,上位机完成对数据的解析。存储系统通过千兆以太网接口将工作状态信息转发给数据采编模块与地面测试台,允许实时监测与数据存储同时进行。

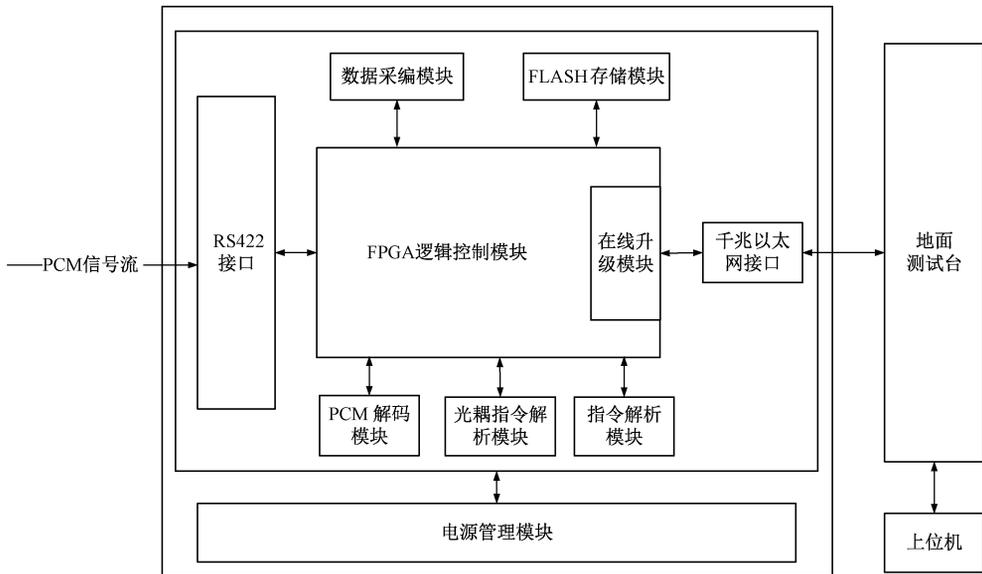


图 1 系统总体框架

Fig. 1 The overall framework of the system

3 关键技术

实现超高速智能存储主要依靠以下 3 个关键技术：在线升级技术、千兆以太网高速数据传输技术和光耦智能读数技术。

3.1 FPGA 远程在线升级技术

1) 在线升级系统组成

本文设计的 FPGA 在线升级功能采用主动 SPI 方式对 FPGA 进行配置，主设备选择 FPGA，从设备选择 FLASH，该模式交互性强，资源利用率高，适合本系统的在线升级需求^[9]。存储系统在线升级的通信方式为千兆以太网，通过此接口与 SPI FLASH 通信交互，网口将该系统升级程序和指令通过上位机下发给主控 FPGA，FPGA 将升级程序文件通过读写 FLASH 方式存储到 FLASH 指定空间。当 FPGA 更新程序时，通过增强型内部配置访问端口 2 (internal configuration access port enhanced 2, ICAPE2)原语触发 IPROG 命令，跳转到设置好的启动地址，从该地址加载 FPGA 的升级程序配置文件^[10]。

FPGA 远程在线升级处理框图如图 2 所示，以太网接口加入先进先出 (first in first out, FIFO) 缓存数据来稳定传输的速率和数据位宽避免丢数。当 FPGA 读取和寻址时，通过 Flash_datain 信号线发送到 SPI_Flash，获取的数据通过 Flash_dataout 信号线从 SPI_Flash 发送到 FPGA。Flash_clk 是时钟信号，确保 FPGA 与 FLASH 通信时的时序一致，Flash_cs 的作用是片选功能，低电平有效，表示设备被选中，可以进行数据通信。

2) 实现流程

远程在线更新实现流程如图 3 所示，固件更新开始时，存储系统上电，上位机发送 FPGA 程序升级命令，

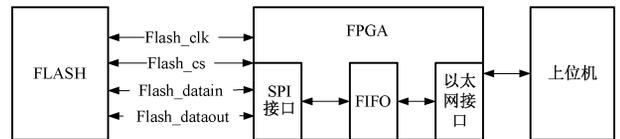


图 2 FPGA 远程在线升级处理框图

Fig. 2 FPGA remote online upgrade processing block diagram

FPGA 扫描并识别到设备 ID。完成识别后，通过状态存储器读取到写使能拉高，开始擦除 FLASH 指定地址数据，先擦除同步字，避免因同步字未擦除一直等待加载，从而卡死 FPGA。根据数据手册，该 FLASH 芯片支持一次 4 kB 或 64 kB 的扇区数据擦除，为提高固件代码升级速度，本系统采用 64 kB 数据擦除，最后通过读取状态存储器的值检验是否完成擦除从而反馈上位机此时 FLASH 状态^[11]。

当 FLASH 数据擦除完成后，FPGA 从千兆以太网上接收的程序送入 FIFO 缓存，若 FIFO 不为空则将数据送入 FLASH，写入 FLASH 数据时，先检验同步字，检测正确后先写入固件其他文件数据，最后再写入同步字。因为写数据时地址由高到低，但页编程一次只支持写入 256 个字节的数据，所以上位机首先发送配置文件最底部的 256 字节数据，由下往上发送数据信息，直到传输完所有数据。最后当判断到 FIFO 为 0 并连续等待 1 s，FIFO 依然为空时，则断定数据更新结束，写使能拉低^[12]。最后上位机软件从 FPGA 中读取下发的配置文件与原配置文件进行对比，若文件内容一致，表示配置成功，若不一致，设备则重新上电并进行新的更新步骤。

3) 在线升级功能实现

本系统远距离更新升级文件分为 Golden 程序文件和 Multiboot 程序文件，在线功能实现流程如图 4 所示，首先

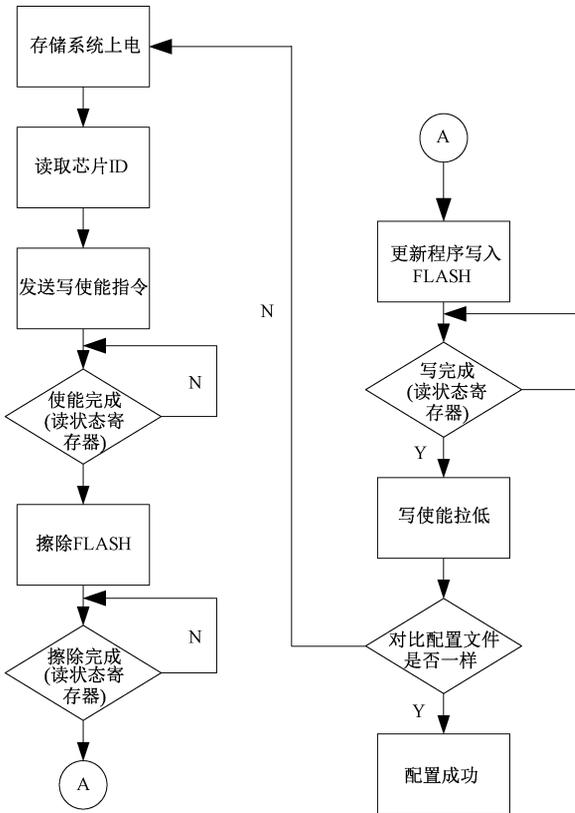


图3 远程在线更新流程

Fig. 3 Remotely update the process online

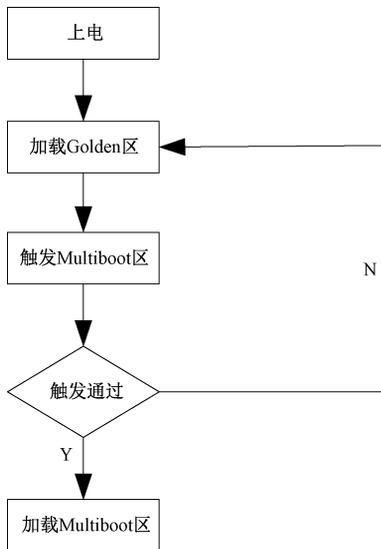


图4 在线功能实现流程图

Fig. 4 Online function implementation flowchart

系统接通电源上电,尝试加载 Golden 区程序文件,该程序文件为正常工作状态程序,文件内包含在线更新功能模块和系统需求功能模块,加载成功后,系统会检查是否需要触发 Multiboot 区程序文件,该程序文件为实现在线升级功能的程序,如果触发通过,即确定需要加载 Multiboot 区

域程序文件,那么系统将执行加载 Multiboot 文件的操作,远距离更新升级成功。如果触发通过失败,将会返回上一级,重新加载 Golden 区程序,不会造成设备数据丢失或损坏。

实现 FPGA 固件在线升级的关键是通过 Xilinx 自带 ICAPE2 原语对 IPROG 命令的控制,实现对 FPGA 的重配置以及 FALLBACK 模式的配置。IPROG 指令序列如表 1 所示,首先通过 ICAPE2 发送同步字(AA995566);其次,配置热启动开始地址(00000000);最后,发送执行 IPROG 命令(0000000F)。当配置逻辑接收到 IPROG 指令后,FPGA 将开始热启动,当开始重配置时,内部逻辑 IPROG 指令由 FPGA 内部的 ICAPE2 原语发出,配置逻辑首先跳转到 Golden 烧录文件首地址,同时 WBSTAR 寄存器尝试更新跳转热启动地址,Multiboot 更新文件存储在 WBSTAR 寄存器指定的地址中。如果此期间检测到配置错误,则会触发 FALLBACK,重新加载 Golden 烧录文件^[13]。

表 1 IPROG 指令队列

Table 1 IPROG command queue

配置数据	描述
FFFFFFFF	无效字
AA995566	同步字
20000000	空操作
30020001	起始寄存器写 1
00000000	配置地址
30008001	指令寄存器写 1
0000000F	执行 IPROG 命令

导致配置错误触发 FALLBACK 通常会有以下四种情况^[14-16]:

(1) IDCODE error:FPGA 未能正确识别其设备 ID,可能由通信故障或硬件问题引起,需重新连接设备、检查通信链路,并尝试重新初始化 FPGA。

(2) 循环冗余校验(cyclic redundancy check, CRC) error:数据传输过程中出现校验和错误,可能由通信中断或传输错误导致,需重新传输数据、增加冗余校验或优化通信协议以提高可靠性。

(3) Watchdog timer timeout error:系统未能在规定时间内完成任务,可能由死锁或系统问题引起,需执行软重启、调整定时器设置并记录错误信息进行故障诊断。

(4) 引导与编程接口(boot and programmable Interface address wraparound, BPI)error:存储器访问或地址计算问题,可能由地址溢出或错误的地址映射引起。需检查地址映射、限制访问范围或增加边界检查以预防错误。

在进行远程在线升级时,遇到以上几种情况,FPGA 会触发 FALLBACK 模式,随后复位 FPGA,重新加载包含

原有接口控制逻辑以及 FPGA 对 FLASH 操作逻辑的 Golden Bitstream,最后可以重新完成千兆网远程在线升级^[17],实现存储系统的便捷性与可靠性。

3.2 千兆以太网高速数据传输技术

为了满足各项数据存储量的增长需求,高速数据采集与稳定传输性能是数据采集传输存储发展的必然趋势。相对于千兆以太网的高速传输速率与稳定传输性能,RS422 串口,USB2.0 以及低电压差分信号(low-voltage differential signaling, LVDS)等数据传输方式目前逐渐退出市场主流选择。同时在数据存储过程中,千兆以太网提供了更高的带宽密度,更高效的处理大规模数据流,并且支持多种网络协议,其中包含了用户数据报协议(user datagram protocol, UDP), TCP/IP, IPv4 和 IPv6 等通信协议,能够根据存储系统应用场景灵活进行协议选择。该系统计算机网络通信采用 5 层模型,数据封装传输均在 FPGA 上设计完成,物理层选用 RTL8211FD PHY 芯片来完成电平信号转换,接收发送通信协议基于 UDP 协议,该协议相对 TCP/IP 协议优势在于低延迟,简单轻量,数据传输速度快,适用于实时性要求高的应用,符合本设计存储系统通信要求。

为保障以太网通信速度与轻便性, FPGA 以太网 PHY 芯片通信模式采用千兆介质网关接口(gigabit media independent interface, GMII)接口,存储系统与地面测试台物理层接口采用 RJ45,其通信链路建立首先通过上位机下发地址解析协议(address resolution protocol, ARP)请求包, FPGA 接收到请求包后,根据包内信息获取目标的 MAC 地址与 IP 地址并进行绑定,随后回复上位机 ARP 包建立通信连接后,存储系统开始发送 CRC 数据校验及 UDP 数据包,若校验码错误,这包数据将被丢弃,上位机收到数据后根据 UDP 协议对数据进行解析,获取有效数据^[18]。千兆网通过程程主要包括数据收发缓存, ARP 地址绑定, UDP 数据处理以及 CRC 数据校验等部分。同时为了降低 UDP 协议不可靠性对传输效率的影响,在该协议的基础上进行改进,设计合理的自定义 DR_UDP 协议,确保解决数据传输出现的频繁丢包问题。

DR_UDP 协议数据包内部构成如图 5 所示,自定义 DR_UDP 协议在每个数据包中加入数据包首标志,数据包计数以及重传标志,由上位机检测包计数连续性的方式来确保传输数据的可靠性,若包计数不连续,则会在下一包数据传输完成后,主控模块再重传该包数据,确保丢失信息能被及时发现并发送至上位机,其中数据包首标志,数据包计数用于区分数据类型和包个数,重传标志标示数据包传输类型。

3.3 光耦指令解析存储技术

光耦指令解析存储技术的关键是通过光耦回路的导通状态确定数据存储器的在线状态。该技术是为满足上位机存储数据场景设计,克服传统存储系统必须依赖上



图 5 DR_UDP 协议数据包内部构成

Fig. 5 DR_UDP internal composition of protocol packets

位机下发指令控制 FPGA 进行数据记录的限制,在无上位机指令可用时,通常存储系统无法记录外部数据,故提出此光耦指令解析存储技术。

光耦指令解析电路如图 6 所示,判定存储系统在线状态是光耦指令解析存储的核心步骤。在光耦指令解析电路连接外部 5 V 电压时,即存储系统与地面测试台联通, ZX+ 和 ZX- 形成光耦导通回路, FPGA 扫描到光耦输出高电平信号并确认系统在线;若电路未连接外部电压,即存储系统与地面测试台断开, FPGA 未扫描到光耦信号,判定系统离线。为防止 ZX+, ZX- 接口故障导致工作异常,光耦解析电路增设备用外部电压接口输入,以确保存储系统能够安全可靠运行。在线状态下,上位机可下发监测指令到地面测试台,存储系统实时反馈状态并执行擦除、读数等操作;离线状态下,等待 180 s 后,存储系统自动读取外部 PCM 信号,通过 RS422 接口将数据存储到 FLASH 中。

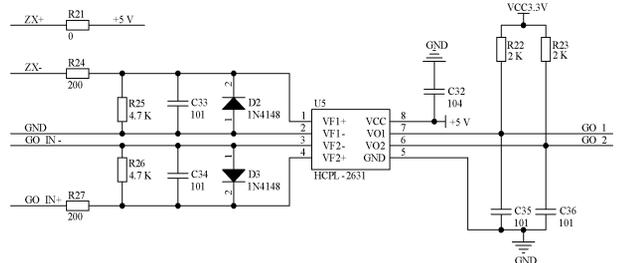


图 6 光耦指令解析电路

Fig. 6 Optocoupler command parsing circuit

4 测试结果

本次系统基于数据采集存储模块各项技术指标,地面测试系统如图 7 所示,包括地面测试台、存储系统、上位机、测试电缆。

为了验证是否出现误码乱码现象,测试数据选用来自外部系统产生的标准 PCM 码流,有效数据为 0C97,帧计数为 2 字节,帧尾设计为 2 字节的 EB90,同时还有甲方要求自定的数据帧格式。智能在线存储系统加电后,通过 RS422 接口将数据传输到存储系统后,再经由 FPGA 控制的内部采编模块与 PCM 解码模块后,等待 FPGA 将其写入 FLASH 中。同时,主控 FPGA 通过千兆以太网接口将工作状态信息反馈给采编单元,实时监测数据存储系统工作状态信息的功能。存储系统与地面测试台软件操作界



图7 地面测试系统
Fig. 7 Ground test system

面成功通信界面如图8所示。



图8 数据存储测试台软件界面

Fig. 8 Data memory test bench software interface

存储系统与地面测试台通过千兆以太网接口将数据回收并上传至上位机进行数据的拆分。通过千兆以太网接口进行数据回读,传输速度为700 Mb/s,满足系统的高速数字设计,地面测试台软件正在读取数据界面如图9所示。



图9 正在读取数据界面
Fig. 9 Reading data interface

最后等待外部数据存储完毕后,数据解析软件对数据包进行拆分,解析保存的数据,部分数据内容如图10所示,其中1表示传输的有效数据,2表示帧计数,3为帧尾“EB90”,4为甲方要求自定的数据帧格式,通过本图的数据帧格式分析,根据判断帧尾“EB90”和帧计数拆分的数据结果进一步验证了本系统高速数据传输的可靠性。

1	2	3	4
97 0C 96 0C 97	FD C4	EB 90	55 55 55 55 55 55 55
96 0C 96 0C 97	FD C5	EB 90	55 55 55 55 55 55 55
96 0C 96 0C 97	FD C6	EB 90	55 55 55 55 55 55 55
97 0C 96 0C 97	FD C7	EB 90	55 55 55 55 55 55 55
97 0C 97 0C 96	FD C8	EB 90	55 55 55 55 55 55 55
96 0C 97 0C 96	FD C9	EB 90	55 55 55 55 55 55 55
96 0C 96 0C 96	FD CA	EB 90	55 55 55 55 55 55 55
97 0C 96 0C 96	FD CB	EB 90	55 55 55 55 55 55 55
96 0C 97 0C 96	FD CC	EB 90	55 55 55 55 55 55 55
97 0C 97 0C 96	FD CD	EB 90	55 55 55 55 55 55 55
96 0C 96 0C 96	FD CE	EB 90	55 55 55 55 55 55 55
97 0C 96 0C 97	FD CF	EB 90	55 55 55 55 55 55 55
97 0C 96 0C 97	FD D0	EB 90	55 55 55 55 55 55 55
97 0C 97 0C 96	FD D1	EB 90	55 55 55 55 55 55 55
96 0C 97 0C 97	FD D2	EB 90	55 55 55 55 55 55 55
97 0C 97 0C 97	FD D3	EB 90	55 55 55 55 55 55 55
97 0C 96 0C 96	FD D4	EB 90	55 55 55 55 55 55 55
97 0C 97 0C 96	FD D5	EB 90	55 55 55 55 55 55 55
97 0C 97 0C 97	FD D6	EB 90	55 55 55 55 55 55 55
97 0C 96 0C 96	FD D7	EB 90	55 55 55 55 55 55 55
96 0C 96 0C 97	FD D8	EB 90	55 55 55 55 55 55 55
96 0C 96 0C 96	FD D9	EB 90	55 55 55 55 55 55 55

图10 数据帧格式

Fig. 10 Data frame format

若需更新固件则通过千兆以太网将程序升级,上位机软件通过网口与FPGA通讯,此时存储系统已通过JTAG-USB接口下载过包含在线更新功能和系统需求功能的Golden程序,在进行在线升级时,需通过VIVADO软件生成更新的Multiboot文件,在上位机中读取该文件所处路径,点击更新,当FPGA正常接收数据后会把数据写入进FLASH,并对数据进行回读,确保写入数据的正确性。当所有升级的数据完整无误写入FLASH后,在线升级成功。上位机软件界面如图11所示。



图11 上位机软件界面

Fig. 11 Software interface of the host computer

- 40-44.
- SONG ZH B, FANG F. FPGA online update based on quickboot technology [J]. *Integrated Circuits and Embedded Systems*, 2023, 23(6): 40-44.
- [13] 金璐. 基于MultiBoot的超声设备FPGA更新保护设计[J]. *无线互联科技*, 2023, 20(4): 77-79.
- JIN L. Design of FPGA update protection for ultrasound equipment design based on MultiBoot[J]. *Wireless Internet Science and Technology*, 2023, 20(4): 77-79.
- [14] 孙晓磊, 王红亮, 陈航, 等. 基于FPGA的双FLASH数据记录器设计与实现[J]. *电子测量技术*, 2021, 44(23): 36-41.
- SUN X L, WANG H L, CHEN H, et al. Design and implementation of double FLASH data recorder based on FPGA[J]. *Electronic Measurement Technology*, 2021, 44(23): 36-41.
- [15] 陈召全. 特殊环境下FPGA代码在线升级功能的实现[J]. *电子设计工程*, 2021, 29(23): 128-132.
- CHEN ZH Q. Realization of FPGA code online upgrade function in special environment[J]. *Electronic Design Engineering*, 2021, 29(23): 128-132.
- [16] 袁君, 李治辉, 姚超. 基于CPLD+FLASH通用快速的FPGA配置方案[J]. *通信技术*, 2021, 54(2): 498-502.
- YUAN J, LI ZH H, YAO CH. A general-purpose high-speed method of FPGA configuration based on CPLD+FLASH[J]. *Communications Technology*, 2021, 54(2): 498-502.
- [17] 王伟伟, 闫新峰, 修展, 等. 基于FPGA的在线重构设计方法[J]. *计算机测量与控制*, 2020, 28(12): 213-216.
- WANG W W, YAN X F, XIU ZH, et al. Design method of online reconstruction based on FPGA[J]. *Computer Measurement & Control*, 2020, 28(12): 213-216.
- [18] 张会新, 林雅坤, 樊文韬. 基于千兆以太网的高速可靠数据传输系统[J]. *电子器件*, 2023, 46(4): 927-931.
- ZHANG H X, LIN Y K, FAN W T. High-speed and reliable data transmission system based on gigabit ethernet[J]. *Chinese Journal of Electron Devices*, 2023, 46(4): 927-931.

作者简介

党瑞阳, 硕士研究生, 主要研究方向为新一代电子信息

技术。
E-mail: spread2022@163.com

张会新(通信作者), 博士, 副教授, 硕士生导师, 主要研究

方向为动态测试技术与仪器。
E-mail: zhanghx@nuc.edu.cn