

DOI:10.19651/j.cnki.emt.2315071

基于 CoaXPress 接口的高速串行传输系统设计

张梓浩¹ 范瑞凝² 赵光权^{1,3} 李思见¹ 古键光¹(1. 哈尔滨工业大学自动化测试与控制研究所 哈尔滨 150080; 2. 中国兵器工业集团航空弹药研究院有限公司 哈尔滨 150030;
3. 哈工大郑州研究院 郑州 450000)

摘要: CoaXPress 是一种新型高速数字图像传输接口标准,适用于各种高速和高带宽图像传输应用。本文设计实现了一种基于 CoaXPress 接口的高速串行传输系统。针对多路高速串行数据传输、调度、缓存和同步难题,硬件上每个模块设计 4 路 CoaXPress 接口,模块以 FPGA 为核心,采用 PCIe3.0×8 接口与主控制器进行通信,使用 DDR4 缓存高速数据;FPGA 固件逻辑设计中使用 XDMA 硬核与主控制器进行通信,使用 FDMA 完成对 DDR4 的数据调度,使用 GTH 收发高速串行数据;采用 FIFO 缓存同步技术和 PXI_TRIG 触发总线技术相结合的方法,成功地实现了 8 个 CoaXPress 发送模块共 32 路发送接口之间的同步。最终对 CoaXPress 接口模块和系统进行了测试,CoaXPress 接口的眼图、码速率、误码率、同步精度均满足要求。本文所设计的基于 CoaXPress 接口的高速串行传输系统工作稳定,性能可靠,已应用于新一代空间飞行器载荷—数传链路测试。

关键词: CoaXPress 接口;高速串行传输;FPGA;FDMA

中图分类号: TP2 **文献标识码:** A **国家标准学科分类代码:** 510.1050

Design of high-speed serial transmission system based on CoaXPress interface

Zhang Zihao¹ Fan Ruining² Zhao Guangquan^{1,3} Li Sijian¹ Gu Jianguang¹

(1. Automatic Test and Control Institute, Harbin Institute of Technology, Harbin 150080, China;

2. Norinco Group Air Ammunition Research Institute Co., Ltd., Harbin 150030, China;

3. Zhengzhou Research Institute, Harbin Institute of Technology, Zhengzhou 450000, China)

Abstract: CoaXPress is a new high-speed digital image transmission interface standard suitable for a variety of high-speed and high-bandwidth image transmission applications. In this paper, a high-speed serial transmission system based on CoaXPress interface is designed and implemented. To solve the problem of multi-channel high-speed serial data transmission, scheduling, caching and synchronization, four CoaXPress interfaces are designed for each hardware module. The module is based on FPGA, uses PCIe3.0×8 interface to communicate with the main controller, and uses DDR4 to cache high-speed data. In FPGA firmware logic design, XDMA is used to communicate with the main controller, FDMA is used to complete the data scheduling of DDR4, and GTH is used to send and receive high-speed serial data. Based on the combination of FIFO cache synchronization technology and PXI_TRIG trigger bus technology, the synchronization between 32 transmitting interfaces of 8 CoaXPress transmitting modules is successfully realized. Finally, the CoaXPress interface module and system are tested, and the eye map, code rate, bit error rate and synchronization accuracy of CoaXPress interface meet the requirements. The high-speed serial transmission system based on CoaXPress interface designed in this paper is stable and reliable, and has been applied to the test of load-data transmission link of a new generation of space vehicle.

Keywords: CoaXPress interface; high-speed serial transmission; FPGA; FDMA

0 引言

为了满足高速数据传输要求,现代科技对串行接口的

速率要求也越来越高^[1],一些传统的接口如 LVDS^[2]、USB^[3]、GigE^[4]、Camera Link^[5-6]、TLK2711^[7-8]等接口,在接口形式、接口速率和接口同步性上已经逐渐不能满足高

速数字图像传输的需求。CoaXPress 是近年来出现的一种新型高速数字图像传输接口标准,该标准具有高速和高带宽的特点,目前该接口标准最高能以 12.5 Gbps 的速率传输数据^[9],是目前速度最快的接口之一。此外,CoaXPress 还具有较低的延迟和更高的可靠性,可以保证数据传输的稳定性和准确性。因此,CoaXPress 适用于各种高速和高带宽图像传输的应用,该接口标准在速度、可靠性、稳定性和灵活性等方面都有显著的优势。

自 CoaXPress 标准推出以来,许多使用 CoaXPress 接口的应用纷纷涌现,国内学者积极开展 CoaXPress 接口设计相关研究,如西南科技大学任强等设计了一种高吞吐率、高抗干扰能力的 CoaXPress 协议图像采集系统^[10],使用 FPGA 内部 GTH 收发器配合 CoaXPress 接口实现高速图像数据传输,吞吐率可达 2.09 GB/s,且误码率在 10^{-11} 以下,具有一定实用性。成都理工大学王腾飞^[11]设计了一种基于 CoaXPress 接口的高速图像采集传输系统,使用 FPGA 作为核心控制器,设计 4 路 CoaXPress 接口接收图像数据,数据可通过 PCIe3.0 接口传输到 PC 机的内存中。湖南艾科诺维科技公司实现了一种基于 FPGA 和 CoaXPress 接口的图像采集回放系统^[12],通过 CoaXPress 接口收发数据,并结合设置于板卡上的固态存储阵列及 PHY 芯片实现了图像的采集、存储及回放功能等。

国外学者也在科研领域积极探索 CoaXPress 接口的应用,展现其在高速数据传输和成像领域的广泛潜力。捷克理工大学 Hejtmánek 等^[13]基于 CoaXPress 通信接口标准实现了一种粒子探测器的高速读取应用程序,通过 CoaXPress 接口接收数据并缓存后通过 PCIe 2.0 上传至 PC 机,实现了高效数据处理。加拿大 Cheng 等实现了一种结构光轮廓术的高速三维(3D)表面成像^[14],开发了具有 CoaXPress 接口的带限照明轮廓术,表明该接口能够实现实时高速 3D 表面成像。

总体而言,上述研究方法都体现了 CoaXPress 接口在高速数据传输领域的广泛适用性。但随着新一代空间飞行器空间分辨率不断提高,数据量呈现指数级增长^[15],面对高码率和大容量的数据量,单块板卡设计难以满足高效且稳定的数据传输需求,因此迫切需要先进的高速串行传输系统以确保数据传输的高效性和稳定性。本系统实现了高达 32 路的 CoaXPress 接口路数,单块板卡设计 4 路 CoaXPress 接口,单路 CoaXPress 接口速率为 3.125 Gbps,使得系统总码速率显著提升,实现了 100 Gbps 数据吞吐量;系统设计实现了板卡间的精确同步,PXIe 总线相较于 PCIe 总线具有更精准的同步触发机制,确保了系统内各板卡在时序和触发方面的一致性,为应用场景提供更高的实时性和可靠性;系统设计采用基于 PXIe 的集成架构设计,PXIe 高速背板总线具有高达数百 Gbps 的传输速率,确保了系统在高速传输方面的卓越性能,同时具有高度集成、扩充灵活等优势;同时系统中设计自闭环测试链路,可实时校

验数据的完整性,确保系统在长时间内实现低误码数据传输,强化了系统的稳定性和可靠性。系统可适用于新一代空间飞行器载荷一数传链路测试应用,以确保在空间飞行器载荷入轨前对其功能和性能指标进行全面有效的评估。

1 系统总体方案

1.1 系统功能指标

- 1) 系统具备 32 路 CoaXPress 发送接口,单路发送接口数据码速率为 3.125 Gbps;
- 2) 32 路发送接口同步工作,同步精度优于 $1 \mu\text{s}$;
- 3) 系统通过 PXIe 高速接口与各 CoaXPress 模块进行数据交互;
- 4) 系统具备 4 路 CoaXPress 接收接口,单路接收接口数据码速率为 3.125 Gbps;
- 5) 系统具备自检功能,具备链路误码率测试功能。

1.2 系统软硬件协同架构总体设计

面对 100 Gbps 数据吞吐量传输需求,解决实现大容量数据可靠传输的难题,本系统采用模块化、集成化设计方案,选用 PXIe 架构作为 CoaXPress 高速串行传输系统的系统架构,将整个系统分为硬件和软件两大部分。硬件部分设计包括 PXIe 机箱、PXIe 主控制器、CoaXPress 发送模块及 CoaXPress 接收模块。通过模块化设计,系统中共设计了 8 个 CoaXPress 发送模块,每个发送模块包含 4 路 CoaXPress 发送接口,单路数据码速率达 3.125 Gbps。为实现模块间并行同步发送,通过 PXIe 机箱背板上的同步触发线实现了多模块同步工作,此方案确保了每个接口通路都能在高码速率下同步工作,同时系统整体能够稳定、高效的传输数据。在满足高速数据传输需求的基础上,为进一步确保数据传输的准确性,系统中设计了一个 CoaXPress 接收模块,具备 4 路 CoaXPress 接收接口且单路码速率为 3.125 Gbps,用于与发送模块构成自闭环误码率测试链路。软件部分,主要负责完成发送模块的数据加载任务和接收模块的数据落盘、误码率测试任务等,通过驱动程序与硬件部分交互。图 1 为系统软硬件协同架构设计。通过上述系统软硬件协同设计方案,多个模块通过 PXIe 插槽嵌入到 PXIe 机箱中,最终实现了高码速率数据传输的目标,满足了 100 Gbps 的数据高吞吐量要求,同时整个系统能够准确、稳定、高效地传输数据。

1.3 单个模块软硬件总体方案设计

单个 CoaXPress 模块面临的主要挑战包括满足 GB 级大容量数据缓存需求以及对高速数据进行有效处理和调度。每个模块包含 4 路 CoaXPress 接口,且单路 CoaXPress 接口码速率为 3.125 Gbps。因此,需要设计高效且稳定的数据缓存传输方案,以应对并处理并行传输的大容量数据流,解决这一问题涉及综合考虑硬件资源、存储结构,设计高效的数据调度算法,实现软件与硬件间协同工作。

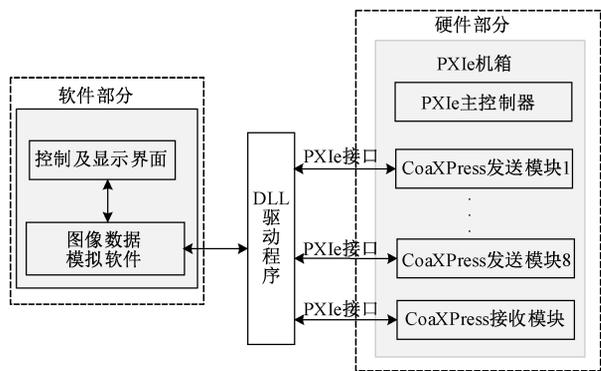


图 1 系统软硬件协同架构设计

1) CoaXPRESS 模块硬件总体设计方案

针对上述问题, CoaXPRESS 模块在硬件配置上选择 Ultrascale XCKU060 FPGA 作为核心控制器。XCKU060 以其强大的计算能力、高灵活性以及丰富的逻辑和内存资源而著称, 并集成了高速串行收发器 GTH, 可用于与外部 CoaXPRESS 接口驱动芯片连接构成完整通路。CoaXPRESS 模块配置了 4 GB 外部缓存 DDR4 数据存储空间, 能够有效满足数据处理过程中的临时存储需求, 提高了系统对大容量数据的处理效率。

CoaXPRESS 模块的总体硬件设计主要分为 FPGA 核心外围电路和接口功能电路两个关键部分。模块设计为 3U 标准尺寸的 PXIe 外围模块, 在接口通路设计上, 选择 EQCO62T20 和 EQCO62R20 高速线路驱动器芯片, 其下行链路发送和接收速率最高可达 6.25 Gbps, 满足系统设计要求的 3.125 Gbps, 选用 75 Ω 特性阻抗的 BNC 同轴连接器, 旨在实现高速数据传输的同时保持信号的稳定性和一致性。在软硬件通信接口设计上, 采用了标准为 PCIe 3.0×8 的 PXIe 接口, 使用 XJ3 连接器与 FPGA 中对应的 8 个 GTH 相连接。这一设计选择是为了实现高带宽、低延迟的数据传输, 是系统能够有效处理和传输大容量数据的关键步骤之一。通过上述设计, 共同保障了系统能够有效处理和传输大容量数据, 实现了性能优越、稳定可靠的高速数据传输。图 2 为 CoaXPRESS 发送模块硬件总体方案设计。

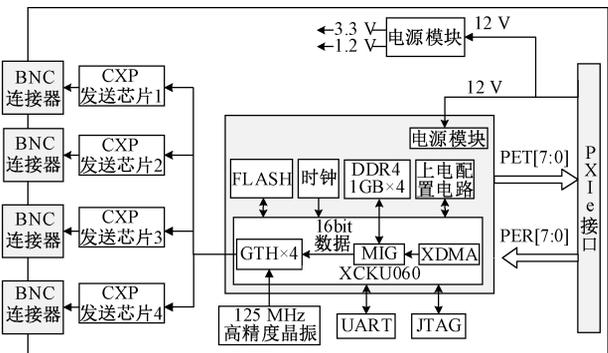


图 2 CoaXPRESS 发送模块硬件总体方案设计

CoaXPRESS 接收模块硬件设计与发送模块类似, 不再详细阐述。不同的是接收模块使用的是 CoaXPRESS 接收驱动芯片, 其输入与 BNC 连接器连接, 输出与 GTH 接收器连接, 数据接收流程与发送模块流程相反。

2) CoaXPRESS 模块软件总体设计方案

系统中包含 8 个 CoaXPRESS 发送模块和 1 个 CoaXPRESS 接收模块, 全面控制这些模块时需要处理复杂的软硬件协同操作。在协同控制多个模块时, 面对高速模拟图像数据传输, 在不过度消耗计算资源的前提下, 保证数据的实时性和准确性是一个关键的难题。同时软件要实现数据比对与误码检测功能, 需要在短时间内处理大量的数据并进行高效的比对和检测, 涉及到高效数据结构的选择、内存管理、高效算法设计等, 同样是一项具有挑战性的难题。

为了解决以上难题, 软件控制 CoaXPRESS 模块的驱动程序功能设计采用了动态链接库 DLL (dynamic link library) 软件控制方案。通过将各模块所需的驱动功能函数封装在动态链接库中, 软件工作时动态调用链接库函数实现相应的功能, 同时软件采用了多线程工作策略, 通过技术创新和综合应用, 软件最终实现了对 CoaXPRESS 模块的高效控制、大容量数据并行传输、数据误码比对和模块状态检测等任务的协同进行, 实现了系统中 100 Gbps 数据吞吐量要求, 同时确保了系统运行的实时性和稳定性, 为高速模拟图像数据传输提供了可靠的解决方案。软件总体设计方案如图 3 所示, 清晰展示了软件中对 CoaXPRESS 模块的具体功能设置。

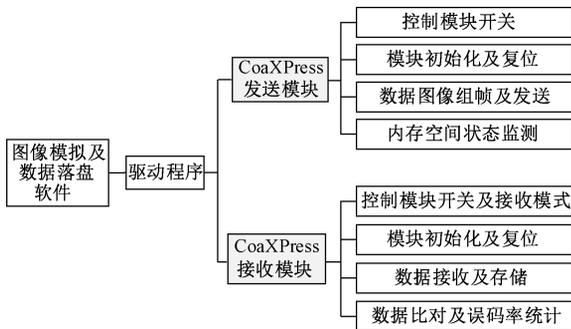


图 3 软件总体方案设计

2 系统关键设计

2.1 高速硬件 PCB 电路设计

在本系统中, CoaXPRESS 发送模块和接收模块的核心元器件是高速信号芯片。这使得整个设计过程变得复杂, 需要仔细考虑信号完整性、传输线效应以及高频信号在 PCB 中的传播特性, 因此对于 PCB 布局和信号线走线的要求极为严格。

基于上述问题, 在布局布线时, 特别关注差分输入端的电容应靠近 FPGA 引脚放置。通过挖空地层和电源层, 以及挖空 BNC 连接器下方的内层, 以降低输入引脚的寄生

电容。确保高速信号芯片的 4 对差分输入对之间和每组之间都是严格等长的,以保障信号传输的同步性和稳定性。同时,保证 PXIe 接口中 XJ3 连接器中的 8 对高速差分串行收发信号对以及差分参考时钟的布线严格等长,同时合理安置参考时钟的耦合电容和 100 Ω 电阻,实现交流耦合和阻抗匹配,这样的设计有助于减小信号的传输延迟和减轻信号失真。通过巧妙的 PCB 布局和布线设计,保证了高速信号的完整性,保障了信号传输的稳定性,使得高速信号能够在系统内部稳定、高效地传输。

2.2 基于 FDMA 的 DDR 缓存管理逻辑设计

在系统运行时,高速传输的 CoaXPress 接口要求存储单元具备 GB/s 的读写速率和 GB 级的存储容量,以满足系统中大容量高速数据的缓存需求。通常主控制器自带的缓存容量较小,而传统存储单元如 FLASH、SD 卡等,由于其 KB、MB 级的有限容量和较慢的读写速率,难以满足这样的高速数据缓存要求。鉴于传统存储单元的不足,我们选择了 Micron 公司型号为 MT40A512M16LY_062E 的 DDR4 存储芯片作为缓存单元,此款 DDR4 存储芯片具有较高的读写速率(单片数据带宽可达 4.687 5 GB/s)和单片 GB 级的存储容量。同时,该芯片与 XCKU060 FPGA 芯片兼容,满足单路 CoaXPress 接口的高速数据缓存要求的同时确保了系统的稳定运行。

在传统的缓存调度方案中,广泛应用的 Xilinx 官方提供的 AXI-DMA IP 存在一些固有限制和不足,特别是在高速数据传输的应用场景下,其效率和灵活性相对较差,高效地对高速数据进行缓存和调度是本系统设计的难点之一。为了克服传统方案的局限性,本系统设计中引入了基于 FDMA(fast direct memory access)的 DDR 缓存管理逻辑设计方法,以更好地满足高速数据缓存的需求。FDMA 是一款基于 AXI4(advanced extensible interface 4.0)总线协议的 DMA 控制器。其最大优势在于能够以 FPGA 代码直接读写 DDR 内存,相较于 AXI-DMA 使用 C 语言进行开发,能够实现更高的读写速度和性能,且无需通过 SDK(software development kit)软件进行配置。这样的设计显著提高了数据传输速率,同时降低了开发和配置的复杂度。基于 FDMA 的 DDR 缓存管理逻辑设计方法最终显著提升了系统性能和效率,系统能够更好地适应高码速率数据传输需求,实现了对高速数据快速可靠的缓存和调度。

2.3 多路发送数据同步逻辑设计

在实现 8 个 CoaXPress 发送模块共 32 路 CoaXPress 发送接口之间的同步时,面临的难点主要是单个模块内部 4 路 CoaXPress 接口的同步以及多个模块之间的同步,需要克服数据量不同步和时序偏差等问题。考虑到软件线程切换所需时间达到了毫秒级,为了解决上述难点,实现 32 路 CoaXPress 接口之间 1 μ s 的同步精度,创新性地采用了 FIFO(first in first out)缓存同步技术和 PXI_TRIG 触发总线技术相结合的方法。

首先,对于单个发送模块 4 路 CoaXPress 接口的同步,通过逻辑设计结合 FIFO 缓存实现同步。通过控制逻辑,当 4 个 FIFO 中的数据量达到设定阈值时,同时触发 4 路 CoaXPress 接口发送数据,实现了单个模块内部多路数据的同步,这种方法保证了单个模块内部的数据发送时序同步。针对多个模块之间的同步问题,采用了 PXI_TRIG 触发总线技术。通过硬件和逻辑设计,利用 PXIe 机箱的 PXI_TRIG 触发总线传递同步信息。当所有模块满足条件时,通过触发总线控制所有模块开始工作,实现了多个模块接口数据的同步。由于 PXI_TRIG 触发信号在传输中的时间误差仅为纳秒级,因此达到了微秒级同步精度的要求。

图 4 为 32 路 CoaXPress 数据接口同步发送设计示意图。通过采用 FIFO 缓存同步技术和 PXI_TRIG 触发总线技术相结合的方法,我们成功地实现了 8 个 CoaXPress 发送模块共 32 路 CoaXPress 发送接口之间的同步且同步精度为 1 μ s。这种设计方法不仅确保了单个模块内部的数据发送时序同步,而且实现了多个模块之间的接口数据同步,满足了系统对于高速数据同步传输的严格要求。

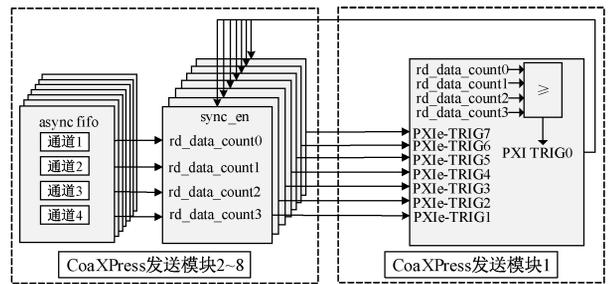


图 4 32 路数据同步发送设计示意图

3 实验与分析

完成模块和系统的硬件、软件及固件设计后,首先对模块进行硬件接口测试及性能分析,后对系统进行误码测试,确保系统设计优良,运行稳定。

3.1 CoaXPress 接口链路信道质量测试

CoaXPress 接口的链路信道质量影响着数据传输的误码率,误码率是评价系统性能的关键指标。CoaXPress 接口链路信道质量可以通过两个指标衡量—低误码率和眼图幅度。因此,可以通过测试整个链路路径的误码率和眼图来评估 CoaXPress 接口链路信道质量。

系统使用 Xilinx 官方提供的集成比特误码率测试工具 IBERT(integrated bit error ratio tester)来测试链路的误码率和眼图。采用图 5 所示的链路测试方案,测试结果表明 4 个 CoaXPress 通道的速率都能够达到 3.125 Gbps,且误码率的数量级达到了 10^{-10} 甚至是低于 10^{-10} 。

图 6 所示为 CoaXPress 接口链路信道质量测试眼图,可见眼图的蓝色区域展开面积较大,说明链路信道质量较好,验证了 CoaXPress 高速接口设计的可靠性。

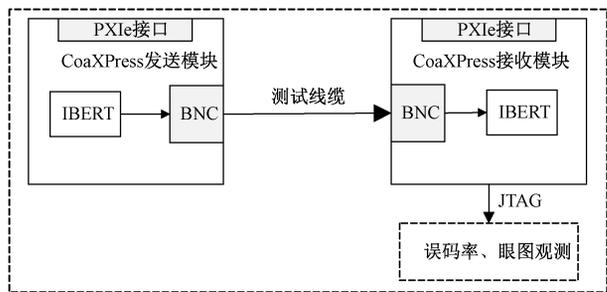


图 5 IBERT 链路测试方案图



图 6 CoaXPress 接口链路 IBERT 测试眼图

3.2 CoaXPress 串行接口自闭环及误码率测试

系统由 CoaXPress 发送模块和接收模块构成, 8 个 CoaXPress 发送模块共构成 32 路发送接口, 接收模块包含 4 路接收接口, 使用接收模块对发送模块接口进行自闭环测试。在进行测试时, 选择一个 CoaXPress 发送模块与接收模块通过测试线缆相连, 构建起系统闭环测试链路。图 7 为系统 CoaXPress 串行接口的自闭环测试方案示意图。

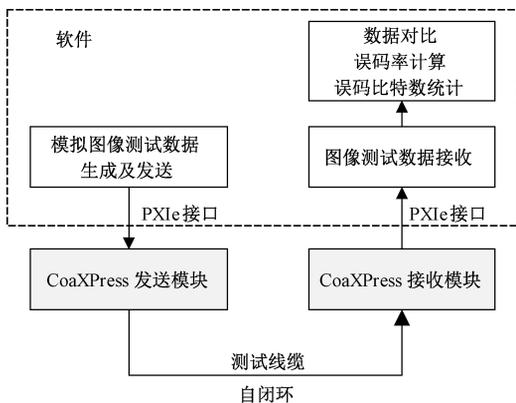


图 7 系统自闭环测试方案

测试流程为, 软件生成模拟测试图像数据, 通过 PXIe 接口发送给 CoaXPress 发送模块, FPGA 将数据进行编码后通过线缆发送给 CoaXPress 接收模块, 接收模块接收数据并上传给软件。将软件设置为自检模式, 将接收到的数据与模拟测试图像数据进行逐位对比, 统计误码比特数及误码率, 并进行实验室环境下长时间的测试, 其他 CoaXPress 发送模块重复同样的测试流程。

按照上述测试方案, 分别对 8 个 CoaXPress 发送模块进行自闭环误码率测试。由于本系统用于数传链路测试, 因此必须要经过长时间的测试以确保稳定性。分别测试 8 个发送模块在实验室环境下的误码率, 表 1 为其中一个

CoaXPress 发送模块在实验室环境下, 测试时长为 2 400 s 的测试结果, 经过严格规范的测试, 其他 7 个 CoaXPress 发送模块测试误码率同样为 0。

表 1 实验室环境下误码率测试结果

通道名称	测试时长/s	误码率
通道 1	2 400	0
通道 2	2 400	0
通道 3	2 400	0
通道 4	2 400	0

由于系统是高速串行传输系统, 考虑到连接线缆长度会对高速信号传输造成影响。因此对线缆长度对误码率的影响进行测试, 分别测试了 0.30、0.75、1.00、3.00 m 长的测试线缆应用于自闭环测试, 测试误码率都是 0, 表 2 为不同线缆长度下的误码率测试结果。

表 2 不同线缆长度下误码率测试结果

通道名称	线缆长度/m	测试时长/s	误码率
通道 1	0.30	2 400	0
通道 2	0.75	2 400	0
通道 3	1.00	2 400	0
通道 4	3.00	2 400	0

3.3 多模块同步工作测试

系统误码率测试达标后, 为进一步确认系统工作的稳定性、可靠性, 对 32 路 CoaXPress 发送接口的同步精度进行测试。测试方法如下, 8 个 CoaXPress 发送模块同时工作发送数据, 使用 CoaXPress 接收模块同时接收 4 路发送的数据, 使用在线逻辑分析仪 (integrated logic analyzer, ILA) 抓取接收模块的高速串行收发器 GTH 输出的 4 路并行数据, 以数据帧头为触发条件, 计算 4 路数据的帧头相差多少个时钟周期个数, 结合时钟周期计算出同步误差时间。将 8 个发送模块共 32 路 CoaXPress 发送通道分别编号为 1~32, 由于最多只能观测 4 路发送接口, 以通道 1 为基准, 分别测量其他 31 个通道与通道 1 的同步误差时间, 判断是否满足 $1 \mu\text{s}$ 的设计要求。

测试结果如表 3 所示, 测试结果中同步误差时间最大为 192 ns, 满足系统设计中同步误差时间不超过 $1 \mu\text{s}$ 的要求, 因此系统中 32 路 CoaXPress 接口同步设计达标。

3.4 系统设计分析

与本领域现有方案相比, 本系统在多个关键方面展现出明显优势:

1) 现有方案设计中多采用单块板卡设计, 但伴随着新型空间飞行器空间分辨率不断提高, 传统的单块板卡设计在面对高码率和大容量数据传输需求时面临困境, 难以实现高效且稳定的数据传输。我们的系统设计实现了高达

表 3 系统 32 路 CoaXPress 发送接口同步误差测试结果

通道名称	基准通道	同步误差时间/ns
通道 2	通道 1	0.0
通道 3	通道 1	0.0
通道 4	通道 1	0.0
通道 5	通道 1	179.2
通道 6	通道 1	172.8
通道 7	通道 1	172.8
通道 8	通道 1	185.6
通道 9	通道 1	38.4
通道 10	通道 1	38.4
通道 11	通道 1	25.6
通道 12	通道 1	25.6
通道 13	通道 1	38.4
通道 14	通道 1	38.4
通道 15	通道 1	32.0
通道 16	通道 1	38.4
通道 17	通道 1	32.0
通道 18	通道 1	25.6
通道 19	通道 1	25.6
通道 20	通道 1	25.6
通道 21	通道 1	192.0
通道 22	通道 1	185.6
通道 23	通道 1	192.0
通道 24	通道 1	192.0
通道 25	通道 1	51.2
通道 26	通道 1	57.6
通道 27	通道 1	44.8
通道 28	通道 1	51.2
通道 29	通道 1	57.6
通道 30	通道 1	44.8
通道 31	通道 1	51.2
通道 32	通道 1	83.2

32 路的 CoaXPress 接口路数,显著提升了系统的总码速率,实现了 100 Gbps 数据吞吐量要求,有效满足了高码率和大容量数据传输的需求。

2)系统实现了板卡间的精确同步,PXIe 总线相较于于现有方案中使用的 PCIe 总线具备更精准的同步触发机制。这一同步机制确保了系统内各板卡在时序和触发方面的一致性,实现了 32 路 CoaXPress 接口之间 $1 \mu\text{s}$ 的同步精度,为应用场景提供了更高的实时性和可靠性。

3)系统采用了基于 PXIe 的集成架构设计,PXIe 高速背板总线高达数百 Gbps 的传输速率,确保了系统在高速传输方面的卓越性能。这种集成架构设计不仅带来了高度的整合性,还具有灵活扩展和系统便于升级的优势。

4)相较现有方案中少见的自闭环测试链路设计,我们

的系统中设计了接收模块,与发送模块构建自闭环测试链路,为系统提供内建的自检机制。通过实时校验数据的完整性,有效降低了误码率,强化了系统的稳定性和可靠性。

高速串行传输系统设计指标对比如表 4 所示。

表 4 高速串行传输系统设计指标对比

优势	本系统设计	现有方案设计
传输速率	100 Gbps	50 Gbps
通道路数	32 路	8 路
同步精度	$1 \mu\text{s}$	无

总体而言,面对日益增长的空间科学数据需求挑战,我们的系统为新一代空间飞行器载荷一数传链路测试提供了全面有效的解决方案,确保在载荷入轨前对其功能和性能指标进行全面且可靠的评估。

4 结 论

本文研究并实现了基于 CoaXPress 接口的高速串行传输系统。系统采用 PXIe 集成架构设计,8 个发送模块之间精确同步,实现了高达 32 路的 CoaXPress 接口路数,满足了 100 Gbps 的高吞吐量数据传输需求,解决了大容量数据可靠传输的难题。本文重点对系统的关键硬件设计、软件设计和 FPGA 固件逻辑设计进行了介绍,对接口链路信道质量进行了测试,并对 CoaXPress 接口进行了实验室环境下自回环误码率测试及多模块同步精度测试。相较于本领域现有技术方案,本系统不仅在性能上实现了显著的突破,而且通过精确同步、模块化设计以及采用集成架构设计方案,为解决大容量、高速数据传输的难题提供了更为可靠的解决方案。本系统已应用于新一代空间飞行器载荷一数传链路测试,测试结果表明本系统能够模拟新一代空间飞行器相机载荷接口及高速图像模拟数据,保证了新一代空间飞行器载荷一数传链路测试顺利进行。未来可以考虑进一步提升 CoaXPress 接口速率来满足新的测试需求。

参考文献

- [1] 张兴. 高速串行数字接口测试技术研究[D]. 成都:电子科技大学,2022.
- [2] 鲁屿璠,张晋铭,文丰,等. 基于 LVDS 的高精度采集系统的设计[J]. 电子器件,2023,46(5):1242-1248.
- [3] 陶小亮. 基于 USB 总线的低成本舵偏角采集系统设计与应用[J]. 电子测量技术,2021,44(2):43-47.
- [4] 黎超. 基于 FPGA 和 GigE Vision 相机的图像处理系统设计[D]. 成都:西南交通大学,2020.
- [5] 甄国涌,何方城,单彦虎. Camera Link 图像数据接口的 FPGA 实现[J]. 仪表技术与传感器,2020,(11):36-39.
- [6] 甄国涌,丁润琦,张凯华. 基于 Camera Link 的高可靠性图像数据传输设计[J]. 仪表技术与传感器,2021(1):43-47.

- [7] 温超然, 聂婷, 王晓峰, 等. 基于三路同源时钟的 TLK2711 高速数传接口设计[J]. 电子测量技术, 2023, 46(11): 173-178.
- [8] 何品权, 耿晨曦, 张力丹, 等. 高速大容量 TLK2711 接口卫星数传基带模拟源的研制[J]. 科学技术与工程, 2021, 21(36): 15555-15562.
- [9] KAROW T. CoaXPress 2.0-The standard in industrial image processing for demanding applications [J]. Quality, 2021, 60(7): 40-40.
- [10] 任强, 姚远程, 秦明伟. 基于 CoaXPress 的图像采集系统设计[J]. 制造业自动化, 2019, 41(11): 112-117.
- [11] 王腾飞. 基于 CoaXPress 的高速图像采集系统设计[D]. 成都: 成都理工大学, 2021.
- [12] 张晨, 王萌, 孙恩元. 基于 FPGA 和 CoaXpress 的图像采集回放系统 [P]. 湖南省: CN215529119U, 2022-01-14.
- [13] HEJTMÁNEK M, NEUE G, VOLEŠ P. Software interface for high-speed readout of particle detectors based on the CoaXPress communication standard[J]. Journal of Instrumentation, 2015, 10(6): C06011.
- [14] JIANG C, KILCULLEN P, LIU X, et al. Real-time high-speed three-dimensional surface imaging using band-limited illumination profilometry with a CoaXPress interface[J]. Optics Letters, 2020, 45(4): 964-967.
- [15] 刘聪聪, 韩宇, 孙钰林, 等. 北京三号 B 卫星海量数据传输处理系统设计与实现[J]. 航天器工程, 2023, 32(3): 131-137.

作者简介

张梓浩, 硕士研究生, 主要研究方向为自动测试技术及系统、数字仿真及硬件加速等。

E-mail: hit_zzh0828@163.com