

DOI:10.19651/j.cnki.emt.2212100

基于国产芯片的雷达伺服多通信系统

赵书安^{1,2} 周木春¹ 葛超³ 王博文³ 周先春³(1.南京理工大学电子工程与光电技术学院 南京 210094; 2.江苏开放大学信息工程学院 南京 210036;
3.南京信息工程大学电子与信息工程学院 南京 210044)

摘要: 对国产器件的雷达伺服多通道通信平台进行研究,针对雷达伺服系统硬件自主可控和多通道通信复杂的问题,提出一种基于 MCU+FPGA 架构的国产雷达伺服多通道通信系统,以此来提升伺服控制的可靠性、冗余性和通用性,设计了 6 路 RS-422 融合结构,完成和各分系统组件之间的通信,并在 Altium Designer 上完成了器件原理图设计和印制电路板的布局布线,实现了印制板电路 6 层堆叠设计和实物静态测试。测试结果表明本设计的通信系统满足设计需求,能够实现国产替代。

关键词: 国产替代;雷达伺服;多通道通信;硬件设计

中图分类号: TN957 **文献标识码:** A **国家标准学科分类代码:** 510.80

Radar servo multi communication system based on domestic chip

Zhao Shu'an^{1,2} Zhou Muchun¹ Ge Chao³ Wang Bowen³ Zhou Xianchun³(1. School of Electronic and Optical Engineering, Nanjing University of Science and Technology, Nanjing 210094, China;
2. School of Information Engineering, Jiangsu Open University, Nanjing 210036, China;
3. School of Electronic and Information Engineering, Nanjing University of Information Science and Technology,
Nanjing 210044, China)

Abstract: This paper studies the radar servo multi-channel communication platform of domestic devices. Aiming at the problems of autonomous control of radar servo system hardware and complex multi-channel communication, a domestic radar servo multi-channel communication system based on MCU + FPGA architecture is proposed to improve the reliability, redundancy and universality of servo control. A 6-way RS-422 fusion structure is designed to complete the communication with each subsystem component, In addition, the device schematic design and PCB layout and wiring are completed on Altium Designer, and the 6-layer stack design and physical static test of PCB are realized. The test results show that the communication system of this design meets the design requirements and can realize domestic substitution.

Keywords: domestic substitution; radar servo; multi-channel communication; hardware design

0 引言

雷达(radio detection and ranging, Radar)通过发射电磁波照射目标,来接收处理后的回波,从而获取目标的距离、速度、方位等方面的信息^[1-3],在交通、通信和国防等领域发挥着不可取代的作用。雷达伺服系统又作为雷达系统非常重要的子系统之一,其优劣性直接影响了雷达整体对目标探测的实时性、稳定性以及抗干扰等性能^[4]。雷达伺服系统通过电机带动天线转动,快速并准确地搜索目标发射或反射来的无线电信号,以实现目标跟踪、空中警戒以及空中侦查等功能,在航空、导航、军事等领域也占有重要地位^[5]。

我国在 20 世纪 60 年代开始启动转台的相关工作,在 80 年代研制出了我国第一台计算机控制的转台 DPCT-2,在 21 世纪我国研制出的三轴精密转台 SJT-1,其各方面的性能与发达国家的同类设备不相上下^[6-7],国内雷达伺服的应用领域越来越广泛^[8-9],相关技术也愈发成熟。

目前,国内成熟的控制系统的芯片具有潜在信息安全和被卡脖子的风险^[10-12]。为了从根本上解决信息传输的安全问题,从芯片、硬件结构和控制系统等方面开发一个独立、可控的多通道通信处理平台。本设计提出基于国产化器件的雷达伺服控制系统方案,国产化率达 95% 以上,解决了雷达伺服系统内多通道通信问题。

收稿日期:2022-11-16

本文作了以下创新:

1) 系统硬件设计部分。以 GD32F407VGT6 和 CLX25-668 作为最小系统主控芯片,外扩 JDP83848 芯片为以太网端口物理层(port physical layer, PHY)收发器,TD301DCANH3 芯片为 CAN 总线收发模块,ER3030SS 型四高速差分线驱动器为串口通信的物理接口,并根据各芯片工作需求完成电源和时钟模块设计。优化了印制板电路布局布线,实现了印制板电路 6 层堆叠设计和实物静态测试^[13]。

2) MCU+FPGA 逻辑开发部分。基于外部存储器控制器(external memory controller, EXMC)协议,优化了 MCU 与 FPGA 本地的通信接口与数据传输方式,实现了 MCU+FPGA 底层的接口配置和 FPGA 收发逻辑驱动。根据串口通信协议,FPGA 设计实现底层串口通信驱动,自定义 RS-422 数据帧格式,实现了高效可靠的传输方式;并完成了 6 路 RS-422 融合模块,实现了底层收发逻辑和微控制器辅助存储控制,弥补了微控制器接口资源不足、并行处理弱的缺点。

1 方案设计

1.1 方案设计

本设计采用 FPGA+MCU 的硬件架构,主要有以下优点:1)系统硬件架构相对简单 2)任务分配明确 3)功能模块化设计。

本设计将微控制器的 GPIO 直接与 FPGA 的 BANK 引脚互连,微控制器的信号都将由 FPGA 管理,不仅可以发挥数据加速处理的优势,还可以弥补 MCU 扩展难和冗余性差的缺点。

根据本硬件平台设计需求、逻辑资源数量等综合考虑,最终选取了中电第五十八研究所研制的 CLX25-668 芯片,兆易创新的 GD32F407VGT6 作为系统的主控逻辑芯片。

雷达伺服电机之间信号传输必须具备一定的抗电磁干扰和远距离传输能力。本系统最终采用以太网中断接收上位机指令,CAN 总线主要负责对驱动模块之间进行数据的收发功能,RS-422 总线用与各个分系统之间的数据传递。

1.2 系统整体架构设计

雷达伺服控制系统逻辑开发主要分逻辑控制设计和扩展接口设计。本设计的雷达伺服多通道通信系统主要以国产微控制器负责逻辑控制功能,FPGA 负责扩展接口和信号处理功能,拓展了以太网、CAN 总线和多路 RS-422 的通信接口。整体逻辑架构如图 1 所示。

2 原理分析与硬件电路图

本章主要分析硬件设计部分,分别阐述了 GD32F407VGT6 微控制器模块、CLX25-668 模块、时钟模块和电源模块的硬件配置方案。并结合国产器件数据手册和多层堆叠设计思想,完成印制电路板的布局布线。最后

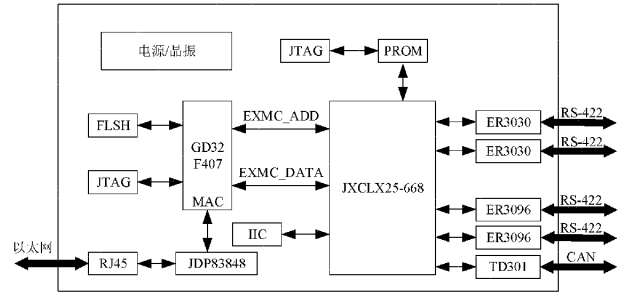


图 1 系统整体逻辑架构设计

完成了 PCB 实物静态测试。

2.1 GD32F407VGT6 微控制器模块设计

GD32F407VGT6 微控制器主要实现雷达伺服多通道通信系统的信号控制、命令处理和逻辑控制,FPGA 辅助微控制器做并行数据处理、信号管理和扩展接口。微控制器模块设计如图 2 所示。

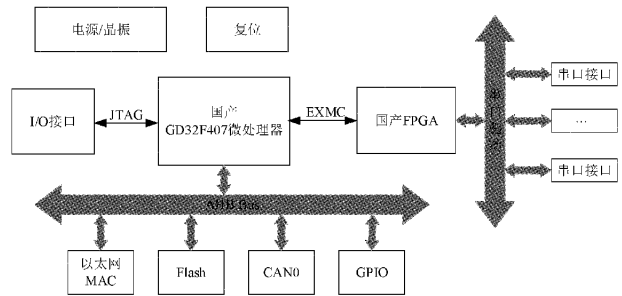


图 2 GD32F407VGT6 微控制器模块设计

微控制器模块扩展了 CAN 总线接口、以太网接口和 6 路串口接口。其中 CAN 总线信号经过 FPGA,但 FPGA 不做数据处理,FPGA 实现 6 路串口接口底层收发驱动编写和数据处理,微控制器负责 6 路串口数据传输方向控制。

2.2 CAN 总线接口配置

GD32F407VGT6 芯片具备 2 路 CAN 总线驱动接口,适合在 CAN 总线数据量不大和抗干扰性要求不高的环境下使用。在雷达伺服控制电路中,CAN 总线控制驱动器驱动电机,需要传输具有良好的错误检测效果。因此采用广州金升阳 TD301DCANH3 单路高速 CAN 隔离收发模块,不仅增强了 CAN 总线传输效率,而且降低了原理图设计难度^[14]。TD301DCANH3 芯片内部工作结构如图 3 所示。

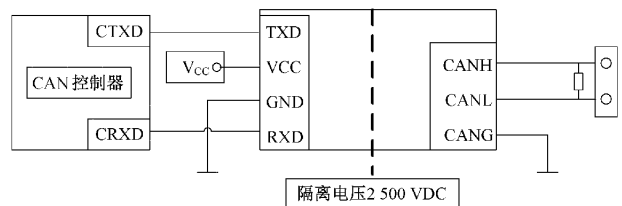


图 3 TD301DCANH3 芯片内部工作结构

根据工作结构图,将 CAN 控制器替换为本设计的 GD32F407VGT6 微控制器。CAN 总线物理层主要采用

CANH 和 CANL 两个信号组成 CAN 总线网络,在总线上的所有设备都可以完成数据通信,每个设备视为 CAN 节点。微控制器通过单路高速 CAN 隔离收发模块与驱动器通信如图 4 所示。

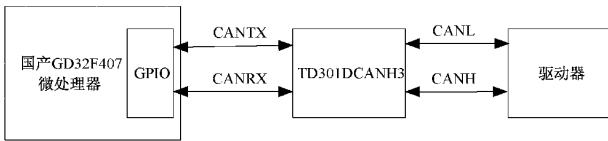


图 4 微控制器通过单路高速 CAN 隔离收发模块与驱动器通信

2.3 以太网 RMII 接口配置

微控制器通过 AHB 总线控制一路 10/100 Mbps 以太网 MAC 接口,外置 PHY 芯片采用中国电科五十八所的外置独立 JDP83848 芯片。该芯片支持 IEEE802.3 的 RMII 和 MII 和 SNI 的接口和 AUTO MDIX 功能。本设计使用 RMII 接口传输,其传输位宽为 2 Bit,采用外部 50 MHz 时钟源^[15]。

2.4 CLX25-668 模块设计

CLX25-668 FPGA 模块总体设计如图 5 所示。印制板电路上的元器件引脚和对外拓展接口均与 CLX25-668 芯片 I/O 相连,充分发挥 FPGA 现场可编程能力和数据并行流水处理的特点,简化后期 PCB 板设计难度。本设计采用 CLX25-668 作为接口管理和数据处理模块,将微控制器的 CANH 与 CANL 信号在 FPGA 内交换赋值即可弥补微控制器直连的缺点。

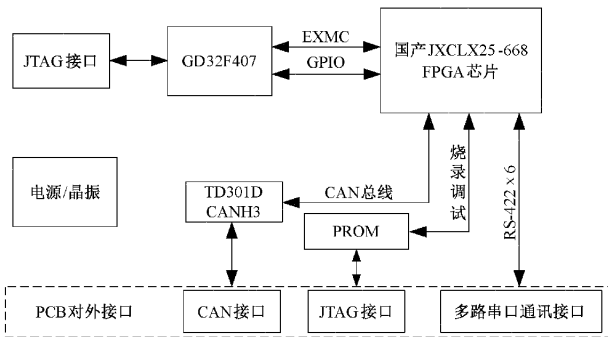


图 5 CLX25-668 模块总体框架设计

2.5 RS-422 接口配置

本设计通过 RS-422 接口完成采样数据的传输,共拥有 6 路 RS-422 接口,分别与监控组件、极化组件和纵横摇组件等不同的自动化设备之间串口通信。RS-422 接口硬件电路设计如图 6 所示。

2.6 时钟模块设计

时钟模块为元器件提供工作所需的时钟,根据对比分析,最终使用的是南京中电熊猫的贴片晶振作为外部时钟源,Vcc 引脚接入 3.3 V 电压,OUT 引脚与 FPGA 专用时钟引脚相连即可。

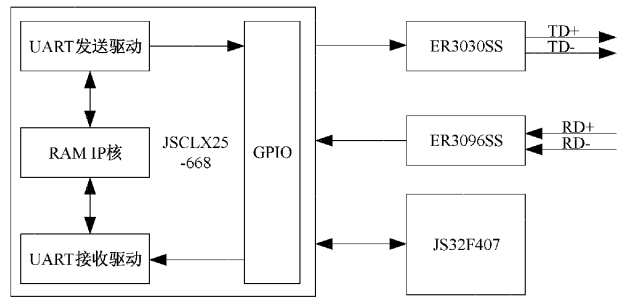


图 6 RS-422 接口硬件电路设计

2.7 电源模块设计

本设计均采用 3.3 V 电源为工作电压,供电设备采用北京迪赛正科技有限公司的 BBN6A-3SX-LB DC-DC 电源和 JS74401 LDO 电源。其中 BBN6A-3SX-LB 采用不隔离降压同步整流变换技术,抗干扰性强。JS74401 是线性稳压器电路,具有软启动、过流保护和过压保护等功能。

3 雷达伺服多通道通信系统逻辑开发

3.1 雷达伺服控制系统逻辑架构

雷达伺服控制系统逻辑架构如图 7 所示。系统初始化过程中各分系统状态数据主要由“监控”系统发送至上位机,上位机控制面板显示所有的设备状态。

3.2 微控制器与 FPGA 通信模块

本设计基于微控制器中外部存储器控制器 EXMC 引脚设计微控制器与 FPGA 的通信模块。外部存储器控制器主要用来访问各种片外设备,通过配置寄存器,外部存储器控制器可以把高级微控制器总线架构协议转换为外部设备的通用 RAM 协议,微控制器与 FPGA 之间的连接方式图 8 所示。

在微控制器与 FPGA 的通信模块中,采用微控制器主、FPGA 从的异步复用工作模式。

系统逻辑开发中通过 FPGA 硬件语言将 8 位 EXMC_A [23;16]地址信号通过 8~256 译码器设计成 256 个微控制器片选信号,由于非复用数据地址,EXMC_A 低位默认为“00”。

当微控制器进行写操作时,将 16 位数据赋值给外部设备地址映射的基地址加上微控制器片选偏移量,此时外部存储器控制器将 EXMC_NEW 写信号电平拉低,而 EXMC_NOE 读信号一直处于拉高状态,外部存储器控制器接收到写信号与微控制器片选信号后给对应地址位置的寄存器进行赋值。微控制器数据发送至 FPGA 寄存器时序和状态机如图 9、10 所示。

数据通过微控制器片选信号和写信号将数据存入临时寄存器后再读取,保证数据的可靠性和系统的健壮性。微控制器读取 FPGA 寄存器数据时序和状态机如图 11、12 所示。

3.3 伺服机柜分系统通信模块

伺服机柜采用 RS422 全双工差分传输可以实现数据同时收发且具有较好的抗干扰能力^[16]。RS-422 采用 TX+、TX- 和 RX+、RX- 四根信号线,实现同时发送与接收,在

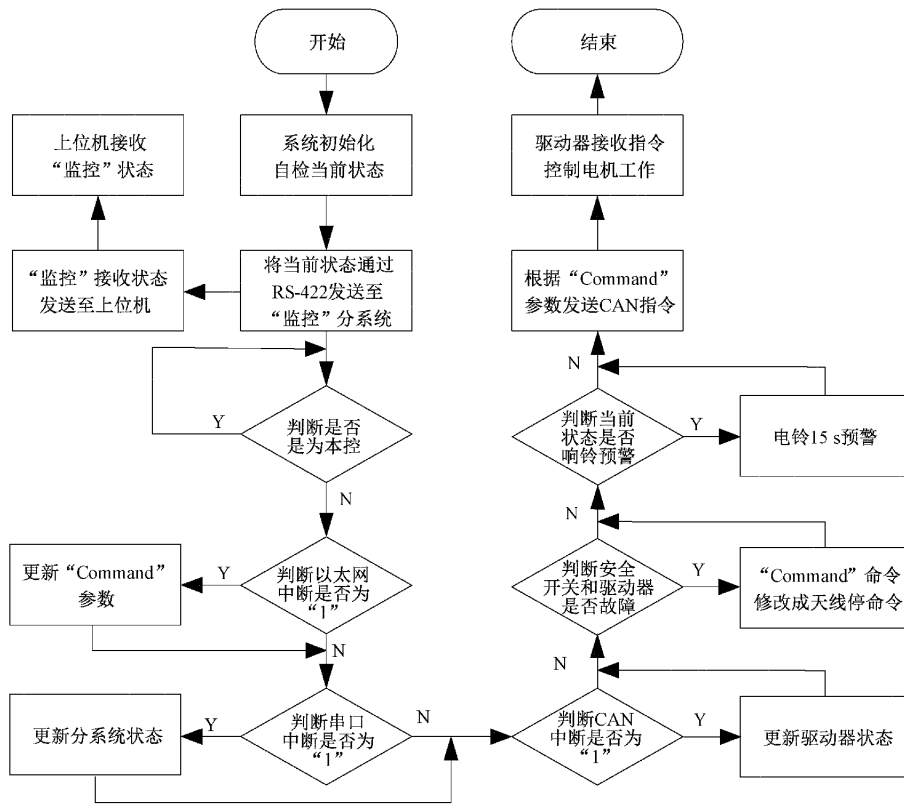


图 7 雷达伺服控制系统逻辑架构

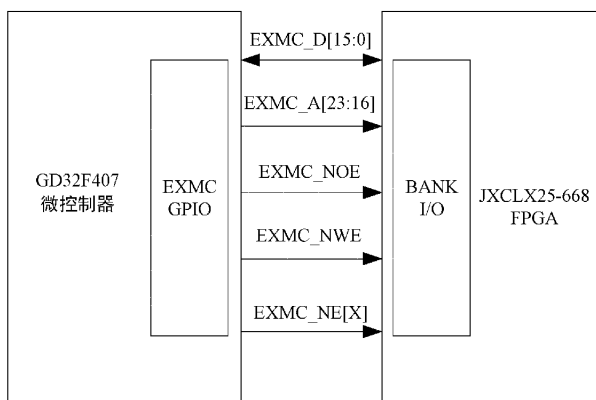


图 8 微控制器与 FPGA 端口配置

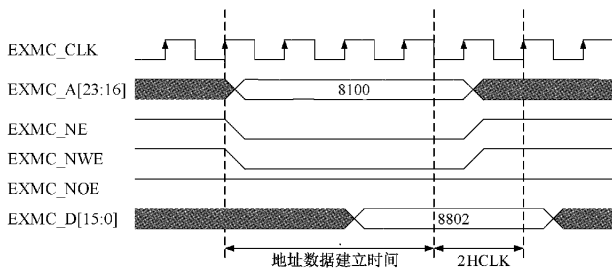


图 9 微控制器数据发送至 FPGA 寄存器时序

接收端对两天线进行差分计算减少干扰。

本设计采用首尾校验数据帧格式,因此在采集完 8 位

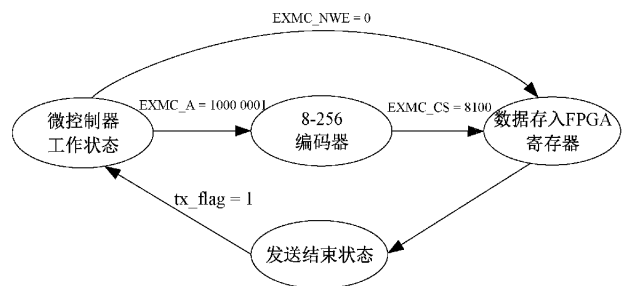


图 10 微控制器数据发送至 FPGA 寄存器状态机

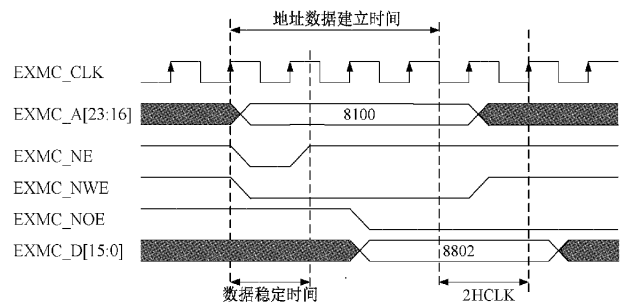


图 11 微控制器读取 FPGA 寄存器数据时序

数据后直接进入停止位,舍弃了传统的校验位。数据接入 FPGA 后,头部比特持续两个时钟为“0”,则为起始位使能拉高,根据时钟上升沿计数,计 8 位数并接收比特接收 8 bit 数据,不考虑校验位并拉低使能,数据尾部以比特“1”

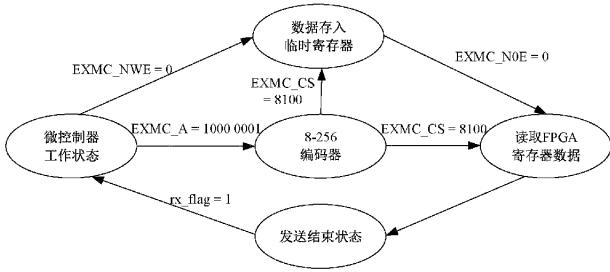


图 12 微控制器读取 FPGA 寄存器数据状态机

为结束位。RS-422 串口通信发送“8a”头字节时序如图 13 所示。

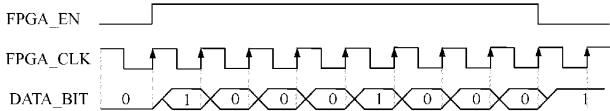


图 13 RS-422 串口通信发送“8a”头字节时序

数据串行转并行接收模块状态机如图 14 所示。

数据并行转串行发送模块中采用状态机逻辑开发，数据并行转串行的发送状态机如图 15 所示。

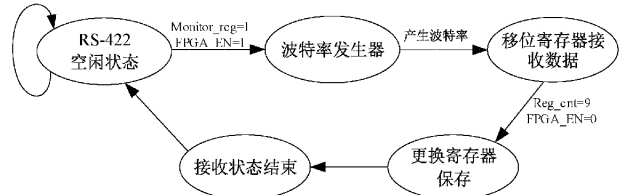


图 14 数据串行转并行接收模块状态机

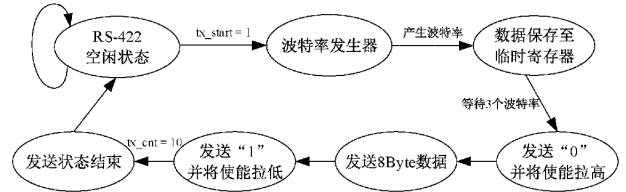


图 15 数据并行转串行发送模块状态机

现代雷达伺服分机系统内各分系统均采用 6 路 RS-422 串口通信，微控制器串口通信接口资源无法满足系统要求，因此利用 FPGA 可编程逻辑阵列特点，针对微控制器片内资源不够，提出由微控制器控制 FPGA 实现的多路 RS-422 融合结构。多路 RS-422 融合总体设计如图 16 所示。

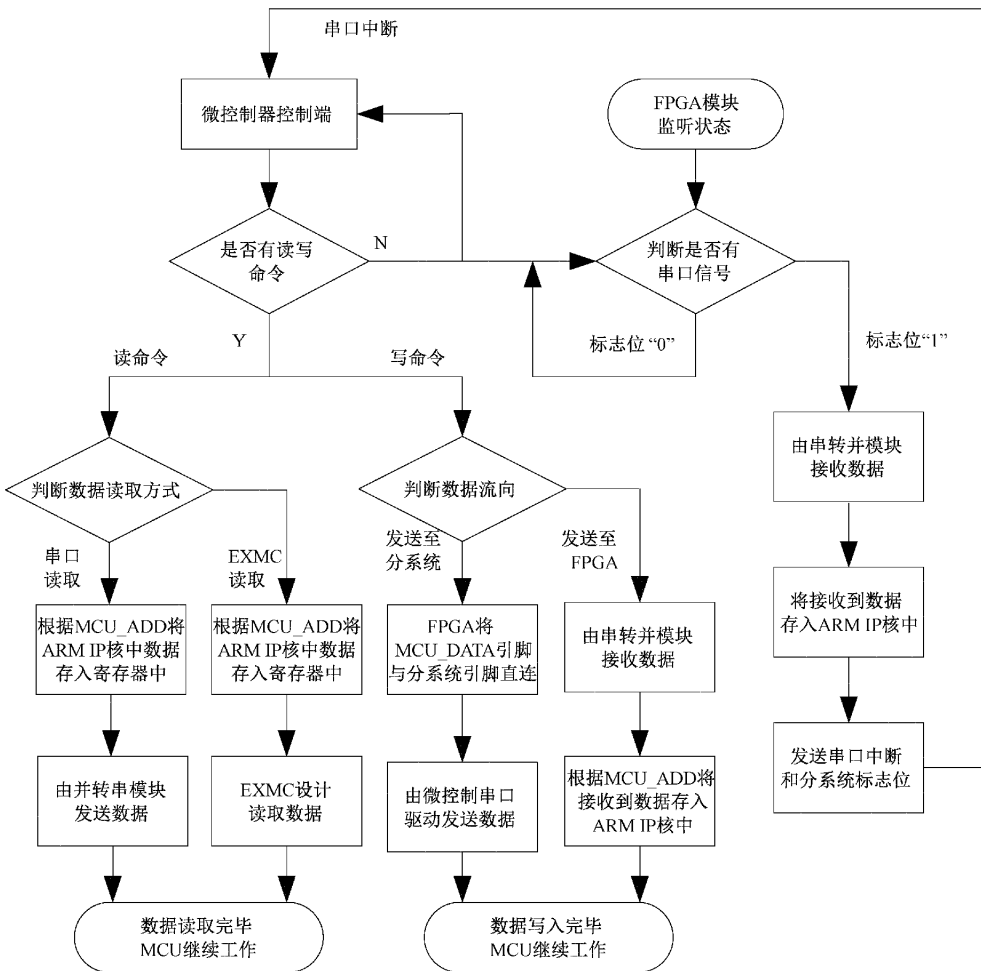


图 16 多路 RS-422 融合设计

本系统进入工作状态时,当需要读取或写入串口数据时,微控制器与 FPGA 进入多路 RS-422 融合设计。微控制器主要负责数据流向控制、逻辑开发步骤和数据命令转换;FPGA 主要负责数据实时的接收、校验、处理、存储和发送,以及协助微控制器完成数据预处理和模块调用。根据多路 RS-422 融合设计要求,微控制器采样管理分为数据读取模块和数据写入模块。

4 系统测试及结果

本章主要叙述了雷达伺服多通道通信平台的测试方法和测试结果。根据系统功能搭建测试平台;然后使用示波器对系统硬件平台电源、时钟和功耗进行检测;最后对逻辑功能测试,包括对微控制器与 FPGA 之间通信信号进行监测,分系统间 RS-422 接口传输功能验证,并且模拟了三路 RS-422 接口传输性能,还有上位机控制驱动器通信功能验证。

4.1 系统测试平台

雷达伺服控制电路实测环境如图 17 所示。

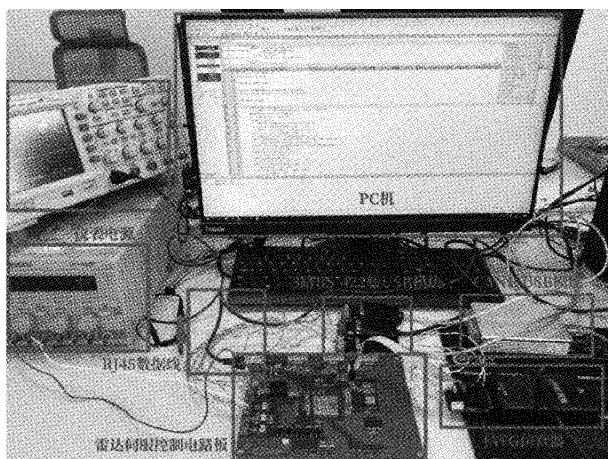


图 17 雷达伺服控制电路实测环境

4.2 系统硬件测试

本系统电源模块采用 5 V 电压输入,通过 3 片 DC-DC 电源芯片和一片 LDO 电源芯片转换成多路 3.3、2.5、1.8 和 1.2 V 电压。根据印制电路板电源供给设计,对微控制器、FPGA 和通信芯片电源接口进行检测。示波器对电路板电压实测结果如图 18 所示,电源模块供电正常。

根据时钟模块设计,GD32F407VGT6 微控制器采用 25 MHz 工作时钟;CLX25-668 FPGA 采用 40 MHz 工作时钟;JDP83848 PHY 芯片采用 50 MHz 工作时钟。利用数字示波器对 FPGA 40 MHz 时钟实测结果如图 19 所示。

电路板功耗测试需要保证系统各器件处于正常状态,电路板功耗实测如图 20 所示。

根据仪表电源电压和电流数值计算,电路板正常状态整体功耗为 4.55 W,满足电路板硬件设计需求。

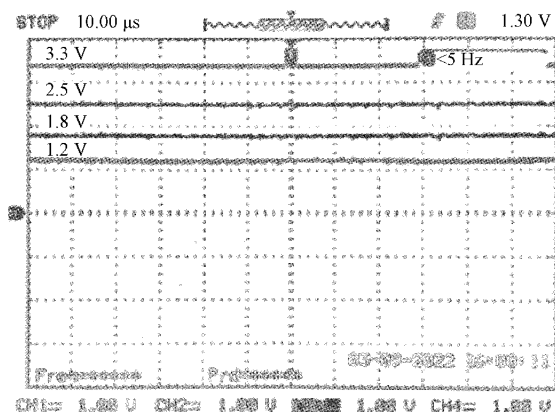


图 18 示波器对电路板电压实测结果

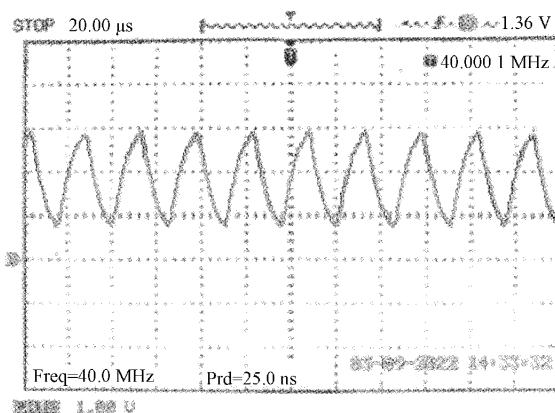


图 19 FPGA 40 MHz 晶振示波器实测波形

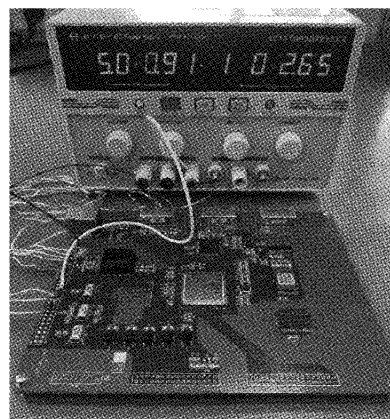


图 20 电路板功耗实测

4.3 系统逻辑功能测试

微控制器与 FPGA 通信时,模拟外部存储器控制器协议对 FPGA 内方位全量码寄存器写入数值,微控制器发送地址和数据,写信号由 EXMC 协议自动发出。EXMC 写入数据信号检测界面如图 21 所示。

当 FPGA 监听到写和片选信号后,将全量码寄存器中数据存入临时寄存器中,等到监听到读和片选信号时,再从临时寄存器中读取数据,保证数据不易出错。微控制器

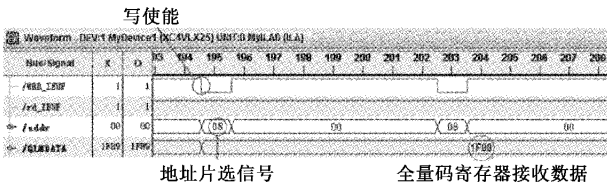


图 21 EXMC 写入数据信号检测界面

读 FPGA 寄存器数据信号检测界面如图 22 所示, 测试结果表明, 数据实现稳定传输。

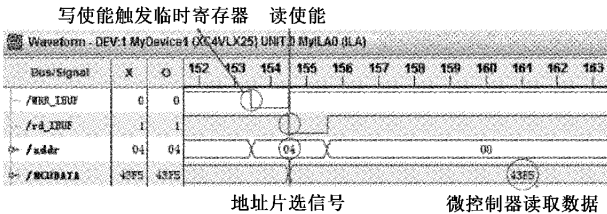


图 22 EXMC 读取数据信号检测界面

本系统是雷达伺服机柜其中分系统之一, 各分系统之间采用 RS-422 接口实现数据传输。示波器实测信号如图 23 所示。

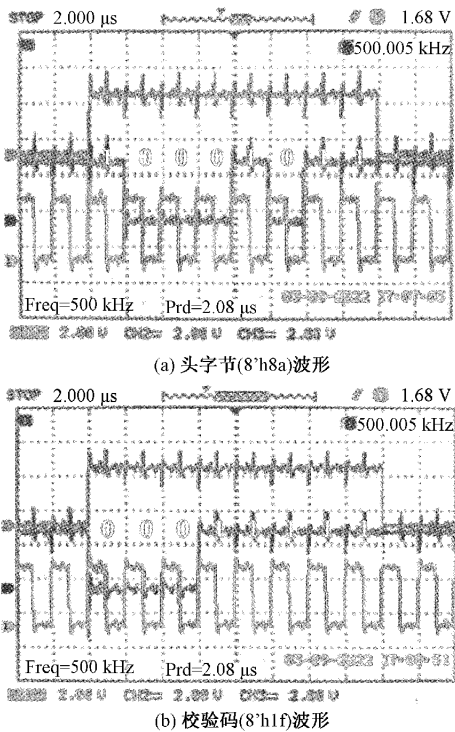


图 23 RS-422 信号数据波形

示波器实测共有 3 根信号线, 由上到下分别为使能信号、数据信号和时钟信号。观察可知数据头字节信号为 (1000 1011), 校验码信号为 (0001 1111), 与发送端数据吻合, 符合设计要求, 信号准确无被干扰情况。

4.4 上位机控制驱动器通信功能验证

雷达伺服调试软件“方位组件”界面如图 24 所示。

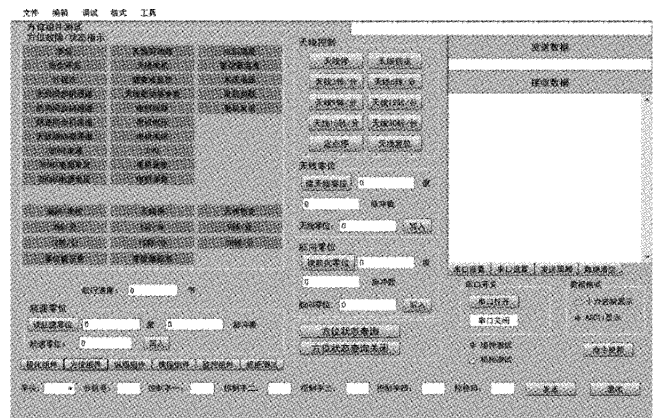


图 24 雷达伺服调试软件“方位组件”界面

“天线控制”模块如图 25 所示。



图 25 “天线控制”模块

CANTest 软件接收界面如图 26 所示。

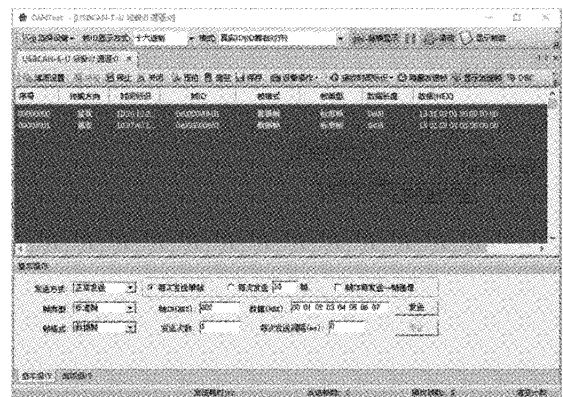


图 26 CANTest 软件接收界面

观察 CANTest 软件接收界面得知, CANTest 软件接收数据与上位机调试软件发送指令一致。测试表明, 上位机伺服调试软件中“方位组件”发送天线工作指令, 由微控制器通过 CAN 总线准确转发至驱动器, 满足雷达伺服控制逻辑功能。

4.5 控制系统功能测试分析

根据给定功能参数使用 Simulink 的 MATLAB Function 模块生成方位和俯仰轴的给定角度, 通过三闭环控制回路后, 仿真模型下方位和俯仰位置如图 27 所示, 方位轴速度为 60°/s, 俯仰轴指向 20°, 满足要求。

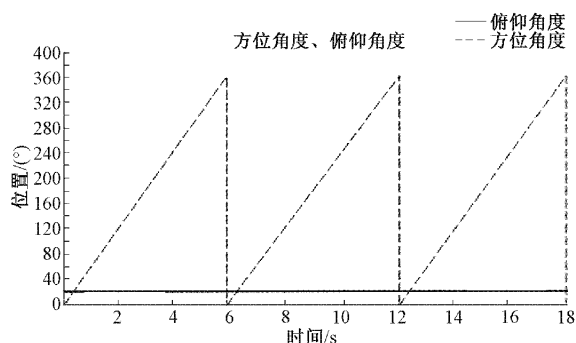


图 27 方位环视仿真图

扇区搜索是方位轴在给定范围内按照给定速度进行扇扫运动,而俯仰轴则是在给定范围内按照给定步长往复运动,步进点为方位轴运动到扇扫边界的时刻,设定参数为方位轴扇扫范围为 $30^{\circ} \sim 60^{\circ}$,扇扫速度为 $10^{\circ}/s$,俯仰轴的步进范围为 $0^{\circ} \sim 30^{\circ}$,步长为 10° ,仿真结果如图 28 所示满足实验要求。

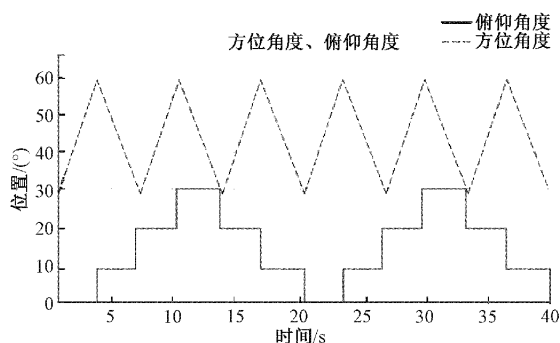


图 28 扇扫功能调试图

当雷达搜索到目标物体后,就要进入跟踪模式,开始对目标物体进行跟踪。通过硬件的开发,要求雷达转台能快速地跟上目标物体,并且使误差能够限制在一定的范围之内。在实验室平台下,通过上位机模拟目标航迹,每个位置环周期进行目标位置的下发。在进行功能的测试时,选择总的飞行距离为 $s=1000\text{ m}$,飞行的速度为 $v=25\text{ m/s}$,截距为 $d=75\text{ m}$ 。在不加入前馈控制量,执行跟踪功能时,测得的跟踪误差曲线如图 29 所示。

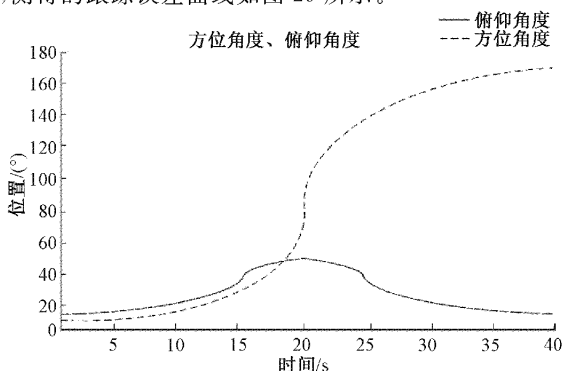


图 29 跟踪功能角度曲线

通过观察可知,雷达伺服电机的指向功能扇扫功能和跟踪功能都符合预期,跟踪误差和跟踪的精度满足实验要求。

5 结 论

本文根据多通道通信系统的总体架构,完成了硬件平台设计。采用模块化设计,将硬件平台主要分为 GD32F407VGT6 模块、JXCLX25-668 模块、时钟模块和电源模块,其中 GD32F407VGT6 模块和 JXCLX25-668 模块又分别拓展了 CAN 总线接口配置、以太网 RMII 接口配置、JTAG 接口配置和 RS-422 接口配置、PROM 接口配置。本设计完成了雷达伺服多通道通信系统的逻辑开发。根据系统多通道通信需求,设计雷达伺服控制系统逻辑架构,完成了控制指令从上位机发送到天线接收的整个流程。基于 EXMC 协议实现了微控制器与 FPGA 之间通信设计。FPGA 拓展设计了多路 RS-422 通信接口,实现了伺服机柜分系统间的数据传输。微控制配置以太网 RMII 接口和 CAN 总线接口,实现了上位机控制驱动器驱动天线的数据传输。最后对电路板进行系统测试,各项指标均满足设计要求。

参考文献

- [1] 姜仁华,刘闯,宁银行,等. 雷达伺服系统耦合力矩对跟踪精度影响分析[J]. 电机与控制学报, 2020, 24(1):18-26.
- [2] HAN OH S, DING K, SONG D, et al. Feasibility study of fiducial marker localization using microwave radar[J]. Medical physics, 2021, 48(11): 7271-7282.
- [3] 刘凡,袁伟杰,原进宏,等. 雷达通信频谱共享及一体化:综述与展望[J]. 雷达学报, 2021, 10(3):467-484.
- [4] WANG L, WU X B, PI X SH, et al. Numerical simulation and inversion of offshore area depth based on x-band microwave radar[J]. Acta Oceanologica Sinica, 2015, 34(3):108-114.
- [5] 曾正茂,曾金全,黄新洲,等. Ka 波段云雷达速度模糊质量控制及对云探测影响的评估[J]. 国外电子测量技术, 2022, 41(5):31-36.
- [6] 徐梦溪,陆云扬,谈晓珊,等. 固态激光雷达传感器技术及无人机载测深应用[J]. 电子测量技术, 2021, 44(15):89-96.
- [7] 张浩,左杭,刘宝华. 视觉与二维激光雷达的目标检测方法[J]. 电子测量与仪器学报, 2022, 36(3): 79-86.
- [8] 兰浩然,李旭,朱建潇,等. 遮挡环境下基于路侧异源雷达融合的多交通目标鲁棒跟踪方法[J]. 仪器仪表学报, 2022, 43(11):31-39.
- [9] 杨路,周文豪,余翔,等. 一种抑制杂波的高精度车载雷达目标检测方法[J]. 仪器仪表学报, 2022, 43(10): 145-151.

- [10] 汤志伟, 李昱璇, 张龙鹏. 中美贸易摩擦背景下“卡脖子”技术识别方法与突破路径——以电子信息产业为例[J]. 科技进步与对策, 2021, 38(1):321-329.
- [11] 徐济宽, 马治国. 科技法迭代视域下芯片国产化的法律规制与引导——也谈“华为”如何破局[J]. 科技进步与对策, 2022, 39(6):112-120.
- [12] 汤辉, 刘喆. 实时以太网 EtherCAT 在某大型机动雷达伺服系统中的应用[J]. 雷达与对抗, 2017, 37(4):58-61.
- [13] CHEN P C. The control system of pipeline internal welding machine based on programmable logic device [J]. Mechatronics, 2005, 11(3):57-62.
- [14] 莫峻, 谭建成. 基于并行冗余协议的高可靠性过程总线通信研究[J]. 电子学报, 2012, 27(4):263-268.
- [15] 齐佳硕, 王洪岩. 基于 FPGA 的 SDRAM 接口设计及实现[J]. 电子测量技术, 2018, 41(19):141-144.
- [16] 林小娟, 曹战民, 刘丹, 等. 基于 RS422 接口的 CAN 设备智能数据检测节点[J]. 电子测量技术, 2014, 37(11):55-59.

作者简介

赵书安, 博士研究生, 副教授, 主要研究方向为光电通信与信息处理。