

DOI:10.19651/j.cnki.emt.2209009

基于双缓存技术实现光谱数据高速采集与处理^{*}

张华夏 陈青山 王艳林

(北京信息科技大学仪器科学与光电工程学院 北京 100192)

摘要: 为了提高数字式光谱仪的测量效率,研究并实现一种基于FPGA+ARM架构和两级数据缓存的嵌入式高速数据采集与处理技术。采用FPGA为高速A/D转换器提供采样时钟,采样数据由FIFO进行一级缓存,实现跨时钟域的数据传输。采用ARM外围设置的动态数据随机存储器(DDR3)完成二级缓存,解决由于数据实时处理相对偏慢所造成的数据传输堵塞、丢失等问题。实验测试表明数据传输稳定可靠,采集速率可达65 MHz,传输速率最高可达25.6 Mbytes/s,归一化光谱强度误差小于0.5%。可推广应用于具有大吞吐量嵌入式数据采集与实时计算处理需求的精密仪器与设备。

关键词: 光谱数据;直接存储器访问;高速采集;缓存

中图分类号: TN919.5 **文献标识码:** A **国家标准学科分类代码:** 510.4010

Dual-cache based high speed spectral data acquisition and processing

Zhang Huaxia Chen Qingshan Wang Yanlin

(School of Instrument Science and Optoelectronic Engineering, Beijing Information Science and Technology University, Beijing 100192, China)

Abstract: In order to improve the measurement efficiency of digital spectrometer, an embedded high-speed data acquisition and processing technology based on FPGA + ARM architecture and two-level cache is investigated and implemented. The FPGA is used to provide a sampling clock for a high-speed A/D converter. The sampled data is then cached by a FIFO so as to realize cross clock domain data transmission. A DDR3 integrated with the ARM is used as a second cache to avoid data jam and loss phenomenon during the high speed transmission due to the relatively slow data processing by the ARM. Experimental tests show that the acquisition rate is up to 65 MHz, and the transmission rate is up to 25.6 Mbytes/s, and the normalized spectral intensity error is less than 0.5%. The achievements present herein can be generalized into such applications as precision instruments, equipment, digital devices and so on, wherein high speed and large throughput data acquisition and real-time data computation are usually indispensable.

Keywords: spectral data; direct memory access; high-speed data acquisition; cache

0 引言

光谱仪是一种测量与分析光源的光谱强度相对分布的仪器,广泛应用于物质分析、天文遥感、地质勘测等领域^[1-2]。随着数字系统的迅速发展,光谱采集速度越来越快,光谱数据越来越多^[3]。准确获取光谱信号以及实时处理、分析、显示光谱信息是光谱仪的关键技术,这一关键技术是由光谱仪的数字处理系统实现的。

进入信息时代以来,人们针对数字式光谱仪,完成了大量的数据采集传输与计算处理技术方面的研究。袁洪平等设计了一种高速光谱仪数据采集系统,该系统采用现场

可编程逻辑器件(field programmable gate array, FPGA)作为处理器,能够有效解决数据丢失的问题,但是传输速率不高^[4]。Esmaeili等^[5]基于FPGA与数字信号微处理器(digital signal processor, DSP)设计了一款伽马光谱仪,主要功能是提取大流量堆积事件的能量信息,该系统能够提取有效光谱数据,但是没有交互功能。黄超等^[6]设计了一种基于FPGA与高性能精简指令集计算机(advanced RISC machines, ARM)的高速数据采集系统,其采样率可以达到3 MS/s,前期设计了电荷耦合器件数据采集功能,能够完成数据的正常采集,但是只停留在了前期采集数据阶段,没有完善整个系统。

收稿日期:2022-02-14

^{*} 基金项目:国防军工重点计量科研项目(JSJL2019208B001)资助

目前主流的数字处理系统架构主要有 ARM、FPGA 和 DSP^[7]。其中,ARM 具有优异的系统级架构模式,可运行实时操作系统及应用程序,适合硬件设备的驱动控制,然而其中断通知式的工作线程切换模式对高速数据采集和传输适用性不高^[8]。FPGA 的并行处理方式利于高速采集与传输,但其设计架构难以胜任大量浮点数处理^[9]。DSP 擅长于高速数据计算处理,但对硬件设备的驱动控制则不太方便^[10]。因此,组合形式的处理系统在高速信号采集与数据处理应用广泛。光谱仪需要实时显示和硬件设备驱动,ARM 比 DSP 更有优势,因此 FPGA+ARM 的架构成为了光谱仪数据处理系统的优化选择^[11-12]。

鉴于,本文针对数字式光谱仪,研究并实现一种基于 FPGA+ARM 架构和两级数据缓存的嵌入式高速数据采集与处理系统,兼具数据的高速采集、跨时域传输、实时计算处理,并驱动外设完成输出显示等功能。

1 数字式光谱仪与数据采集

数字式光谱仪结构如图 1 所示,主要由光信号处理、数据采集、数据传输与处理和设备驱动与交互 4 部分组成。光源发出的光进入分色仪,分光后的单色光进入光电转换器产生微弱的光电流,光电流进入信号调理电路后再进入 A/D 转换电路,FPGA 给 A/D 转换芯片提供 65 MHz 的采样时钟,A/D 转换电路将模拟信号转换为数字信号传输至一级缓存即先进先出队列(first in first out, FIFO)等待传输。外设通过 Linux 操作系统下发传输指令到 FPGA, FIFO 与直接存储器访问(direct memory access, DMA)控制器通过高级可扩展接口数据流(advanced eXtensible interface 4 stream, AXI4-stream)协议传输数据到 DMA IP 并传输至 DDR3(double-data-rate three synchronous dynamic random access memory, DDR3)进行二次缓存,DMA 驱动从 DDR3 读取数据,之后传输至 ARM 并完成数据处理,光谱仪的其他设备如显示等通过驱动程序可以与操作系统进行交互,实现数字式光谱仪。

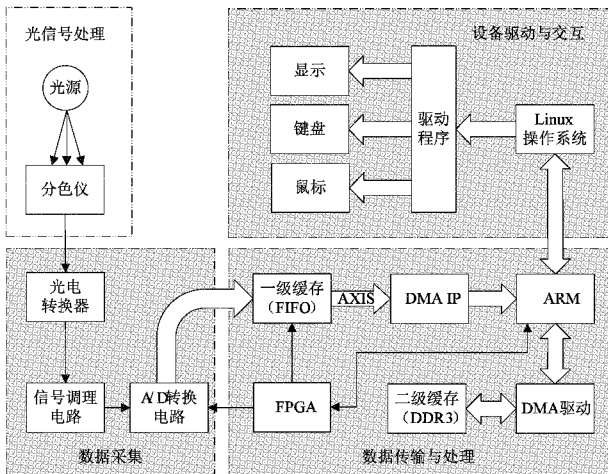


图 1 光谱数据采集系统构成

DMA 传输仅需在开启和中断 DMA 控制器的时候告知 ARM 的中央处理器(central processing unit, CPU)即可,传输数据期间不占用 CPU,有效地提高了 CPU 的利用率。采用 FIFO 和 DDR3 的双缓存架构对光谱数据缓存和储存。其中,FIFO 可以解决跨时域数据传输,DDR3 提供大容量的储存空间以满足大吞吐量数据的储存以便后续的数据处理。

2 数据缓存与传输设计

2.1 一级缓存与 AXI 总线

1) FIFO 缓存配置

高速 A/D 采集时钟(adc_clk)为 65 MHz,AXI5 时钟也是显示时钟(M_AXIS_CLK)为 142 MHz,为实现跨时域的数据传输,使用了 FIFO 进行异步数据传输。FIFO 是一种顺序写入、顺序读出、无外部地址线的双端口数据缓存器^[13]。可以用来适配不同时钟域的数据传输,设计逻辑如图 2 所示,分为写逻辑和读逻辑,当采样深度达到设定值时写使能(wr_en)无效,反之则一直保持有效。读状态(empty)与外部控制(tready)共同决定读使能(rd_en)。

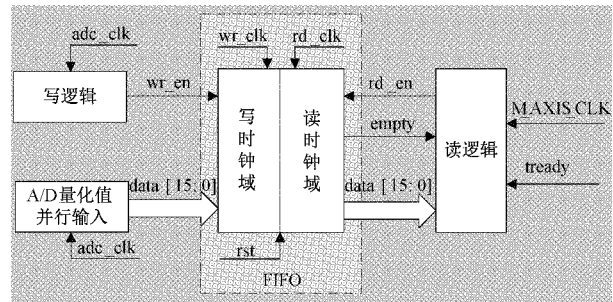


图 2 基于 FIFO 的一级缓存

2) AXI 总线协议

第 1 节论述了数据从一级缓存出来后进入 DMA IP 中,其中,FIFO 缓存作为主机(master),DMA IP 作为从机(slave)以高级可扩展接口(advanced extensible interface, AXI)总线协议传输数据,AXI 是一种用于片上系统内 IP 互联的总线规范,目前发布的最高版本是 AXI4^[14]。AXI4-stream 是 AXI4 总线协议中的一种类型,主要面向数据流(pipelining)传输,不需要配置内存地址。FIFO 与 DMA IP 之间数据传输具体握手协议如图 3 所示。显示时钟(clk)上升沿作为触发,一次完整的传输包括 3 个时刻与 1 个时间段。 t_0 时刻,tready 信号为高电平且 FIFO 标志位 empty 信号为低电平时,下一个时钟沿即 t_1 时刻,tvalid 为高电平。只有当 tready 和 tvalid 同时为高即 T 时间段,主机开始向从机传输数据,传输完最后一个字节数据之后,下一个时钟沿即 t_2 时刻,tlast 高电平有效,保持一个时钟周期高电平后变为低电平,整个主机与从机的数据传输完成。

2.2 二级缓存与传输

一级缓存解决了跨时钟域数据传输的问题,但 FIFO 的

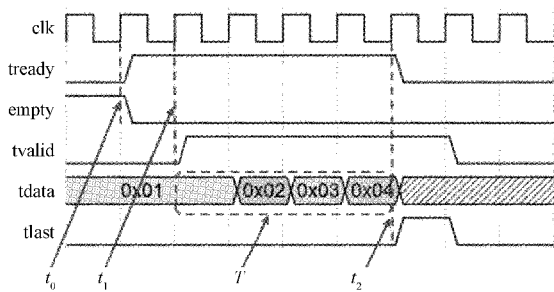


图 3 AXI4-stream 握手协议

缓存能力是有限,且其主要功能是跨时钟数据传输。为了存放大量的光谱数据需使用内存更大的 DDR3 作为二级缓存。基于 DDR3 的二级缓存如图 4 所示,FPGA 通过高性能接口(high-performance, HP)与 ARM 挂载的内存为 512 Mbytes DDR3 进行数据交互,数据传输均满足 AXI4 总线协议^[15]。为了实现 Linux 系统的高速传输,设计了 DMA 驱动代码,该驱动是基于 DMA engine(Linux 官方驱动内核)架构设计的单向传输字符型设备驱动,可以实现从 ARM 到 DDR3 的双向数据搬移,有效降低 CPU 负担^[16-17]。

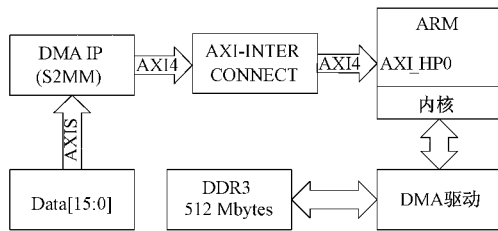


图 4 基于 DDR3 的二级缓存

DMA 驱动按字节传输数据,设计的基本框架如图 5 所示,驱动程序完成之后需要加载至内核或系统,自然也会有卸载,设备号与驱动匹配之后进入平台(platform)函数,并完成驱动的基本流程、设备操作函数即打开、关闭、读写和控制等,在读函数中将数据从 DDR3 搬移至内核中。在整

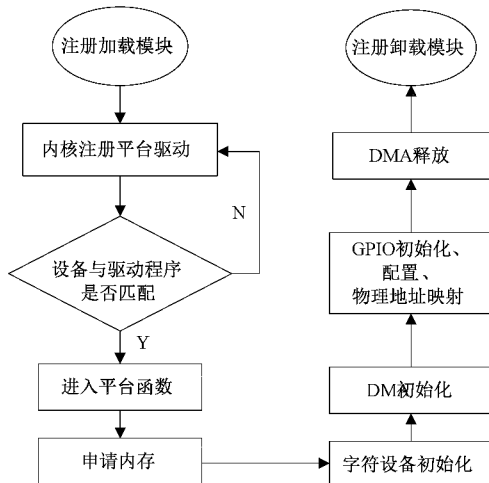


图 5 DMA 驱动代码整体流程

个流程中,DMA 初始化函数包含了 DMA 流式传输设计以及对 FPGA 的传输开启的控制。

DMA 初始化流程如图 6 所示,在 DMA 初始化函数中,申请通道成功后进入传输线程中,判断来自应用程序的命令并执行对 FPGA 的触发以及流式传输,传输结束后向应用程序发中断信号 SIGIO 告知一次传输完成。

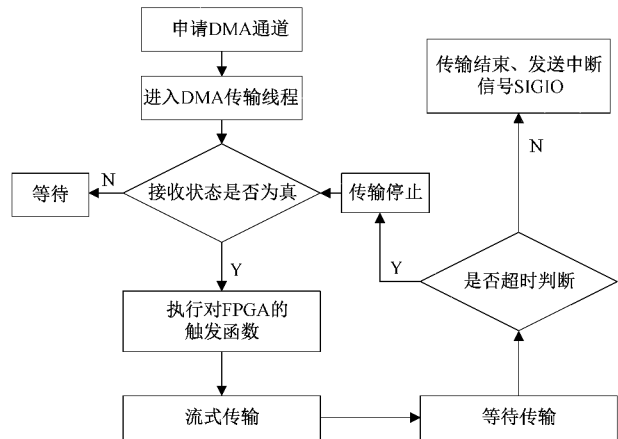


图 6 DMA 初始化函数流程

3 实验测试与数据处理

3.1 数据采集与传输测试

设计以 Zynq-7000 芯片为核心的光谱高速采集与处理模型,使用集成逻辑分析仪(integrated logic analyzer,ILA)可以在线监测数据变化。输入直流信号测试系统的采集与传输性能,输入正弦信号测试有无 FIFO 缓存传输的区别。

1) 采集测试

采样时钟频率为 65 MHz,通过软件导出采样数据量化值。图 7 是采样点为 131 072 的采样量化值分布图。从图中可以看出采样量化值均在 2 873~2 880 之间,采样精度为 12 bit,经过统计分析,采样量化值为 2 873 和 2 880 占比低于 0.5%,属于奇异点,设计数字滤波器滤掉奇异点后,采样量化值波动范围为 0.2%,符合设计需求。

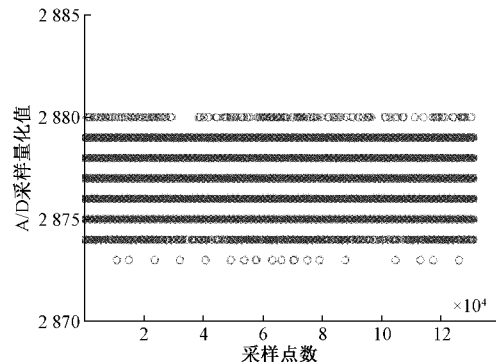


图 7 采样量化值散点图

2) 传输测试

FIFO 最大缓存深度为 131 072,位宽为 16 bit,其最大

缓存量为 256 Kbytes,传输时间 10 ms,系统传输速率最高可达 25.6 Mbytes/s。使用串口导出传输至 ARM 的数据,与采集测试中的采样的量化值对比。表 1 表示在传输时间均为 10 ms 的情况下,对不同的 FIFO 缓存的误码量测试,误码量均为 0,证明不同传输速率均无误码。

表 1 不同数据传输速率的误码量测试

时间/ms	数据量/Kbytes	误码量/Kbytes
10	256	0
10	128	0
10	64	0
10	32	0
10	16	0
10	8	0

3) FIFO 缓存测试

数据从采样时钟域传输到显示时钟域需要进行跨时域处理,若不对数据作跨时域处理,数据可能因为不满足显示时钟的建立时间和保持时间出现亚稳态现象,从而导致传输错误。

利用 ILA 监测 A/D 采样数据、FIFO 缓存输出数据以及 AXIS 总线数据。使用正弦信号作为输入信号对比测试,图 8 监测没有 FIFO 缓存输出的数据,同一时刻采样数据和 AXIS 总线数据保持一致,但是在第 1 830~1 835 个数据之间 ΔXIS 总线数据传输错误。图 9 监测图表明经过 FIFO 缓存输出的数据,在传输有效时刻 FIFO 输出数据与 AXIS 总线数据保持一致,且无错误数据。通过对比可知,无 FIFO 作为缓存时,跨时钟域传输数据会丢失,导致波形失真,采用 FIFO 使数据传输具有稳定性、可靠性。

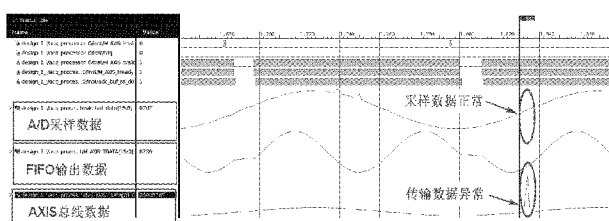


图 8 无 FIFO 缓存传输异常

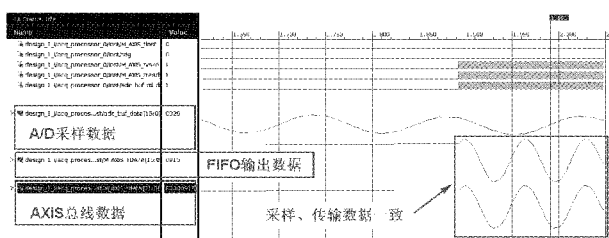


图 9 有 FIFO 缓存传输正常

3.2 数据处理与分析

一般地,被测光源的光谱特性可以表征为不同波长的

光功率分布 $I(\lambda)$ 。设光电探测器的光谱响应度为 $R(\lambda)$,仪器所测光谱强度数据记为 $N(\lambda)$,则 $N(\lambda)$ 可表示为:

$$N(\lambda) = K \times R(\lambda) \times I(\lambda) \quad (1)$$

式中: λ 是光源的波长, K 是可以通过测试标定获得的一个常系数^[18]。对于数字式光谱仪,则可表征为:

$$N(\lambda_i) = K \times R(\lambda_i) \times I(\lambda_i) \quad (2)$$

即 $I(\lambda_i) = N(\lambda_i)/(K \times R(\lambda_i))$, 已知 λ_i 对应离散化的波长,采集不同波长对应数字量 $N(\lambda_i)$,探测器的光谱响应特性 $R(\lambda_i)$,即可重构光源的光谱特性曲线。经过变换 $N_1(\lambda_i) = N(\lambda_i)/\max\{N(\lambda_i)\}$,即获得归一化光功率分布即光谱强度计算公式:

$$I_1(\lambda_i) = N_1(\lambda_i)/(K \times R(\lambda_i)) \quad (3)$$

选用的光电探测器响应度如图 10 所示,该探测器的响应波长范围在 200~1 000 nm,波长越长,响应度越高。250 nm 波段响应度最低,900~1 000 nm 波段响应度最高。

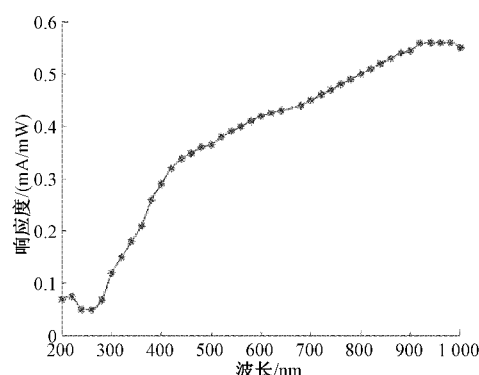


图 10 探测器响应度曲线

实验对激光驱动白光光源 (laser driven light source, LDLS) 进行测量。实验以 50 nm 步进,扫描 200~1 000 nm 从紫外光到部分近红外光,使用三次插值法对 LDLS 光谱强度数据进行归一化处理。图 11 是 LDLS 的归一化辐射强度标准特性,图 12 是 LDLS 的归一化辐射强度测试特性,采集系统计算所得的归一化光谱强度与标准归一化光谱强度曲线基本吻合。LDLS 光源在 900 nm 的光谱强度

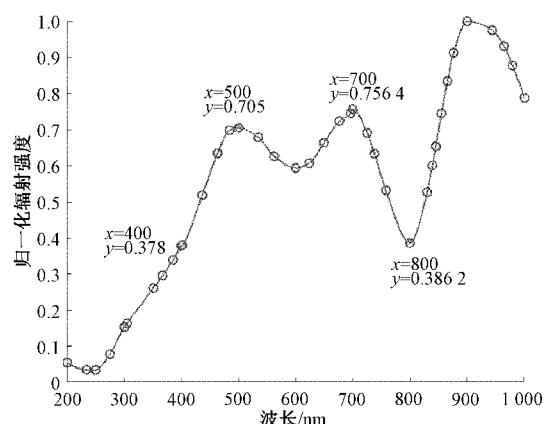


图 11 LDLS 光源标准归一化光谱强度曲线

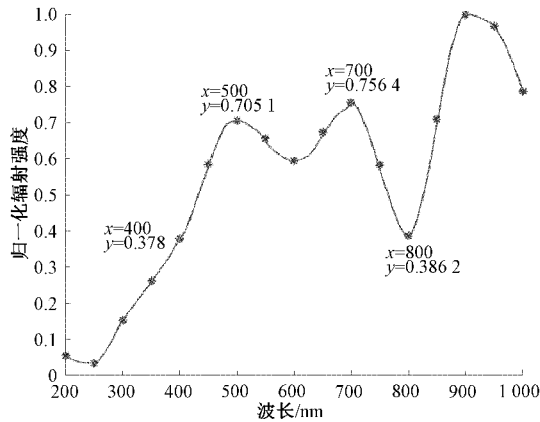


图 12 实验测试的 LDLS 归一化光谱强度曲线

最高,定为标准 1。在 250 nm 的光谱强度最低为 0.034 136 47。实验采集所得的光谱强度与标准误差小于 0.5%。

4 结 论

研究基于双缓存技术和 FPGA+ARM 处理架构的高速数字式光谱仪,实现了被测光源的精确测量。搭建了光谱数据采集与处理系统,使采集传输由 FPGA 与 DMA 完成,数据的处理则由 ARM 的处理单元完成,大大提升了大吞吐量数据的处理速度,提供独立操作系统与硬件设备更易兼容。通过连续 72 h 不断电的实验测试,数据传输稳定且无误码,采样精度在 0.2%,光谱强度误差小于 0.5%,验证了系统的可靠性与稳定性,在大吞吐量数字式光谱仪采集与处理系统具有一定的借鉴价值。

参考文献

- [1] 尤泽樟,王先培,田猛,等. 微型宽波段光谱仪光学系统设计[J]. 应用光学, 2017, 38(5):740-745.
- [2] KARNY M, FIJAVKOWSKA A, GRZYWACZ R, et al. Design of a new central module for the modular total absorption spectrometer[J]. Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms, 2020, 463: 390-393.
- [3] 朱红,李立,黄普明. 星载海量遥感数据的低缓存高速传输[J]. 电子学报, 2013, 41(10):2016-2020.
- [4] 袁洪平,曾立波,林志鹏. 基于 FPGA 的光谱仪数据采集系统[J]. 激光杂志, 2021, 42(3):153-156.
- [5] ESMAEILI S V, MOUSSAVI Z A, KBAR A N, et al. Triangle bipolar pulse shaping and pileup correction based on DSP[J]. Nuclear Inst. and Methods in Physics

Research, A, 2011, 665: 11-14.

- [6] 黄超,鲁湛,贺健,等. 基于 ZYNQ 的微型光谱仪高速数据采集系统设计[J]. 现代电子技术, 2016, 39(3): 109-111.
- [7] 宋锡文,董业鹏,杨世飞. 基于 FPGA 的振动信号处理参数寻优试验研究[J]. 电子测量与仪器学报, 2021, 35(2):101-108.
- [8] 易冬柏,陈恒,何乐年. 嵌入式神经网络加速器及 SoC 芯片[J]. 仪器仪表学报, 2021, 42(7):155-163.
- [9] PANIGRAHY D, RAKSHIT M, SAHU P K. FPGA implementation of heart rate monitoring system[J]. J Med Syst, 2015, 40:1-12.
- [10] 陈旭,夏果,马艳,等. 基于 FPGA 的光谱数据采集系统设计[J]. 电子测量技术, 2019, 42(14):157-162.
- [11] 董选明. 基于 4DSP+FPGA 架构数据处理板设计[J]. 电子技术应用, 2016, 42(7):29-33,37.
- [12] 侯俊杰,赵宇,李孟委. 基于 Zynq 的步进电机控制系统[J]. 国外电子测量技术, 2021, 40(3):108-112.
- [13] 张嘉璐,段俊萍,王淑琴. 基于 FIFO 缓存的数据混合编帧技术研究及实现[J]. 电子测量技术, 2020, 43(18):125-130.
- [14] VIPIN K, FAHMY S A. ZYCAP: Efficient partial reconfiguration management on the xilinx zynq[J]. IEEE Embedded Systems Letters, 2014, 6(3):41-44.
- [15] 王炜琛,涂海洋,王伟明,等. 基于 Zynq 的 SDI 视频图像分割系统[J]. 计算机工程与科学, 2021, 43(10): 1796-1802.
- [16] 刘登诚. 嵌入式 Linux 设备驱动程序开发技术的研究[D]. 南京:南京邮电大学, 2011.
- [17] 刘兆庆,杜威达,朱雨,等. 基于 IP Core 的 PXI Express 接口 DMA 引擎设计[J]. 电子测量技术, 2012, 35(7): 43-46,50.
- [18] 柯君玉,王东杰,郭永祥,等. 大气环境红外甚高光谱分辨率探测仪光谱定标[J]. 应用光学, 2020, 41(4): 723-729.

作者简介

张华夏,硕士研究生,主要从事光电检测与 FPGA 开发方面的研究。

E-mail:821652417@qq.com

陈青山,博士,教授,主要从事精密测量方面的研究。

E-mail:chenqqss@sina.com

王艳林,硕士,副教授,主要从事精密电子电路研究。

E-mail:wangyanlin@bistu.edu.com