

DOI:10.19651/j.cnki.emt.2108518

基于 DDS 技术的波形发生器 ROM 压缩优化算法

王俊浩 张小玲 谢雪松 王万斌

(北京工业大学微电子可靠性研究室 北京 100124)

摘要:针对 DDS 芯片因存储空间开销大导致功耗增加,可靠性降低的问题,设计了一种对直接数字频率合成(DDS)波形发生器在现场可编程门阵列(FPGA)上的 ROM 存储空间压缩优化算法。在不改变波形精度的前提下,通过存储幅度序列的相对增量来减少波形数据位宽的方式对 ROM 进行压缩,再利用幅度累加器就可以还原出真实的幅度序列。在 Quartus II 13.0 开发环境下搭建工程,并在 FPGA 开发板上测试通过。经过测试,该 DDS 信号发生器可产生 5 种不同的波形,共占据存储空间 9 240 bit。结果表明,这种 DDS 优化算法比传统 DDS 波形发生器节省资源 96% 以上,能够减少系统功耗,提高系统运行速度。

关键词:直接数字频率合成;现场可编程门阵列;存储空间压缩

中图分类号: TN06 **文献标识码:** A **国家标准学科分类代码:** 510.10

Optimal algorithm of waveform generator ROM compression based on DDS technology

Wang Junhao Zhang Xiaoling Xie Xuesong Wang Wanbin

(Laboratory of Microelectronics Reliability, Beijing University of Technology, Beijing 100124, China)

Abstract: Aiming at the problem of increased power consumption and reduced reliability of DDS chips due to large storage space overhead, a ROM storage space compression optimization for direct digital frequency synthesis (DDS) waveform generators on field programmable gate arrays (FPGA) was designed. algorithm. Under the premise of not changing the waveform precision, the ROM is compressed by storing the relative increment of the amplitude sequence to reduce the waveform data bit width, and then the amplitude accumulator can be used to restore the real amplitude sequence. Build the project in the Quartus II 13.0 development environment and pass the test on the FPGA development board. After testing, the DDS signal generator can generate five different waveforms, occupying a total of 9 240 bit storage space. The results show that this DDS optimization algorithm saves more than 96% of resources compared with the traditional DDS waveform generator, which can reduce the system power consumption and improve the system running speed.

Keywords: direct digital frequency synthesis; field programmable gate array; storage space compression

0 引 言

随着数字电子技术的快速发展,基于直接数字频率合成(DDS)波形发生器以其高频率稳定度,极宽的工作频率范围,相位可连续变化,可输出任意波形等优点占据着广阔的市场空间^[1]。然而,由于 DDS 技术是基于奈奎斯特采样定理实现的,将连续信号采样,编码,量化,得到一组离散的波形数据存入 ROM 中^[2]。如果用户对波形精度要求较高或者输出任意波形,则需要占据大量的 ROM 空间,这势必会降低系统的运行速度,由于 FPGA 存储空间有限,同时也增加了系统的生产成本。

针对这一问题,国内外很多学者提出了各种算法对 ROM 存储空间进行压缩,Omran 等^[3]提出了一种基于分段线性逼近法的直接数字频率合成器,在每个时钟周期内共享对存储单元的顺序读取访问,只需要 32 个采样点即可输出正弦信号。Singh 等^[4]利用 5 次贝塞尔曲线合成正弦波的方式避免了在 DDS 信号发生器中使用 ROM,但电路结构较为复杂。北京交通大学的亢凯等^[5]提出了一种基于 Sunderland 算法的 ROM 压缩方法,将 DDS 中相位累加器的输出分为 3 部分,然后将两个存储函数值的查询表相加,得到的值可近似为正弦信号的幅度,压缩比为 1 : 12.8。武汉大学的阴欢欢等^[6]根据 Nicholas 压缩算法的原理,将

收稿日期:2021-12-05

ROM 表读数映射为粗读数和细读数之和,采用粗细表结构,通过合理分配粗细值表实现压缩。

与以上研究不同的是,本文在不改变波形精度的前提下,通过存储幅度序列的相对增量来降低波形数据位宽的方式减少 ROM 存储空间,能够生成正弦波、三角波、升锯齿波、降锯齿波、占空比可调的方波 5 种波形,并对设计进行了实验验证。

1 DDS 基本原理

DDS 技术的核心是利用相位累加器在时钟信号作用下累加频率控制字,输出结果与波形控制字相加,作为读取 ROM 中不同类型波形数据分区块存储的地址值,再将地

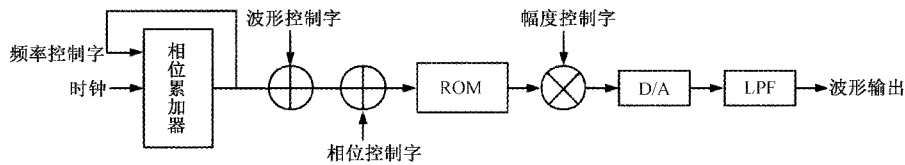


图 1 DDS 结构框图

2 DDS 优化设计

2.1 整体设计方案

本文设计的 DDS 任意波形发生器能够直接产生 0~1 kHz 的正弦波、三角波、升锯齿波、降锯齿波、占空比可调的方波 5 种波形,幅度通过幅度控制字调节。所选择的 FPGA 芯片为 Altera 公司生产的 Cyclone II 系列,型号为 EP2C8Q208C8,存储空间为 165 888 bit。由于 Quartus II 集成开发环境无法仿真真实的模拟量,故算法的实现是在数字域下完成的^[11]。设计的 DAC 仿真模块为 12 位,因此对模拟信号采样时,需要采集一个周期 2^{12} 个波形数据,需要占据 ROM 资源为:波形类型数×数据位宽×数据量 = $5 \times 12 \times 2^{12} = 245\ 760$ bit,显然已经远远超出了该芯片的存储空间^[12]。为了减少资源的占用,降低开发成本,提高系统的运行速度,本文在不改变波形精度的前提下,通过存储幅度序列的相对增量来降低数据位宽的方式对以上五种波形提出一种 ROM 压缩新方法。

1) 正弦波

如图 1 所示,DDS 任意波形发生器采用分区块的方式将不同类型的波形数据存储到 ROM 中,波形数据为量化后的幅度序列:

$$y_0, y_1, \dots, y_{4\ 095}, y_{4\ 095} \quad (2)$$

每个幅度序列 $y_i (i = 0, 1, \dots, 4\ 095)$ 的位宽等于 DAC 的位宽,为 12 位,数据范围为 0~4 095。这里对正弦波采样,假设正弦曲线满足方程:

$$y = a \times \sin(\omega t + \varphi) + c \quad (3)$$

根据奈奎斯特采样定理可以得到一组离散的幅度序列:

$$y_i = a \times \sin(\omega t_i + \varphi) + c, i = 0, 1, \dots, 4\ 095 \quad (4)$$

址值与相位控制字相加,从而得到相位不同的波形^[7]。ROM 输出的波形数据乘以幅度控制字调节输出波形的幅度。波形数据经过 D/A 转换器和低通滤波器(LPF)得到平滑的波形输出^[8]。结构框图如图 1 所示^[9]。

输出频率由频率控制字和时钟频率共同决定,关系式如下:

$$f_o = \frac{K}{2^N} \times f_c \quad (1)$$

式中: f_o 表示输出频率, f_c 表示时钟频率, K 表示频率控制字, N 表示频率控制字的位宽,当 $K = 1$ 时,输出频率为最小频率,即频率分辨率^[10]。根据奈奎斯特采样定理,最大输出频率一般不超过时钟频率的 1/2。

峰峰值 $2a = 2^{12} - 1$, 角频率 $\omega = 2\pi$, 采样间隔 $t_{i+1} -$

$t_i = \frac{1}{2^{12} - 1}$, 由此可以计算出幅度序列相对增量的绝对值:

$$\begin{aligned} |y_{i+1} - y_i| &= |[a \times \sin(\omega t_{i+1} + \varphi) + c] - \\ &[a \times \sin(\omega t_i + \varphi) + c]| = 2a \times \left| \cos \frac{\omega t_{i+1} + \omega t_i + 2\varphi}{2} \times \right. \\ &\left. \sin \frac{\omega(t_{i+1} - t_i)}{2} \right| < 2a \times \left| \sin \frac{\omega(t_{i+1} - t_i)}{2} \right| < (2^{12} - 1) \times \\ &\sin \frac{\pi}{2^{12} - 1} < 4 \end{aligned} \quad (5)$$

通过式(5)可以看出,对峰峰值为 $2^{12} \sim 1$ 的正弦波的一个周期采集 2^{12} 个幅度序列^[13],在一个采样间隔内,幅度序列相对增量的绝对值不会超过 4,只需要 3 bit 的空间存储,较传统方式存储 12 bit 幅度序列减小 ROM 空间 75%。因此产生了一种 ROM 压缩新方法,可以将正弦波一个周期幅度序列相对增量的绝对值存入 ROM 中,ROM 输出连接 12 位的幅度累加器还原出真实的幅度序列。为了进一步压缩存储空间,ROM 中可以只存储第 1 象限幅度序列的相对增量,由于正弦曲线在第 1 象限单调递增,相对增量都为正,可以避免因处理正负号问题给硬件资源带来新的开销,根据第 1 象限波形,再利用反相器即可得到其他象限的波形^[14]。

2) 三角波

三角波的存储方式与正弦波类似,由于三角波在 1/2 周期是线性变化的,幅度序列相对增量的绝对值为:

$$|y_{i+1} - y_i| = |k(t_{i+1} - t_i)| \leq \frac{2^{12} - 1}{1} \times \frac{1}{2^{12} - 1} = 2 \quad (6)$$

式中： k 表示 $1/2$ 周期直线的斜率，通过式(6)可以看出，对幅度为 $2^{12} \sim 1$ 的三角波的一个周期采样 2^{12} 个幅度序列，在一个采样间隔内，幅度序列相对增量的绝对值不会超过 2，只需要 2 bit 的 ROM 空间存储，较传统方式存储幅度序列减少 ROM 空间 83.3%。

3) 锯齿波

对于升锯齿波和降锯齿波，除跳变沿以外，由于在整个周期是线性变化的，幅度序列相对增量的绝对值为：

$$|y_{i+1} - y_i| = |k(t_{i+1} - t_i)| \leq (2^{12} - 1) \times \frac{1}{2^{12} - 1} = 1 \quad (7)$$

通过式(7)可以看出，锯齿波幅度序列相对增量的绝对值只需要 1 bit 的 ROM 空间存储，比传统方式存储幅度序列减少 ROM 空间 91.7%，对于跳变沿，可以利用幅度累加器溢出的特性实现。

4) 方波

方波由于只有两种状态：高电平和低电平，这两种状态占据 ROM 24 bit 的存储空间^[15]。此时由于地址值只有两种情况，因此可以利用地址实现占空比的调节，当相位累加器输出地址不超过占空比控制字时输出高电平数据；反之输出低电平数据，即可得到占空比可调的方波。比传统方式存储一个周期幅度序列减少 ROM 空间 99.95%。

2.2 关于幅度累加器

幅度累加器是该算法的核心部件，由比较器和累加器

两部分构成，当复位信号到来时，累加器的初始基值即为 0 相位时对应的幅度序列。比较器用来判断当前时钟和上一时钟相位累加器输出的地址是否发生变化，主要为了防止相位累加器输出同一地址而造成累加器累加多次增量造成的波形失真现象，从而保证地址数据每变化一次，累加器累加一次相对增量。当累加器累加完毕所有的相对增量时，即可得到一个周期完整的幅度序列。控制字能够实现累加器做加法运算或者减法运算，可以解决幅度序列逆序输出的问题。结构框图如图 2 所示。

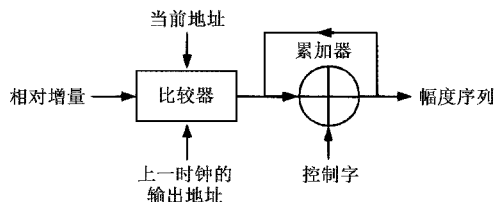


图 2 幅度累加器

2.3 波形发生电路

1) 正弦波和三角波发生电路

正弦波与三角波的生成原理完全相同，这里以正弦波为例，ROM 中存储的是正弦波第 1 象限幅度序列的相对增量，相位累加器累加频率控制字输出 12 位的地址数据，ROM 输出的幅度序列的相对增量和相位累加器输出的地址数据作为幅度累加器的输入。电路结构如图 3 所示。

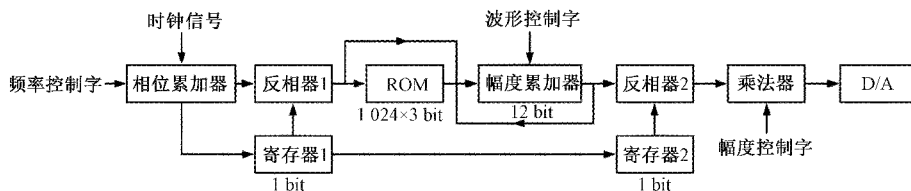


图 3 正弦波发生电路

在时钟信号作用下，幅度累加器从基值开始逐次累加相对增量，当 ROM 存储的相对增量全部累加完毕时，即可还原出第 1 象限的幅度序列。

为了得到第 2 象限幅度序列，需要将第 1 象限幅度序列逆序输出，利用寄存器 1 标记相位累加器的溢出信息，当寄存器 1 值为 1 时，利用反相器 1 将输出地址取反，从而实现相对增量逆序输出，再通过波形控制字实现幅度累加器做减法运算，即可得到第 2 象限幅度序列。

为了得到第 3、4 象限幅度序列，需要将第 1、2 象限幅度序列取反，寄存器 1 的状态作为寄存器 2 的输入，当寄存器 2 值为 1 时，利用反相器 2 将幅度序列取反，从而得到第 3、4 象限的幅度序列。最终生成的一个周期完整的幅度序列如图 4 所示。

综上，两个寄存器的 4 种状态分别代表 4 个象限的波形。两个寄存器值为 00，累加器做加法运算，可以得到第 1 象限波形；两个寄存器值为 10，累加器做减法运算，可以得

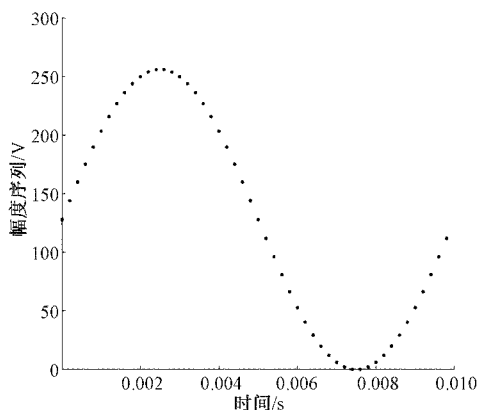


图 4 正弦波幅度序列

到第 2 象限波形；两个寄存器值为 01，累加器做加法运算，可以得到第 3 象限波形；两个寄存器值为 11，累加器做减法运算，可以得到第 4 象限波形。

2) 升锯齿波和降锯齿波发生电路

电路结构如图 5 所示。ROM 中存储的是锯齿波幅度序列相对增量的绝对值,每个相对增量占据 1 bit 的存储空间。在时钟信号作用下,累加器从基值开始逐一累加相对增量,当 ROM 中存储的相对增量全部累加完毕时,幅度序列达到最大值,此时,累加器继续

累加相对增量实现溢出,即可得到锯齿波的跳变沿,从而可以输出一个周期完整的幅度序列。由于降锯齿波可以由升锯齿波的幅度序列逆序输出得到,因此利用波形控制字实现幅度累加器做加法运算或者减法运算,做加法运算时,输出升锯齿波,做减法运算时,输出降锯齿波。

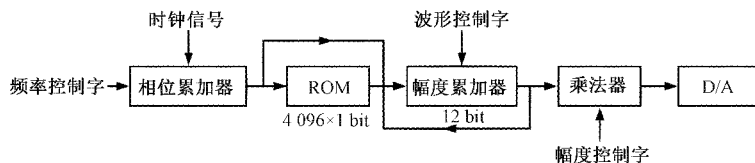


图 5 锯齿波发生电路

3) 方波发生电路

电路结构如图 6 所示。在时钟信号作用下,相位累加器累加频率控制字输出 12 位的地址数据,地址数据和占空比控制字作为比较器的输入,当相位累加器的输出地址

不超过占空比控制字时,比较器的输出即为高电平数据对应的地址值,当相位累加器的输出地址大于占空比控制字时,比较器的输出即为低电平数据对应的地址值,从而可以得到占空比可调的方波。

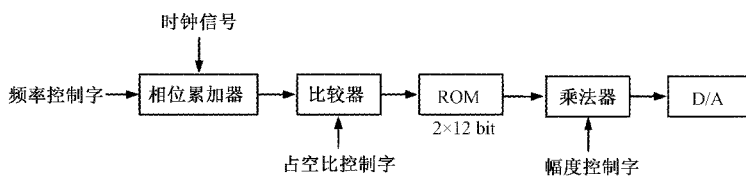


图 6 方波发生电路

3 实验验证

以上 5 种波形发生电路均在 Quartus II 13.0 集成开发环境下搭建工程,利用 Verilog 硬件描述语言编写,并且编译通过。编译报告如图 7 所示,可以看出,该 DDS 信号发生器仅占用了 FPGA 芯片 6% 的 ROM 空间。将编译生成的 DDS.pof 文件通过 USB-Blaster 下载到 FPGA 开发板上,并在 D/A 输出端连接示波器探头,实验系统如图 8 所示。

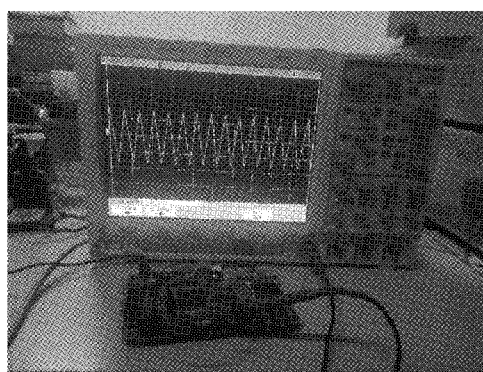


图 8 实验系统

Flow Status	Successful - Sat Mar 05 16:43:37 2022
Quartus II 64-Bit Version	13.0.0 Build 156 04/24/2013 SJ Full Version
Revision Name	DDS
Top-level Entity Name	DDS
Family	Cyclone II
Device	EP2C8Q208C8
Timing Models	Final
Total logic elements	11 / 8,256 (< 1 %)
Total combinational functions	11 / 8,256 (< 1 %)
Dedicated logic registers	11 / 8,256 (< 1 %)
Total registers	11
Total pins	16 / 138 (12 %)
Total virtual pins	0
Total memory bits	9,240 / 155,838 (6 %)
Embedded Multiplier 9-bit elements	0 / 36 (0 %)
Total PLLs	0 / 2 (0 %)

图 7 编译报告

在不影响输出波形平滑度的前提下,ROM 占用资源比传统方式减少 96.2%。

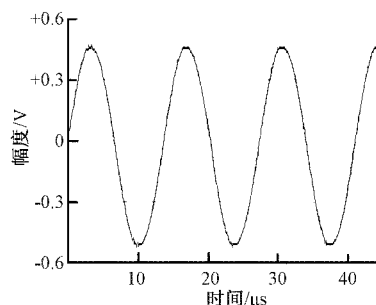


图 9 正弦波

最终测得的波形如图 9~14 所示。该 DDS 优化算法与传统 DDS 任意波形发生器对比如表 1 所示,可以看出,

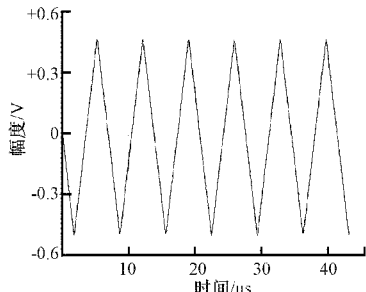


图 10 三角波

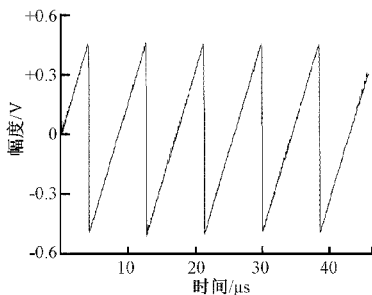


图 11 升锯齿波

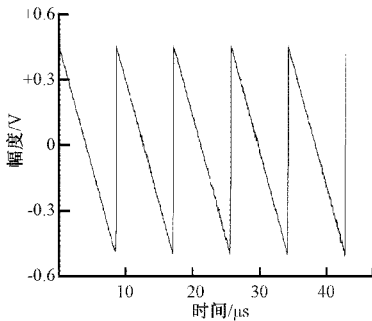


图 12 降锯齿波

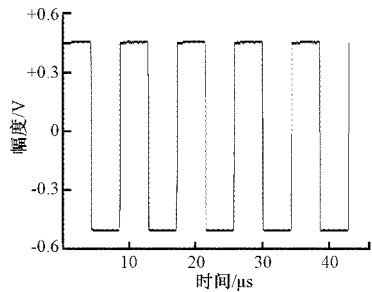


图 13 占空比 50% 的方波

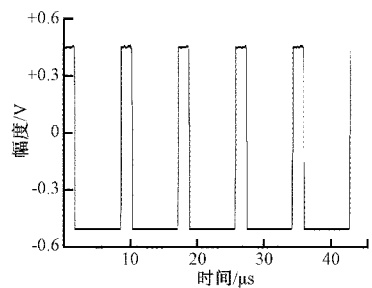


图 14 占空比 20% 的方波

表 1 两种算法占用 FPGA 硬件资源对比

算法对比	波形	改进的 DDS 优化算法	传统的 DDS 波形发生器
ROM 资源/ bit	正弦波	3 072	49 152
	三角波	2 048	49 152
	升锯齿波	4 096	49 152
	降锯齿波	4 096	49 152
	方波	24	49 152
	合计	9 240	245 760
波形精度		$1/2^{12}$	$1/2^{12}$

4 结 论

本文提出了一种改进的 DDS 芯片 ROM 存储空间压缩优化算法,极大地减少了 ROM 中存储的数据量。由于存储幅度序列相对增量的绝对值所需要的的位宽比直接存储幅度序列要小,再结合波形的对称性,ROM 输出连接幅度累加器就能够还原出真实的幅度序列。在不改变 ROM 存储容量的条件下,可以存储更多不同类型的波形数据,能够显著降低生产成本,提高 DDS 芯片可靠性。

对于 ROM 输出同一增量导致幅度累加器累加多次产生的波形失真这一难点问题,利用寄存器记录相位累加器在相邻两个时钟信号下的输出地址是否发生变化来解决,从而保证只有在地址发生跳变的情况下,幅度累加器才能累加相对增量。

但该算法也存在一定的不足之处,若用户设置的频率控制字过大,ROM 中存储的相对增量无法全部输出,将会导致波形失真,因此,如何在保证波形平滑度的条件下进一步拓展工作频率范围需要进一步研究。

参考文献

- [1] 魏岳伦,岳庆英,齐庆堃,等. 基于 Nios II 的 DDS 函数信号发生器[J]. 国外电子测量技术, 2016, 35(7): 13-16.
- [2] 张晋瑛,任勇峰,单彦虎,等. 基于 FPGA 的可调节信号发生器的设计与实现[J]. 电子设计工程, 2019, 27(22):137-141.
- [3] OMRAN Q K, ISLAM M T, MISRAN N, et al. An efficient ROM compression technique for linear-interpolated direct digital frequency synthesizer[C]. 2014 IEEE International Conference on Semiconductor Electronics, 2014.
- [4] SINGH R, ROY K, KAPURIYA B R, et al. A ROM-less direct digital frequency synthesizer based on fifth-degree bezier curve approximation [C]. 2013 International Conference on Intelligent Systems and Signal Processing, 2013.
- [5] 亢凯,阎渊海,胡泽民,等. 基于 DDS 技术的杂散抑制

- 和正弦信号源的实现[J]. 电子技术应用, 2017, 43(12):9-12.
- [6] 阴欢欢, 云中华, 雷志. 高压缩比低杂散的双路 DDS 系统设计[J]. 单片机与嵌入式系统应用, 2015(12):27-30.
- [7] 丁海春, 吴海涛, 苏卫国. 基于 DDS 的多种调制方式频率源的设计[J]. 电子技术, 2020, 49(3):192-194.
- [8] 杨雪, 陈雪勇. 基于 FPGA 的直接数字频率合成器[J]. 信息技术与信息化, 2021(10):169-170, 173.
- [9] 沈辉, 薛兵, 唐朝阳, 等. 基于 DDS 技术的信号发生器设计[J]. 电子测量技术, 2020, 43(20):160-164.
- [10] 杨涛, 王黎明, 张一凡. 基于 DDS 的混沌信号发生器设计[J]. 国外电子测量技术, 2018, 39(3):130-135.
- [11] 贺军义, 蒋坚, 李男男. 基于 FPGA 的 DDS 信号发生器设计[J]. 计算机测量与控制, 2017, 25(2):231-234.
- [12] 梁赫西, 周密, 谢虎城. 基于 FPGA 与 LabVIEW 的 DDS 任意信号发生器设计[J]. 微型机与应用, 2015, 34(2):25-28.
- [13] 张国光. 基于 DDS 的高精度多路信号发生系统研究[J]. 电子测量技术, 2014, 37(4):125-129.
- [14] 陈迪, 刘旺锁, 姚直象. 基于 DDS 的声呐信号发生器设计与实现[J]. 国外电子测量技术, 2012, 31(5):74-77.
- [15] 范照盛, 崔竹, 胡志慧. 一种基于 DDS 的宽带频率合成器设计[J]. 国外电子测量技术, 2011, 30(1):32-35.

作者简介

王俊浩, 硕士, 主要研究方向为集成电路与嵌入式系统设计。

E-mail: 2995784591@qq.com

张小玲, 副教授, 主要研究方向为半导体器件、集成电路热特性。

E-mail: zhangxiaoling@bjut.edu.cn

谢雪松, 副教授, 主要研究方向为微电子器件/模块可靠性及寿命预测方法。

E-mail: xiexuesong@bjut.edu.cn

王万斌, 硕士, 主要研究方向为 SIC MOSFET 热特性及失效机理。

E-mail: wangwanbin@emails.bjut.edu.cn