

DOI:10.19651/j.cnki.emt.2005466

基于 DSP EMIF+LHB155304 的 RT 终端设计与实现

任勇峰¹ 吕文强¹ 关瑞云¹ 臧冠宇²

(1. 中北大学 太原 030051; 2. 96791 部队 北京 100000)

摘要: 针对飞行控制系统中设备之间数据传输的低成本、高可靠性和芯片国产化需求,提出一种基于 DSP EMIF+LHB155304 的 RT 终端设计,采用 DSP 芯片作为主控制器,使用 DSP 的 EMIF 接口与国产 4 Mbit/s 1553B 总线协议芯片 LHB155304 连接,简化了传统的“DSP+FPGA+协议芯片”架构。为解决前端数据发送系统与后端控制系统数据读取异步问题,配置 LHB155304 协议芯片为 RT 双缓冲机制,避免了冲突,保证了数据传输的正确性,最后使用 CCS 软件的在线调试工具对收发数据进行观察,经验证,收发数据一致,设计稳定可靠,为 1553B 总线的国产化提供了实际应用经验。

关键词: DSP;EMIF 接口;1553B 总线;LHB155304;RT 模式

中图分类号: TN919.3 **文献标识码:** A **国家标准学科分类代码:** 510.5035

Design and implementation of RT terminal based on
DSP EMIF+LHB155304Ren Yongfeng¹ Lyu Wenqiang¹ Guan Ruiyun¹ Zang Guanyu²

(1. North University of China, Taiyuan 030051, China; 2. 96791 Troops, Beijing 100000, China)

Abstract: For the requirements of low cost, high reliability and chip localization in flight control system, a design of RT terminal based on DSP EMIF+LHB155304 is proposed. Using DSP chip as the main controller, the EMIF interface of DSP is used to connect with domestic 4 Mbit/s 1553B bus protocol chip LHB155304, simplify the traditional "DSP+FPGA+protocol chip architecture". To solve the problem of asynchronous data reading between the front-end data sending system and the back-end control system, LHB155304 protocol chip is configured as the RT double buffer mechanism to avoid conflicts and ensure the correctness of data transmission. Finally, the online debugging tool of CCS software is used to observe the receiving and receiving data. It has been proved that the receiving and receiving data are consistent, and the design is stable and reliable. It provides practical experience for the localization of 1553B bus.

Keywords: DSP;EMIF interface;1553B bus;LHB155304;RT mode

0 引言

近年来随着现代飞行控制系统对各设备之间数据传输速率、管理效率及可靠性的要求越来越高^[1-2],1553B 总线协议凭借在高空、强震、高温等严苛环境下的传输稳定性,优势日益明显,为美国国防部特别军用标准,陆海空三军通用^[3-4]。1553B 总线协议的指令应答、双冗余通路、状态字反馈和信息校验等过程保证了其高度的可靠性,且其规范完备,对波形具有严格要求,因而信号传输误码率极低(10^{-12})^[5-6]。随着芯片国产化的推动,研发国产的 1553B 总线控制芯片成为国内各大科研院所一项重要任务,近年来,我国成功在现有的物理传输方式下突破了 1553B 总线 1 Mbit/s 的信号传输速度限制,研发了支持 4 Mbit/s 的高

速 1553 系列产品^[7]。

本文基于某大气数据解算装置项目,任务要求接收来自大气传感器组件的采集数据并根据模型算法解算,并通过 1553B 总线实时上传至控制系统。目前的大部分实现方式是基于“DSP+FPGA+协议芯片”的架构,该架构在复杂性、成本等方面均没有优势;而本文采用“DSP EMIF+协议芯片”的架构有两大优势,一方面是 DSP 的 EMIF 接口协议与 1553B 总线通信协议类似,可将协议芯片直接扩展为外设;另一方面是可以节约成本。

由于大气数据解算装置对接口功能以及数据处理能力的有着严格的要求,所以了选用高性能浮点型 DSP TMS320C6713B 作为核心处理器;在考虑了芯片国产化需求后,选用了由西安微电子技术研究所自主研发 1553B 总

线控制器 LHB155304, 该协议芯片在现有 1553B 总线传输方式不变的前提下, 传输速率可达 4 Mbit/s^[8], 同时兼容 DDC 公司的 BU-61580 软件^[9], 并具有灵活高效的主机接口方式, 更大的内部存储器空间, 不仅可以实现 BU-61580 支持的接口方式, 而且访问等待时间更短。

1 硬件电路设计

硬件电路部分主要由 DSP TMS320C6713B 最小系统和 LHB155304 协议芯片外围电路组成, 本文重点研究 DSP EMIF 接口与 LHB155304 的连接以及 LHB155304 的 RT 双缓存工作机制, 接口电路如图 1 所示。图 1 中, LS3067-3 为隔离变压器, 设计中必须尽量靠近 LHB155304 的 1553B 总线收发引脚以降低发送回路上的电压降^[10]。

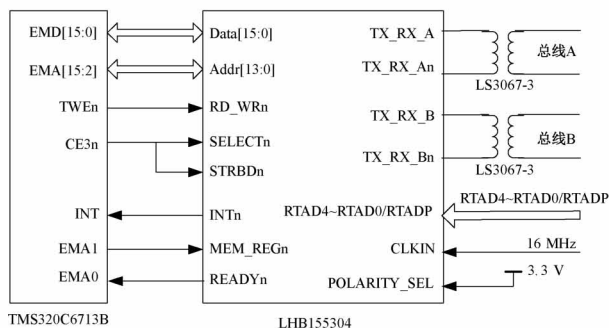


图 1 DSP 与 LHB155304 接口电路

本文将 LHB155304 的 RAM 地址与 6713B EMIF 的 CE3 地址空间 (0xB0000000~0xBFFFFFFF) 映射^[11], 地址线 Addr[13:0] 与 6713B 地址线 EMA[15:2] 相连, 数据线 Data[15:0] 与 6713B 数据线 EMD[15:0] 相连进行数据读写^[12]。通过外接上下拉电阻来配置 RT 终端地址, 如 RT 地址为 17, 即 RTAD4~RTAD0 为 10001, 保证 1 的个数为奇数^[13], 则 RTADP=1。通过 SELECT_n、STRBD_n、MEM_REG_n、RD_WR_n 引脚控制对 LHB155304 的内部寄存器还是存储器的访问, SELECT_n 为片选(低有效)信号, 当访问内部寄存器或存储器时, SELECT_n 必须为低电平。STRBD_n 为数据选通(低有效)信号, 与 SELECT_n 一起启动和控制主机与 LHB155304 之间的数据访问, 信号变低表示传输开始, 信号变高表示传输结束。为节约引脚资源, 本设计使用 EMIF 剩余地址总线引脚 EMA1 控制 MEM_REG_n 引脚, MEM_REG_n 置为 '1' 时访问的是 LHB155304 的存储器, 置为 '0' 时访问的是寄存器。READY_n 为 LHB155304 给主机的握手输出信号, 读操作时, READY_n 为低表示 D15~D0 上的数据已经准备好, 写操作时, READY_n 为低表示数据已写入寄存器或存储器。INT_n 为中断请求输出端与 6713B 的外部中断引脚连接。POLARITY_SEL 上拉表示 RD_WR_n 信号高电平读, 低电平写^[14]。

2 LHB155304 的 RT 模式

2.1 RT 模式工作流程

本文控制系统作为 BC 端, 大气解算装置配置为 RT 远程终端, 1553B 的通信由控制系统主导, RT 远程终端接收到 BC 端相应指令后上传解算后的大气数据, 工作流程如图 2 所示。

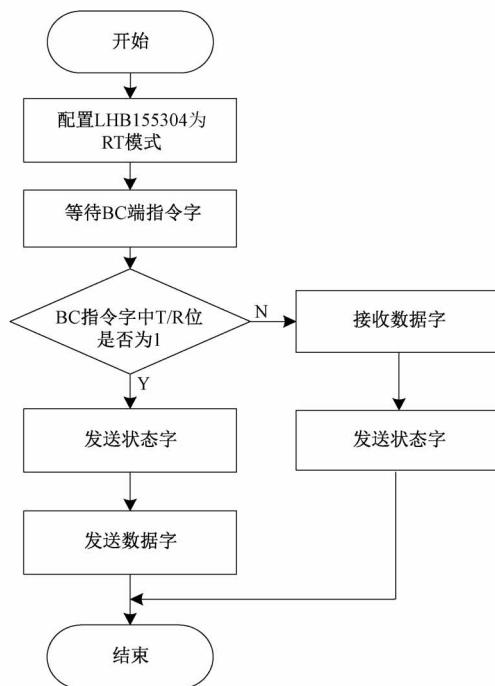


图 2 LHB155304 RT 模式工作流程

首先, 通过写 LHB155304 的内部寄存器将其配置为 RT 工作模式, 然后等待 BC 端的指令字。RT 端接收来自 BC 端指令后, 对指令字中的 T/R 位进行判断, 若为 '0', 表明 BC 端要求 RT 端接收数据, 此时, RT 端先接收指定个数的数据字, 并在其后返回一个状态字; 若为 '1', 表明 BC 端要求 RT 端发送数据, 则 RT 端先返回一个状态字, 并在其后发送指定数据块中的数据。

2.2 LHB155304 的读写操作

对 LHB155304 进行读写操作前需要完成对 DSP EMIF 接口的相关寄存器进行配置^[10]。本文设计中, LHB155304 被映射到 DSP TMS320C6713B 的 CE3, 其地址范围为 0xB0000000~0xBFFFFFFF, 设计过程中结合 LHB155304 的读写时序和 DSP EMIF 接口的异步读写操作时序, 配置 CE3CTL 寄存器, 主要是建立、触发和保持 (Setup/Strobe/Hold) 3 个字段的值, 然后再充分考虑时间裕量, 即可对 LHB155304 的寄存器和存储器正确读写^[15]。主机与 LHB155304 之间通过 STRBD_n 和 READY_n 两个信号之间的握手机制来进行读写操作。当 LHB155304 锁存住将要写入的数据或在数据总线上呈现将要读出的数据时, READY_n 信号变低。主机接收到 LHB155304 的

READY_n 信号变低后,使 STRBD_n 信号变高结束传输周期,时序图如图 3 所示。

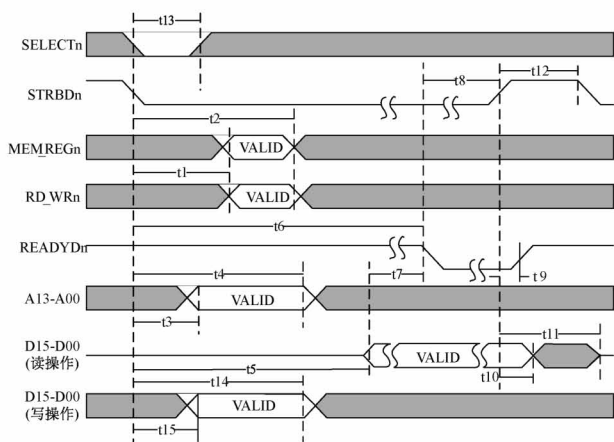


图 3 LHB155304 读写时序

主机对 LHB155304 存储器和内部寄存器的访问操作从 STRBD_n 和 SELECT_n 信号同时为低后的第 1 个主机接口时钟的上升沿开始。在 STRBD_n 和 SELECT_n 信号同时为低后的第 1 个主机接口时钟的下降沿锁存控制信号 RD_WR_n 和 MEM_REG_n,在 STRBD_n 和 SELECT_n 信号同时为低后的第 2 个主机接口时钟的上升沿锁存地址,对于写操作,此时此刻还要锁存数据。

对 LHB155304 进行写操作时,READY_n 信号会在 STRBD_n 信号和 SELECT_n 信号同时为低后的第 3 个接口时钟上升沿后输出为高电平;对于读操作,在 STRBD_n 和 SELECT_n 信号同时为低后的第 3 个接口时钟的上升沿后,输出有效数据,STRBD_n 和 SELECT_n 信号同时为低后的第 5 个接口时钟的上升沿后 READY_n 输出为低电平。READY_n 输出为低电平后,主机处理器可以使 STRBD_n 变高结束当前的访问周期。

3 RT 模式双缓冲机制

在很多 RT 的应用中,主机需要访问指定子地址刚接收到的消息。在这种情形下,RT 子地址双缓冲机制使得主机处理器方便地确定数据块地址并读取指定子地址相关的数据字,从而确保相邻两条数据的完整性^[16-17]。

双缓冲存储管理机制只适用于接收子地址或广播子地址,主机能够方便地访问刚接收的与指定子地址相关的数据。双缓冲存储管理机制在数据块中给每个接收子地址分配两个 32 字的数据块(数据块 0 和数据块 1)^[18],用于完成交替访问。主机只需在 RT 查询表中初始化数据块 0 的地址指针即可。数据块 1 起始地址与数据块 0 起始地址的 bit5 值相反,其余位相同。消息处理结束后,子地址的数据块地址指针将自动更新,在“x...x1xxxxx”和“x...x0xxxxx”之间切换。若 RT 查询表中某子地址对应的数据块地址指针被初始化为 0800H(即数据块 0 的起始地址),则对应的数据块 1 起始地址为 0820H(即 0800H 的 bit5 取反)。

RT 端会将接收的数据字轮流存储到数据块 0 和数据块 1 中,在任一给定的时刻,两个数据块只有一个处于“活跃”状态,而另一数据块为“非活跃”区。针对该子地址的消息,其数据字将存储在此时处于“活跃”状态的数据块中。假如消息是有效的,RT 端将在消息完成后立即切换“活跃”区与“非活跃”区,保证主机处理器始终能够访问刚刚接收到的有效数据块。如图 4 所示,双缓冲存储管理基于子地址控制字,在子地址控制字配置下,RT 将数据字存储到“活跃”的数据块 0 中,RT 查询表中对应的数据块地址指针更新为“非活跃”的数据块 1 的起始地址,当再接收到针对该子地址的消息时,双缓冲存储管理机制将使能数据块 1,使得接收到的有效数据存入数据块 1,RT 查询表中对应的数据块地址指针将更新为“非活跃”的数据块 0 的起始地址。

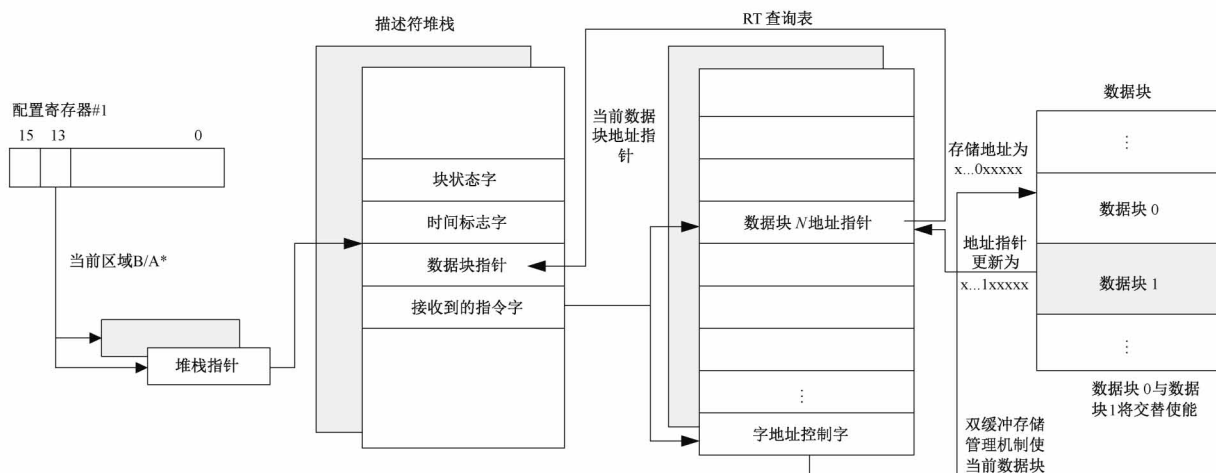


图 4 RT 双缓冲存储管理模式

在双缓冲模式下,主机可以随时访问到最新的有效数据,主机处理器可以在 LHB155304 访问一个数据块进行消息处理的同时对另一个数据块进行访问,这样避免冲突,保证各数据块中消息的完整和一致。

4 实验验证

配置 LHB155304 为远程终端 RT 模式后,使用 DSP TMS320C6713B 的 EMIF 接口对 LHB155304 芯片的内部寄存器和存储器进行了读写操作,并在 RT 双缓冲存储管理模式与 BC 端进行通信。

测试过程中,使用 DSP 芯片向 LHB155304 写入自减数,在 SELECTn 和 STRBDn 同时为低的第 1 个时钟下降沿锁存 WE 信号,在第 2 个时钟上升沿锁存地址和数据。将数据读出后发现有部分数据误码,如图 5 所示,数据“0x0053”变为“0xE650”数据“0x0052”变为“0x5027”等。在对其时序波形进行测量时,如图 6 所示,发现数据和 WE 信号在锁存时还未达到稳定态,导致锁存时数据出错。

0x[5]	unsigned short	0x005B (Hex)	0x000039FE
0x[6]	unsigned short	0x005A (Hex)	0x00003A00
0x[7]	unsigned short	0x0059 (Hex)	0x00003A02
0x[8]	unsigned short	0x0058 (Hex)	0x00003A04
0x[9]	unsigned short	0x0057 (Hex)	0x00003A06
0x[10]	unsigned short	0x0056 (Hex)	0x00003A08
0x[11]	unsigned short	0x0055 (Hex)	0x00003A0A
0x[12]	unsigned short	0x0054 (Hex)	0x00003A0C
0x[13]	unsigned short	0xE650 (Hex)	0x00003A0E
0x[14]	unsigned short	0x5027 (Hex)	0x00003A10
0x[15]	unsigned short	0x0051 (Hex)	0x00003A12
0x[16]	unsigned short	0x0050 (Hex)	0x00003A14
0x[17]	unsigned short	0x7E5 (Hex)	0x00003A16
0x[18]	unsigned short	0x004E (Hex)	0x00003A18

图 5 CE 信号未加延时读出的数据

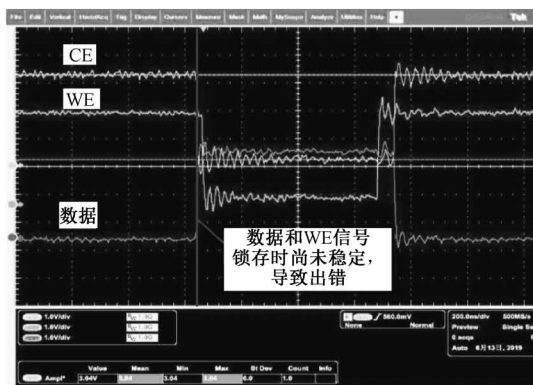


图 6 CE 信号未加延时的波形

本文采取的解决方案是将 SELECTn 信号对 GND 接一个 102 的电容,与 10 kΩ 电阻形成 RC 延时电路,延时时间计算如下:

$$T = -RC * \ln((E - V)/E) \approx 33 \text{ ns} \quad (1)$$

使得延时 33 ns 后再对数据进行锁存,以保证数据进入稳定态。经测试,在延时后读写 LHB155304 时,数据正确无误码,如图 7 所示。时序波形如图 8 所示,可观察到数据和 WE 信号在锁存时为稳定态。

0x[4]	unsigned short	0x005C (Hex)	0x000039FC
0x[5]	unsigned short	0x005B (Hex)	0x000039FE
0x[6]	unsigned short	0x005A (Hex)	0x00003A00
0x[7]	unsigned short	0x0059 (Hex)	0x00003A02
0x[8]	unsigned short	0x0058 (Hex)	0x00003A04
0x[9]	unsigned short	0x0057 (Hex)	0x00003A06
0x[10]	unsigned short	0x0056 (Hex)	0x00003A08
0x[11]	unsigned short	0x0055 (Hex)	0x00003A0A
0x[12]	unsigned short	0x0054 (Hex)	0x00003A0C
0x[13]	unsigned short	0x0053 (Hex)	0x00003A0E
0x[14]	unsigned short	0x0052 (Hex)	0x00003A10
0x[15]	unsigned short	0x0051 (Hex)	0x00003A12
0x[16]	unsigned short	0x0050 (Hex)	0x00003A14
0x[17]	unsigned short	0x004F (Hex)	0x00003A16
0x[18]	unsigned short	0x004E (Hex)	0x00003A18
0x[19]	unsigned short	0x004D (Hex)	0x00003A1A
0x[20]	unsigned short	0x004C (Hex)	0x00003A1C

图 7 CE 信号增加延时读出的数据

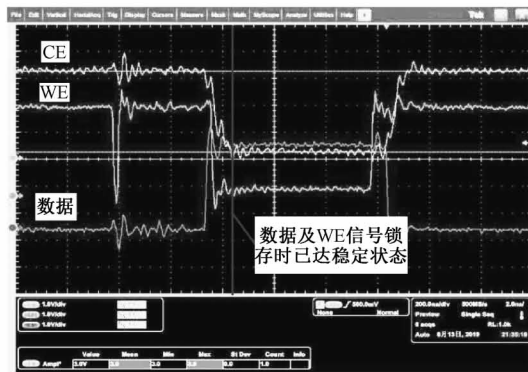


图 8 CE 信号增加延时的波形

5 结 论

本文通过 DSP6713B 的 EMIF 接口对国产 1553B 总线协议芯片 LHB155304 进行控制,实现 RT 双缓冲存储管理机制下的 1553B 通信,成功应用于航天某院的大气数据解算装置项目,并完成相关试验。试验过程中,数据传输稳定且可靠。

本文具有接口简单易行、高效率、高可靠性等优点,为 1553B 总线的国产化提供了实际应用经验,具有较高的工程实用价值。

参考文献

- [1] 徐贵贤. 1553B 总线简介及其实现[J]. 通信技术, 2011, 44(5): 166-168.
- [2] 李增科, 李云鹏, 席东学. 基于 SPI 协议的双 DSP 通讯设计与实现[J]. 电子测量技术, 2020, 43(19): 159-164.
- [3] 崔琪, 顾金良, 刘庆国, 等. 基于 DSP+FPGA 的高速数据采集系统的设计[J]. 国外电子测量技术, 2020, 39(1): 93-98.
- [4] 邓舜耕, 李宏民, 杨宣兵, 等. 基于 DSP 的高速感应无线位置检测系统[J]. 电子测量与仪器学报, 2016, 30(6): 880-886.
- [5] 杨双龙, 徐科军, 梁利平, 等. 基于 DSP 的浆液型电磁流量计的研制[J]. 仪器仪表学报, 2011, 32(9): 2101-2107.
- [6] 关瑞云, 甄国涌, 单彦虎. 基于 DSP 的大气数据解算卡串行通信接口设计[J]. 电测与仪表, 2020, 57(3):

- 94-98.
- [7] 贾金艳,陈海峰,陈亚卿,等. 高速 1553B 总线在飞航导弹上的应用研究[J]. 飞航导弹,2015(10):58-61.
- [8] 李国富,尚世杰. 基于 DSP 的 1553B 国产化总线系统设计实现[J]. 电子世界,2020(10):182-183.
- [9] 邓林,戎蒙恬. 基于 BU-61580 的 MIL-STD-1553B 总线设计[J]. 信息技术,2014(2):194-198.
- [10] 刘陶,张翀,谭志宏. 高性能 DSP 在 1553B 总线中的设计与实现[J]. 航空计算技术,2017,47(2):109-112.
- [11] 原晨,张晓曦,窦爱萍. 4Mbps 1553B 总线接口电路设计[J]. 信息通信,2018(2):43-45.
- [12] 张启敏,孙剑波,权云涛. 1553B 总线网络中 RT 终端系统的软件设计[J]. 电子科技,2014,27(3):38-40,45.
- [13] 张晓,胡颖毅,黄子硕,等. 基于 FPGA 的 1553B 总线接口技术研究与实现[J]. 无线互联科技,2020,17(6):155-157.
- [14] 黄琪,王磊,符赞超. 基于 DSP 的星载计算机 1553B 总线 RT 设计与实现[J]. 通信对抗,2016,35(3):46-49.
- [15] 董海迪,何华锋,郑建飞. 基于 BU-61580 的 1553B RT 终端控制器设计[J]. 自动化应用,2014(1):11-13.
- [16] 石然,张永杰,王金芳,等. 一种采用收发双缓冲结构的 1553B 总线接口的设计与实现[J]. 导航定位与授时,2018(5):7-7.
- [17] 樊彬,唐艺菁,王剑峰,等. 一种新型高速 1553B 总线控制器的应用验证[J]. 微电子学与计算机,2014(5):93-95.
- [18] 王蒙,张强成,李耀军. 高速 1553B 总线通讯控制器测试验证系统研究[J]. 计算机测量与控制,2014(10):193-195.

作者简介

任勇峰,教授,博士生导师,主要研究方向为传感器研究、高速数据采集、传输、存储和图像处理。

E-mail:18611185860@163.com

吕文强,硕士研究生,主要研究方向为高速数据传输。

E-mail:609379772@qq.com

关瑞云,硕士研究生,主要研究方向为高速数据传输。

E-mail:18635708505@163.com

臧冠宇,助理工程师,主要研究方向为通信与测试。

E-mail:19834533183@163.com