

# 基于FPGA的高精度频率计的设计与实现\*

姜志健 庄建军 陈旭东 赵之轩

(南京大学电子科学与工程学院 南京 210023)

**摘要:** 为了实现对正弦信号频率的高精度测量,设计了一种基于FPGA的数字频率计;除测量频率外,该装置还可以测量双路方波信号的时间间隔和脉冲信号占空比。该频率计以FPGA和单片机为核心,采用“多路并行计数法”实现信号频率的高精度测量。输入信号经高频放大和比较模块转换为方波信号输入FPGA单元,经多路不同倍数分频后进行并行计数,最后由单片机选择输出精度高的一路计数值,利用换算关系得出最终的测量结果。经测试,该数字频率计可实现1 Hz~199 MHz、10 mVrms~1 Vrms正弦信号的频率测量,相对误差的绝对值不大于0.0001%;100 Hz~1 MHz、50 mV~1 V同频方波的时间间隔测量,测量范围为0.1  $\mu$ s~100 ms,相对误差的绝对值不大于1%;50 mV~1 V、1 Hz~5 MHz脉冲信号的占空比测量,相对误差的绝对值不大于1%。因此,具有测量精度高、测量频率范围宽和测量幅度范围大的特点。

**关键词:** 数字频率计;高精度;计数法

**中图分类号:** TN06 **文献标识码:** A **国家标准学科分类代码:** 510.1050

## Design of high precision frequency meter with FPGA

Jiang Zhijian Zhuang Jianjun Chen Xudong Zhao Zhixuan

(School of Electronic Science and Engineering, Nanjing University, Nanjing210023, China)

**Abstract:** In order to measure the frequency of a sinusoidal signal in high precision, the article designs a digit frequency meter based on FPGA (field programmable gate array). Besides measuring frequency, the device can also measure the time interval of two square signals and the duty ratio of a pulse signal. With FPGA and MCU (micro control unit) as the kernel, the meter adopts the method called ‘Parallel Multi-Ways Counting Method’ to realize the high precise measurement. Specifically, signals would input FPGA after high frequency amplification module and high frequency comparing module. And then signals would be divided into multi-ways to decrease frequency by different times and be counted synchronously. Finally, MCU would select the most accurate result and get the final result after computing. After the test, the meter can measure the frequency of a sinusoidal signal from 1 Hz to 199 MHz and from 10 mVrms to 1 Vrms with the relative error not above 0.0001%; the meter can measure the time interval of two square signals from 50 mV to 1 V and from 100 Hz to 1 MHz with the relative error not above 1%; the meter can measure the duty ratio of a pulse signal from 50 mV to 1 V and from 1 Hz to 5 MHz with the relative error not above 1%. Therefore, the meter has the feature of high precision, wide frequency range and wide amplitude.

**Keywords:** digit frequency meter; high precision; counting method

## 1 引言

本文目的是设计出一款基于FPGA的高精度、宽频率范围、宽幅度范围的数字频率计。

频率测量是测量技术领域的经典研究课题。发展到今天,测量方法主要有直接测频法、时间间隔——相位转换测

频法、数字化测频法、内插测频法和混频测频法<sup>[1]</sup>。数字化测频法中,国彬等<sup>[2]</sup>对等精度频率测量法进行了两方面的改进:一方面在不提高系统工作频率和延长测量门限时间的前提下,通过对基准时钟信号计数值的修正,进一步提高了测量精度;另一方面利用对被测信号的自适应分频,消除了预置门限时间带来的不足,简化了同步逻辑电路,提高了

收稿日期:2016-10

\*基金项目:江苏省高等教育教改研究立项课题(2015JSJG165和2015JSJG069)、2016年度电子信息类专业教指委研究课题重点项目(2016-Z1)、2015年、2016年教育部产学合作专业综合改革项目、中央高校基本科研业务费专项资金、2016年国家级大学生创新训练计划(G201610284027)资助项目

系统可靠性,实现了测量门限时间的自动寻优,在基于可编程逻辑器件 CPLD 以及 DSP 的硬件系统中,实现了范围为 1 Hz~2 MHz、相对误差不大于  $10^{-4}$  的频率测量。杨秀增<sup>[3]</sup>介绍一种基于 NiosII 的自适应高精度频率计设计方法,把等数度的测频组件与控制部分设计在一块 FPGA 器件上,设计了一个高精度的等精度 IP 核,采用了基于测频时间最短为准则的自适应算法,实现了对 0.1 Hz~50 MHz 误差小于  $10^{-7}$  的频率测量。汪之国等<sup>[4]</sup>为了减少普通电子计数法测频时的  $\pm 1$  量化误差,采用数字滤波来滤除量化噪声,基本消除了量化误差的影响,实现了高速、高精度测频。

以上数字化测频法存在测量频率范围小、对高频信号测量误差大、自适应分频算法复杂、减小误差方法复杂等问题。本文开创性地提出“多路并行计数法”:基于多路并行处理能力强<sup>[5-6]</sup>、计算速度快<sup>[7]</sup>、成本低、集成度高的 FPGA,使用多路不同分频的基准信号进行计数;利用绝对误差只能是 1,选出最高精度的计数结果。具体实现时,使用宽带放大器、高速比较器搭建高速比较模块,使用 FPGA 作为测频模块,使用单片机、LCD 显示屏和键盘组成控制模块,使用 Verilog 编程实现“多路并行计数法”。预期实现对 1 Hz~199 MHz 正弦信号频率的高精度测量,同时实现对方波信号的时间间隔测量和脉冲信号的占空比测量。

## 2 高精度测量方法

不同于“多周期同步”测频的方法,本频率计采用“多路并行计数法”。该方法以“计数法”为基础——使用输入信号作为闸门信号,使用 FPGA 内部高频信号对输入的方波信号进行计数,然后通过换算关系得到测量结果。由于 FPGA 内部信号频率高和精度高,“计数法”可以保证很高的频率和精度。并且做了一定的优化——将输入信号分为多路,经过不同倍数分频后,使用 FPGA 内部高频信号对输入信号进行并行计数,选取误差最小的结果。误差最小结果的选取依据是:使用 FPGA 的高精度高频信号进行计数时,误差只可能产生于信号上升沿,因此绝对误差只可能

是  $\pm 1$ <sup>[8-11]</sup>,最大的可能相对误差是 1 除以计数结果与分频数的乘积,因此最大的计数结果的相对误差一定最小。采用“多路并行计数法”可以极大地提高测量精度,并且避免高频段和低频段测量需要手动调整的弊端。

### 2.1 频率和周期的测量方法

假设输入信号为 SIGNAL1,每次在输入信号的上升沿处输出计数值,同时将计数值归零重新开始计数。在第  $N+1$  个上升沿停止计数,输出计数值。测量结果<sup>[12]</sup>为:

$$f = \frac{(N \times \text{FGPA 信号频率})}{(\text{计数值} \times \text{分频数})} \quad (1)$$

$$T = \frac{(\text{计数值} \times \text{分频数})}{(N \times \text{FGPA 信号频率})} \quad (2)$$

其中  $N$  根据两路信号的时间间隔决定,若时间间隔太小,会适当增加  $N$  以提高测量精度<sup>[13]</sup>。

### 2.2 时间间隔测量方法

假设输入的两路信号为 SIGNAL1、SIGNAL2。在 SIGNAL1 第 1 个上升沿开始计数, SIGNAL2 第 1 个上升沿暂停计数; SIGNAL1 第 2 个上升沿继续计数, SIGNAL2 第 2 个上升沿暂停计数;一直到在 SIGNAL1 第  $N$  个上升沿开始计数, SIGNAL2 第  $N$  个上升沿停止计数,输出计数值。测量结果为:

$$\Delta t = \frac{(\text{计数值} \times \text{分频数})}{(N \times \text{FGPA 信号频率})} \quad (3)$$

其中  $N$  根据两路信号的时间间隔决定,若时间间隔太小,会适当增加  $N$  以提高测量精度。

### 2.3 脉冲信号的占空比测量方法

在信号第 1 个上升沿开始计信号低电平个数,在信号第  $N+1$  个上升沿结束计数,输出计数值。测量结果为:

$$\text{占空比} = \frac{(\text{计数值} \times \text{分频数})}{(N \times \text{FGPA 信号频率})} \quad (4)$$

其中  $N$  根据信号的频率决定,若信号频率过高,会适当增加  $N$  以提高测量精度。

## 3 频率计整体方案设计

频率计整体系统框图如图 1 所示。

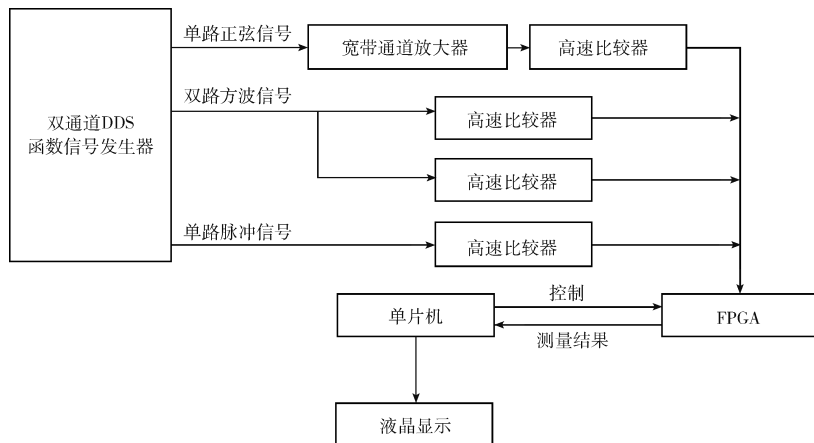


图 1 系统框图

### 3.1 硬件系统

系统硬件总体框图如图2所示。

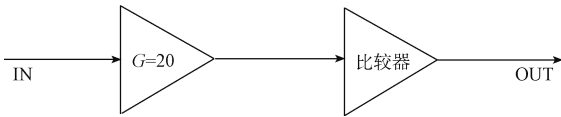


图2 硬件总体框图

该硬件系统核心部分由宽带通道放大器、高速比较器、FPGA和单片机等构成。

单路正弦信号通过宽带通道放大器实现最大26 dB的电压增益后,通过高速比较器整形为方波信号输入FPGA;双路方波信号分两路通过宽带放大器、单路脉冲信号通过宽带放大器输入FPGA。FPGA对方波信号进行分频后计数,将计数结果传递给单片机。单片机选择最高精度的技术结果,利用换算关系计算出频率、时间间隔和占空比的测量结果,并控制液晶显示屏输出结果。同时,利用单片机对FPGA进行控制。该硬件系统不同模块之间的信号传输使用高频稳定性更高的“双绞线”。

#### 3.1.1 芯片的选择

整体系统采用±5.0 V双电源供电;通过AMS1117-3.3产生不受负载影响的稳定的3.3 V电压<sup>[14]</sup>,通过FFC线、杜邦线和通用串行总线接口向芯片、FPGA和单片机供电。

宽带通道放大器采用OPA847芯片,此芯片是宽带、极低噪声电压反馈运算放大器,具有3.9 GHz的极宽带宽、950 V/μs的压摆率、0.85 nV/√Hz的极低输入噪声<sup>[15]</sup>,并且稳定性高。

高速比较器采用TLV3501芯片,此芯片是轨至轨高速比较器,具有4.5 ns的轨至轨时间<sup>[16]</sup>和极高的比较速度,比较信号频率可达100 MHz。

OPA847和TLV3501都是SOIC封装且具有基本相同的引脚排列,基于此设计出可供两块芯片兼容使用的印刷电路板。在印刷电路板设计时,信号传输线尽量短,并且要对地线进行平面铜覆盖<sup>[17]</sup>,并共点接地<sup>[18]</sup>,电路如图3所示。

FPGA采用CycloneIV-EP4CE6E22C8N,该芯片稳定工作晶振频率达到50 MHz<sup>[19]</sup>,可稳定倍频至100 MHz,且可对数据进行并行处理。并且Cyclone IV系列中的E系列具有低成本、低功耗的特点,可以控制系统的成本与功耗,适用于低成本以及独立工作环境中<sup>[20]</sup>。

#### 3.1.2 放大器的稳定性

放大器要达到绝对稳定,放大器不仅要避免接近自激振荡条件<sup>[21]</sup>:

$$\Delta\varphi_T = 180^\circ \text{ 和 } 20\lg |T| = 0 \text{ dB} \quad (5)$$

而且要留有适当的富裕量。富裕量越大,放大器越难产生自激振荡。设计OPA847放大电路参数时尽量远离

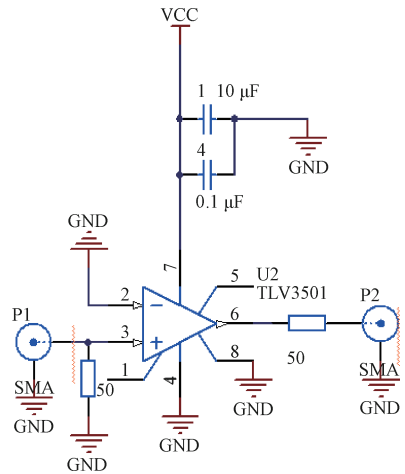


图3 比较器电路图

了自激振荡条件。

不良接地和不充分的供电电源滤波、大容量容性负载、输入杂散电容、前沿校正(补偿)和高频噪声都对运算放大器的稳定性有影响。本频率计整个系统完全共地,通过电源旁路电容增加电路的稳定性,电源和地之间使用10 μF的电容并联一个0.1 μF的陶瓷电容<sup>[22]</sup>;输出端增加一个串联电路,减小负载电容影响。并采用极低噪声运算放大器OPA847,其只有0.85 nV/√Hz的极低输入噪声。

设置工作点时,尽量选用芯片手册推荐的电阻、电容值,以保证运放工作在最佳稳定状态。OPA847在增益大于等于10.8 dB时能稳定工作,因此最终确定了26 dB的通带增益。

### 3.2 软件设计

本系统程序设计部分以MSP430F5529为控制核心,主要完成FPGA控制、显示控制等功能;以CycloneIV-EP4CE6E22C8N为信号处理核心,主要完成对输入方波信号分频、计数等功能。采用“多路并行计数法”,主程序流程图如图4所示。

## 4 测试结果与分析

#### 4.1 频率和周期测量功能的性能测试

用信号发生器产生有效值和频率不同的正弦波输入到数字频率计,在空载的条件下进行测量,测试结果如表1所示。

由表1可知,该数字频率计可对1 Hz~199 MHz、10 mVrms~1 Vrms的正弦波能进行频率测量,相对误差的绝对值不大于0.000 1%。

#### 4.2 时间间隔测量功能的性能测试

用信号发生器产生两路同频同压有时间间隔的方波信号输入到数字频率计,在空载的条件下进行测量,测试结果如表2所示。

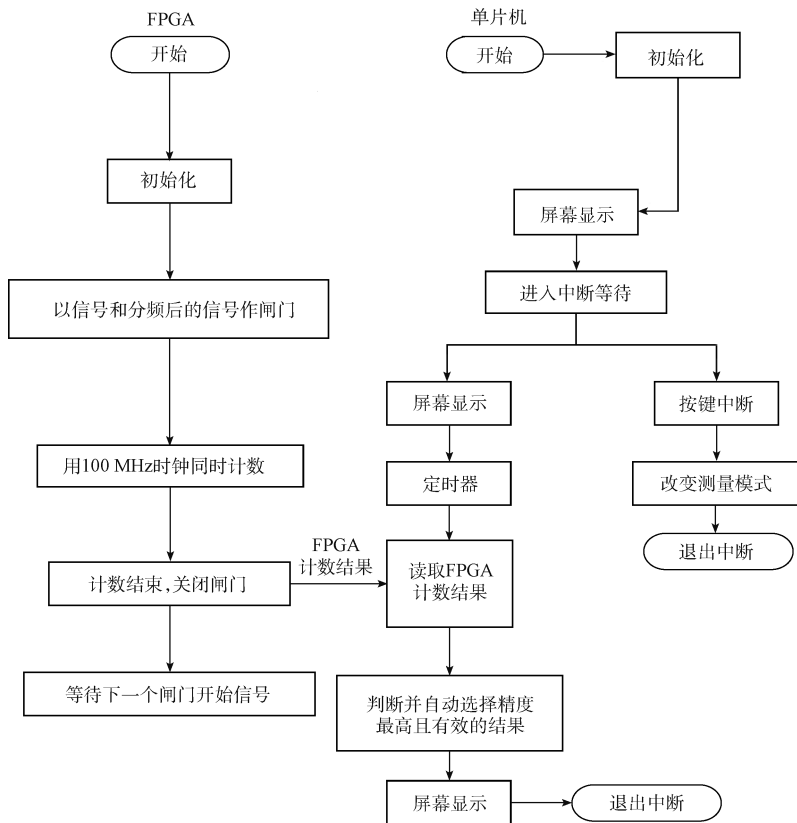


图 4 主程序流程

表 1 频率和周期测量功能的实际测量值

	有效值/mV <sub>rms</sub>			
	10	50	500	1000
1	0.999 8	0.999 8	0.999 7	0.999 9
100 kHz	99.999 kHz	100.000 kHz	99.999 8 kHz	99.999 9 kHz
10 MHz	10.000 01 MHz	10.000 01 MHz	10.000 01 MHz	10.000 01 MHz
100 MHz	100.000 1 MHz	100.000 1 MHz	100.000 1 MHz	100.000 1 MHz
199 MHz	199.000 1 MHz	199.000 1 MHz	199.000 1 MHz	199.000 1 MHz

表 2 方波信号时间间隔测量功能的实际测量值

	幅度/频率					
	50 mV/100 Hz	100 mV/1 kHz	500 mV/100 kHz	500 mV/500 kHz	50 mV/1 MHz	1 000/1 MHz
100 ns	99.8 ns	99.9 ns	99.8 ns	99.8 ns	99.9 ns	99.8 ns
100 μs	99.9 μs	99.8 μs	99.7 μs	99.9 μs	99.9 μs	99.8 μs
4 ms	3.988 ms	3.997 ms	3.998 ms	3.998 ms	3.998 ms	3.998 ms
10 ms	9.999 ms	9.998 ms	9.999 ms	9.997 ms	9.998 ms	9.999 ms

由表 2 可知,该频率计可对 100 Hz~1 MHz、50 mV~1 V 的同频方波进行时间间隔测量,测量范围为 0.1 μs~100 ms,相对误差的绝对值不大于 1%。

### 4.3 脉冲信号占空比测量功能的性能测试

用信号发生器产生峰峰值电压为 50 mV 并且频率、占空比不同的脉冲输入到数字频率计,在空载的条件下进行

测量,测试结果如表3所示。

表3 脉冲信号占空比测量功能的实际 (%)

	频率			
	1 Hz	500 kHz	5 MHz	
占空比/%	10	9.93	9.94	10.07
	50	50.05	50.01	50.01
	90	90.07	90.05	89.92

由表3可知,该数字频率计可对50 mV~1 V、1 Hz~5 MHz的脉冲信号能进行占空比测量,相对误差的绝对值不大于1%。

## 5 横向对比实验

本文选取2009年王伟等人<sup>[23]</sup>设计的基于C8051F060的自适应高精度频率计、2010年刘竹琴等人<sup>[24]</sup>设计的一种基于AT89C51的数字频率计、2012年宗发保等人<sup>[25]</sup>设计的基于EPM240和MSP430的等精度频率计、2016年刘家玮等人<sup>[26]</sup>设计一种新型的高精度数字频率计做横向对比试验。

### 5.1 频率范围

由表4可知,本文设计的数字频率计的频率范围,特别是高频范围,较其他方案有明显的提高。

表4 频率范围比较

设计方案	频率范围
文献[23]	0.1 Hz~40 MHz
文献[24]	10 Hz~480 kHz
文献[25]	0.5 Hz~10 MHz
文献[26]	1 Hz~100 MHz
本文	1 Hz~199 MHz

### 5.2 测量误差

由表5可知,本文设计的数字频率计误差小于绝大部分方案;在频率范围远大于宗发保等的方案的情况下,达到了宗发保等方案的测量精度。

表5 测量误差比较

设计方案	测量误差
文献[23]	$10^{-7}$
文献[24]	$10^{-4} \sim 10^{-2}$
文献[25]	$10^{-8}$
文献[26]	$10^{-5} \sim 10^{-4}$
本文	$<10^{-7}$

### 5.3 功能比较

只有本文在一个系统中,实现了除频率测量之外的另外两个测量功能。

## 6 误差分析

### 6.1 比较器模块

比较器未能将输入信号整形合格的方波,方波边沿处的畸变导致FPGA无法成功捕捉到边沿而产生误差;边沿处的毛刺现象、振铃现象导致FPGA短时间内捕捉到多次边沿而产生误差。

### 6.2 FPGA计数

尽管采用了“多路并行计数法”提高了测量精度,但FPGA计数时在方波上升沿处产生的绝对值为1的误差无法消除,从而导致测量结果产生误差。

## 7 结论

该频率计以FPGA和单片机为核心,利用“多路并行计数法”实现了完整的系统设计。与传统频率计相比,基于FPGA的频率计简化了电路板设计,提高了系统设计的实用性和可靠性,实现了数字系统的软件化。将FPGA与单片机相结合,充分发挥了FPGA工作频率高和单片机扩展性好的优点。利用宽带放大器和高速比较器的高频性能,保证了信号测量的高频率范围和高幅度范围。

虽然采用“多路并行计数法”可以大幅度提高频率测量的范围和精度,高频段和低频段测量无需手动调整;但同时需注意到FPGA的资源有限<sup>[27]</sup>,该方法对FPGA资源需求较高,在资源紧缺的场合下应谨慎使用。

## 参考文献

- [1] 陈丽锋,孟瑞,冯希. 频率测量技术综述[J]. 电子科技, 2011, 24(7): 155-159.
- [2] 国彬,张和生. 基于CPLD与DSP的高精度自适应频率测量方法的研究与实现[J]. 计算机测量与控制, 2008, 16(12): 1814-1818.
- [3] 杨秀增. 基于NiosII的自适应高精度频率计设计[J]. 自动化与仪表, 2009, 24(7): 13-16.
- [4] 汪之国,龙兴武,王飞. 高精度测频方法及其在四频激光陀螺中的应用[J]. 传感技术学报, 2009, 22(10): 1525-1528.
- [5] 张淑梅. 基于ARM+FPGA的高精度数据采集系统设计[J]. 国外电子测量技术, 2014, 33(11): 62-65.
- [6] 王飞. 基于FPGA的多通道高分辨率时间数字转换系统设计[J]. 电子测量与仪器学报, 2014, 28(6): 664-669.
- [7] HE Y F, WANG SH J, PENG Y. High performance heterogeneous embedded computing: A review[J]. Instrumentation, 2014, 1(2): 1-12.

- [8] 包本刚,何怡刚,谭永宏.基于FPGA的全同步数字频率计的设计与实现[J].测试技术学报,2008,22(2):99-102.
- [9] 郝统关,程明.基于FPGA Nios II的等精度频率计设计[J].电测与仪表,2009,46(2):56-58.
- [10] 李慧丽,牟永敏,张志华.基于FPGA的数字频率计设计[J].数据通信,2012(6):43-45.
- [11] 晏细兰,谢景明,熊茂华.基于FPGA和VHDL的高精度数字频率计研究与设计[J].计算机光盘软件与应用,2014(15):91-94.
- [12] 屈宝鹏,张喜凤,李想.基于VHDL的高精度数字频率计的设计与实现[J].现代电子技术,2013,36(18):144-147.
- [13] 毛智德,吕善伟.基于FPGA的等精度频率计设计[J].电子测量技术,2006,29(4):85-86.
- [14] AMS1117-3.3 datasheet[S].2012.
- [15] Wideband, ultra low-noise, voltage-feedback operational amplifier with shutdown (Rev. E) [S].2008.
- [16] TLV350x 4.5-ns, rail-to-rail, high-speed comparator in microsize packages (Rev. E)[S].2016.
- [17] 裴林廷,黄世玲.一种基于FPGA小信号宽频带数字频率计的设计[J].科技创新与应用,2016(7):61-61.
- [18] 兰羽,张玉洁.光电探测中低噪声前置放大器的设计[J].国外电子测量技术,2012,31(6):84-86.
- [19] Cyclone IV device datasheet[S].2016.
- [20] 荣少巍.基于FPGA的高精度多通道采集存储系统研究[J].电子测量技术,2014,37(4):108-111.
- [21] 张肃文.高频电子线路[M].5版.北京:高等教育出版社,2009.
- [22] 陆婷,刘青.基于OPA820宽带放大器的设计[J].国外电子测量技术,2011,30(2):43-46.
- [23] 王伟,杨济民,韩晓丽,等.基于C8051F060的自适应高精度频率计设计[J].电子测量技术,2009,32(6):105-108.
- [24] 刘竹琴,白泽生.一种基于单片机的数字频率计的实现[J].现代电子技术,2009,32(6):105-108.
- [25] 宗发保,郭昌华,杜伟宁,等.基于EPM240和MSP430的等精度频率计[J].吉林大学学报:信息科学版,2012,30(5):492-496.
- [26] 刘家玮,张红伟.一种新型的高精度数字频率计设计[C].ICEMC,2016:1114-1118.
- [27] 王少军,张启荣,彭宇,等.一种新型的高精度数字频率计设计[J].仪器仪表学报,2014,35(6):1209-1216.

### 作者简介

**姜志健**,1995年出生,电子信息科学与技术专业本科,主要研究方向为仪器与测试技术、数字图像处理与机器视觉等。

E-mail:478293070@qq.com

**庄建军**,1973年出生,博士、副教授、硕士生导师,电子信息专业国家级实验教学示范中心、信息电子国家级虚拟仿真实验教学中心常务副主任,中国电子教育学会高等教育分会第七届理事会理事,江苏省大学生电子设计竞赛测评专家,现从事医学电子、可穿戴、嵌入式应用以及实验教学和创新创业教育研究。

E-mail:jjzhuang@nju.edu.cn