

基于并串转换的多通道高速伪随机序列发生器

王 婷¹ 田 伟² 张京超¹ 付 宁¹

(1. 哈尔滨工业大学 自动化测试与控制研究所 哈尔滨 150080; 2. 新时代工程咨询有限公司 北京 100088)

摘 要: 研制了一款通用的多通道高速伪随机序列发生器。该发生器基于 FPGA 利用并串转换和时钟树技术实现, 包含 4 个并行的通道, 跳变速率智能可调, 且伪随机序列有多种选择, 可以为 m 序列、伯努利序列等等。同时对高速信号进行了信号完整性仿真, 经测试, 设计的高速伪随机序列发生器生成的伪随机序列波形和仿真结果相吻合, 正负取值的幅度误差小于 100 mV, 最小脉冲宽度为 0.5 ns, 跳变速率可达 2 Gbps。该伪随机序列发生器可作为混频信号用于调制宽带转换器系统中, 也可用于通信、雷达、超声波测距等领域。

关键词: 伪随机序列; 并串转换; 信号完整性

中图分类号: TN79 **文献标识码:** A **国家标准学科分类代码:** 510.10

Multichannel high-speed pseudo-random sequence generator based parallel/serial converter

Wang Ting¹ Tian Wei² Zhang Jingchao¹ Fu Ning¹(1. Automatic Test and Control Institute, Harbin Institute of Technology, Harbin 150080, China;
2. New Era Engineering Consulting Co., Ltd, Beijing 100088, China)

Abstract: A multichannel high-speed pseudo-random sequence generator with common use has been developed. This generator is achieved by parallel/serial and clock tree based on FPGA, includes 4 parallel channels. The alternating frequency can be changed online. There are several choices for the pseudo-random sequence, such as m sequence, Bernoulli sequence or others. Signal integrity simulation for high-speed signals has been executed. Hardware tests validate that the experimental results and simulation results are consistent, the positive and negative margin of error is less than 100 mV, the minimum pulse width is 0.5 ns, and the transition frequency of the designed high-speed pseudo-random sequence generator can reach 2 Gbps. This high-speed pseudo-random sequence generator can be used in modulated wideband convertor as a mixer function, and can also be used in communication or radar, ultrasonic ranging domain.

Keywords: pseudo-random sequence; parallel/serial converter; signal integrity

1 引 言

伪随机序列是具有某种随机统计特性的确定序列。它具有良好的相关性, 可用于雷达测距和电法勘探中^[1]; 它还具有伪随机性, 因而可用于加密系统、计算机的系统模拟、扩频通信系统以及近年来新出现的压缩采样系统等场合^[2-4]。例如, 在压缩采样系统调制宽带转换器中, 需要伪随机序列来调制被测信号, 为保留被测信号的所有信息, 要求伪随机序列的跳变频率不小于被测信号的奈奎斯特频率。随着信息技术的发展, 在许多信号处理的实际应用场景, 如超宽带通信、雷达探测等高精尖领域, 信号的频率和带宽都越来越大, 采样和处理这样的信号, 需要高速的伪

机序列发生器。

Eldar 等人设计的调制宽带转换器系统采用 12 个高速移位寄存器串联的方式实现伪随机序列发生器^[4], 结构复杂, 且产生的伪随机序列的位数固定, 应用范围窄。韩春等人基于 FPGA 利用 m 序列^[5]的采样定理和移位相加性设计的高速伪随机序列发生器^[6], 其速率依赖于使用的移位寄存器的个数, 硬件一旦设计成功, 无法更改, 不够灵活。电子科技大学的 Wang 博士也采用并串转换芯片设计高速伪随机序列发生器, 但他们仅实现了单通道的序列发生器^[7]。

本文采用一片 FPGA, 设计外围时钟电路和并串转换电路实现的多通道高速伪随机序列发生器, 结构简单, 灵活

性和可靠性高,且各通道间同步性较好。

2 高速伪随机序列发生器方案

图 1 是基于 FPGA 采用并串转换电路和时钟电路产生多通道高速伪随机序列发生器的结构框图。从图中可以看出,该发生器在硬件结构上包含 4 个相同的通道,且主要由以下几个部分组成:FPGA 控制模块、并串转换模块、时钟模块、电源模块、RS232 通信模块。FPGA 控制模块有 3 个作用:1)控制时钟模块生成高速 CLK 时钟;2)控制并串转换模块实现并行数据到串行数据的转换;3)生成随机序列,随机序列可以由 MATLAB 产生后存入 FPGA 中的 RAM 单元,也可以用 FPGA 内部逻辑单元来实现。因此,随机序列可以是常用的 m 序列,也可以是伯努利序列等其他序列。时钟模块产生 CLK 时钟脉冲,并串转换模块接收 FPGA 生成的并行随机序列,在 CLK 时钟脉冲的触发下,完成并行随机序列到串行随机序列的转换,得到跳变频率为 CLK 时钟的频率,取值为对称的 +1 V 与 -1 V 的周期随机序列。同时,并串转换模块将接收到的 CLK 时钟进行 8 分频产生一个相对低速的时钟 CLK/8 输送给 FPGA 作为其内部逻辑的工作时钟。RS232 通信模块通过与 FPGA 通信,可以在线修改伪随机序列和控制时钟电路产生不同频率的时钟信号,从而实现伪随机序列的频率、长度和值的智能可调。

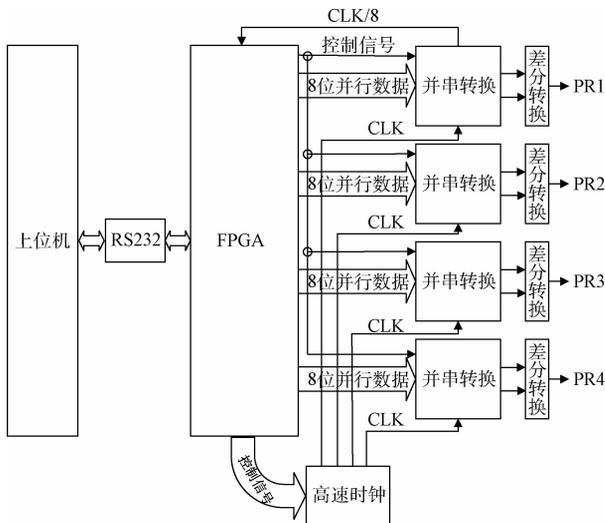


图 1 采用并串转换电路实现的高速伪随机序列

3 高速伪随机序列发生器的设计与实现

所设计的伪随机序列发生器要求其产生的伪随机序列跳变频率为 2 GHz,为完成这个高技术指标的伪随机序列发生器,需要进行主控制器 FPGA 电路设计、时钟模块电路设计、并串转换模块设计、高速信号的信号完整性(signal integrity, SI)仿真^[7-9]以及 PCB 设计等工作。

3.1 FPGA 电路

高速伪随机序列发生器采用 FPGA 作为主控制器,FPGA 的选择需要综合考虑成本、功耗、性能等因素。选择 Altera 公司的 Cyclone III 系列芯片 EP3C25F324C6N。它能支持的专用时钟输入信号频率最高达 403 MHz,列 I/O 引脚输出为 2.5 V-LVTTL 信号时,最大频率能达到 311 MHz,满足工作频率要求。

3.2 并串转换电路

并串转换芯片选择的是 MC100EP446,它的传输速率可达到 3.2 Gbps,该芯片最终输出的伪随机序列是差分信号,需要进行差分到单端信号的转换,设计中采用平衡变压器 TC1-1-13MG2+。图 2 是并串转换模块电路图。MC100EP446 输出 PECL 电平的时钟信号输送给 FPGA,FPGA 在该时钟的触发下不断输出 8 位并行数据。

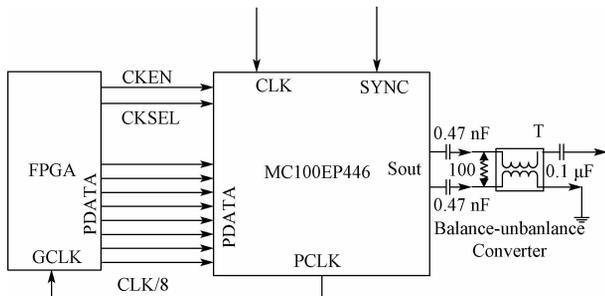


图 2 并串转换电路

3.3 时钟树电路

时钟树电路设计是本设计的难点,要求 4 个通道严格同步,相互间延时小于 50 ps,设计中采用时钟分配器来保证同步要求。时钟树电路包含 4 个芯片:晶体振荡器、时钟芯片、单端-差分转换器和时钟分配器。晶体振荡器选择 CRYSTEK 公司的 CVHD-950 芯片,输出 100 MHz 的时钟信号。

因为晶体振荡器的输出是 100 MHz 的时钟,而并串转换芯片 MC100EP446 需要的输入时钟是 2.0 GHz,因此还需要选用一款具有 PLL 功能的时钟芯片。设计中选用了 TI 公司的 LMX2541SQ2060E 芯片,LMX2541SQ2060E 是一款低噪声、高性能的频率合成器,内部集成了 PLL 和 VCO 电路。其 VCO 输出频率范围为 1 990~2 240 MHz,通过串行接口设置分频系数 VCO_DIV(1~63)可得到 31.6~2 240 MHz 的可变时钟信号,且在 31.6~280 MHz 之间连续可调。

MC100EP446 的输入时钟采用差分形式,而 LMX2541SQ2060E 输出的时钟是单端的,需要进行单端与差分信号转换。设计中选用平衡变压器 B0430J50100A00。

根据需求,平衡变压器 B0430J50100A00 输出的一路时钟脉冲,需要被分割成四路分别去控制并串转换芯片,经过调研,本文选取 ADI 公司的 ADCLK944 时钟分配器,

ADCLK944 是一款具有极低抖动的四路同相时钟分配器,通道间相位差最大为 15 ps,支持 2.5 V 和 3.3 V 两种供电,

工作频率高达 7 GHz,输出频率为 2 GHz 时具有稳定的输出电压。图 3 是时钟电路的硬件设计框图。

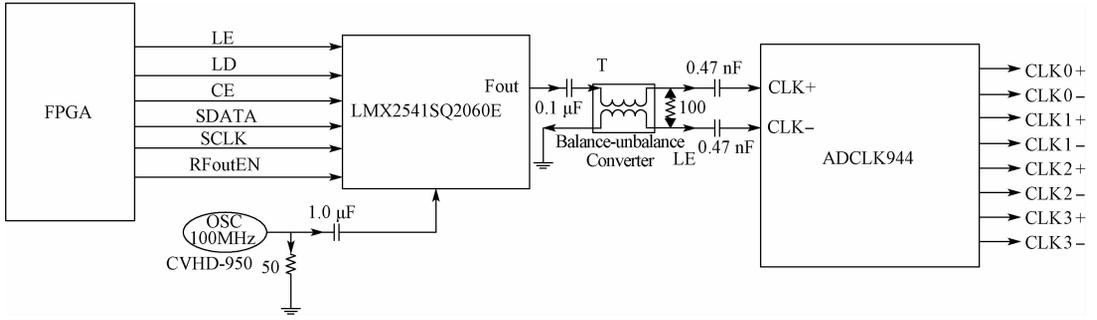


图 3 时钟电路

3.4 电路板高速信号仿真

所设计的电路板信号传输速率达到 2 Gbps,属于高速信号设计范畴,该频段信号在传输时会遇到反射、串扰等信号完整性问题,为避免信号完整性问题主要是要做好匹配及信号完整性仿真^[8]。在硬件设计阶段对相关信号进行信号完整性仿真,仿真工具采用 Allegro PCB SI,它是 Cadence SPB 系列 EDA 工具之一,针对电路板级的信号完整性和电源完整性提供了一整套完善、成熟而强大的分析和仿真方案,并且和 Cadence SPB 的其他工具一起,实现了从前端到后端、约束驱动的高速 PCB 设计流程。

本设计中的高速信号主要包括时钟分配器 ADCLK944 与并串转换芯片 MC100EP446 相连的 CLK 时钟信号以及 MC100EP446 与 FPGA 相连的 PCLK 时钟信号等。下面将分别对上述两种高速信号线进行布线前仿真,并对仿真结果进行分析。

对 ADCLK944 输出的 4 组 CLK 差分时钟信号进行布线前仿真分析时,需要注意 CLK 时钟信号为 LVPECL 电平信号, LVPECL 电路在设计中最重要的就是保证输入端和输出端有正确的电压偏置。1) LVPECL 信号接收端为并串转换芯片 MC100EP446,该芯片内部电路的输入端直流偏置电压与 ADCLK944 的直流偏置电压差别较大,因而需要隔直电容滤除 ADCLK944 的直流成分,在接收端,通过电阻网络,为两个差分输入端重新建立偏置电压 ($V_{cc} - 1.3 V$),即对于 3.3 V 供电电压,需要将偏置电压配置到 2 V,否则电路无法正常工作。2) LVPECL 信号输出端是射极跟随器的发射极,在芯片 ADCLK944 的内部没有连接负载,在输出端需要连接适当的负载电阻,否则不会有正常的输出信号。3) 在对信号质量要求较高时,需要考传输线阻抗匹配,即传输线端接阻抗与传输线的特性阻抗匹配。综合考虑以上因素,设计了如图 4 和图 5 所示的两种端接方式,并进行仿真。

以差分时钟 CLK0 为例,在 Allegro PCB SI 中提取此信号线的拓扑进入到 SigXplorer 中进行仿真^[9],测试激励选择 2 000 MHz 的脉冲信号。然后对差分时钟 CLK0 的

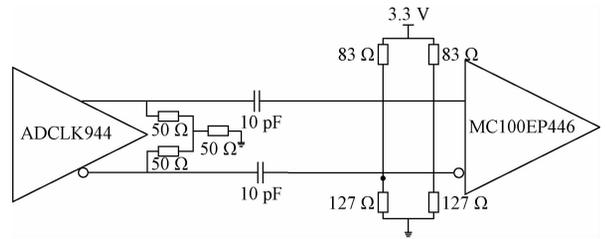


图 4 LVPECL 信号端接(1)

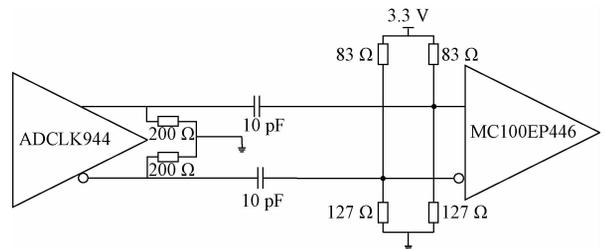


图 5 LVPECL 信号端接(2)

反射现象进行仿真,仿真结果以波形的形式显示,图 6 为两种端接方式的仿真结果图,其中蓝色和绿色信号线为 LVPECL 信号输出端连接 3 个 50 Ω 并联电阻端接的仿真结果,两条红色线为输出端连接 2 个 200 Ω 并联电阻端接的仿真结果。对比 MC100EP446 的芯片手册可知, LVPECL 信号的峰峰值摆幅 V_{pp} 不低于 150 mV 即可满足输入要求,图 6 表明两种端接方式均满足设计要求,但第二种端接方式仿真得到的信号波形幅值更大,波形的振铃和过冲较少,再加上使用的器件相对较少,因此设计 PCB 时采用第二种端接方式。

根据上述仿真结果确定的端接方式并结合 PCB 生产厂家提供的差分线线宽、线距等参数对 4 组 CLK 时钟信号简单布线,仿真结果如图 7 所示。图中 CLK 信号的峰峰值超过 500 mV,符合并串转换芯片对输入时钟信号的要求,且不同差分对间的传输延时经测量最大为 16 ps,满足设计要求。

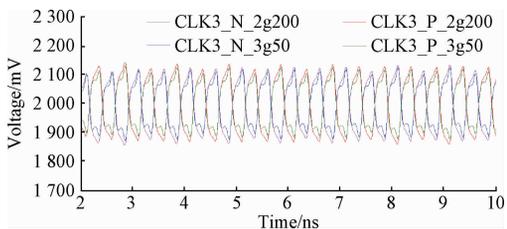


图 6 两终端接方式仿真结果对比

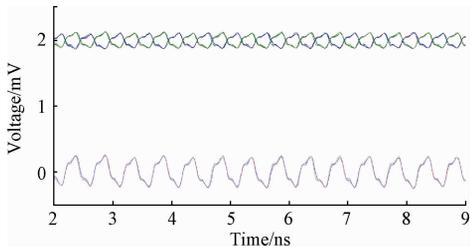


图 7 CLK 差分时钟仿真波形

MC100EP446 与 FPGA 相连的 PCLK 时钟信号也是 LVPECL 信号, 根据之前的设计经验, 输出端采用两个电阻并联进行端接, 输入端则根据 FPGA 的要求设置直流偏置电压为 1.5 V, 需要注意的是, 端接电阻和隔直电容的选择需根据传输信号的频率确定, 具体选择过程不在此赘述。

设计好端接方式后, 对 4 组 PCLK 时钟信号布局布线, 在 SigXplorer 中进行仿真, 以 PCLK0 为例, 测试激励选择 256 MHz 的脉冲信号, 对差分时钟 PCLK 信号的反射现象进行仿真, 仿真结果如图 8 所示。由图可见, PCLK 信号的波形平滑, 几乎没有过冲和振铃, 且差分信号的幅度在 ± 800 mV 之间变化, 和标准 LVPECL 信号的幅度相比, 几乎没有衰减。另外, 不同差分对间的传输最大延时为 0.07 ns, 满足系统设计要求。

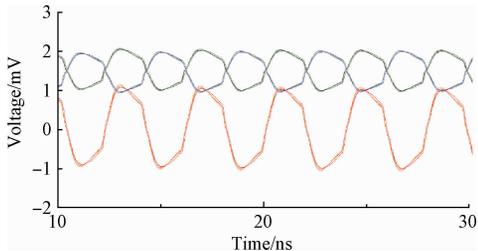


图 8 PCLK 差分信号仿真波形

4 高速伪随机序列发生器的测试

高速伪随机序列发生器的测试分 4 步进行: 1) 电源模块测试; 2) FPGA 测试; 3) 时钟电路测试, 设置不同的分频系数得到不同频率的时钟信号, 同时测试并串转换模块是否正常工作; 4) 在线智能测试。编写上位机软件, 通过上

位机在线控制伪随机序列的频率、长度等参数, 并测试。使用的测试仪器是是德科技 DSA91304A 型示波器, 它的采样率高达 40 GSa/s, 带宽为 13 GHz。图 9 和图 10 分别是 2 GHz 的 CLK 时钟信号波形和 256 MHz 的 PCLK 时钟信号波形, 对比测试结果和仿真结果, 发现设计的硬件电路完全符合预期结果。图 11 是以 m 序列为例测试测到的伪随机序列波形, 经测量, 伪随机序列波形的峰峰值大于 2 V, 正负取值的幅度误差小于 100 mV, 最小脉冲宽度为 0.5 ns, 且序列的跳变频率为 2 GHz。

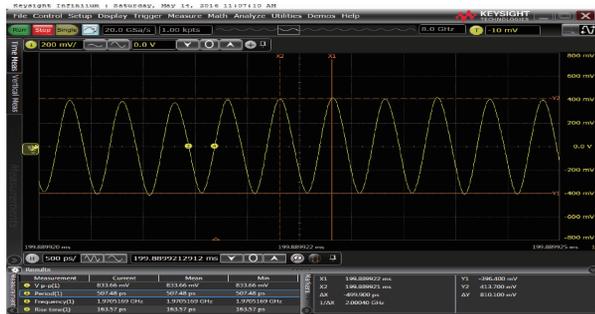


图 9 2 GHz CLK 时钟信号波形

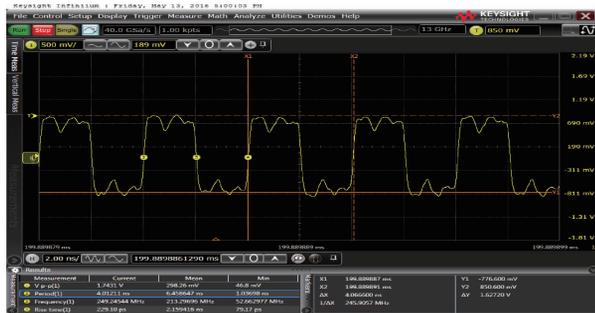


图 10 256 MHz PCLK 时钟波形



图 11 伪随机序列波形

5 结论

基于 FPGA 利用并串转换产生的高速伪随机序列速率、长度均可智能可调, 且随机序列包含常用的 m 序列、伯 (下转第 37 页)