

双通道任意波形发生器信号间耦合问题的研究

卢 炜 黄光明

(华中师范大学 物理科学与技术学院 武汉 430079)

摘要: 针对双通道任意波形发生器信号间相互干扰导致输出波形严重失真的问题,本文从板级电源完整性和信号完整性出发,采用目标阻抗法重新设计系统的去耦电容网络,使电源阻抗在整个工作频率范围内都达到设计要求,进而使电源噪声控制在可接受范围内,使用 Polar SI9000 设计合理的层叠结构和线宽线距使信号线满足可控阻抗传输线要求。利用 Cadence Sigrity 16.6 仿真软件对所设计的系统进行仿真模拟,最后在硬件平台上测试,测试结果表明,第一版系统中出现的两路信号通道相互干扰问题得到解决,很好的改善了输出波形信号质量。

关键词: 信号耦合;电源完整性;目标阻抗法;去耦电容

中图分类号: TP710 **文献标识码:** A **国家标准学科分类代码:** 510.3040

Study on the problem of signal coupling between two channel arbitrary waveform generator

Lu Wei Huang Guangming

(School of physical science and technology, Huazhong Normal University, Wuhan 430079, China)

Abstract: To deal with the problem of severe distortion of the output waveform caused by the interference between the dual channel arbitrary waveform generator, this paper based on the theory of broad level power integrity and signal integrity theory, uses the target impedance method to design the decoupling capacitor network, to make the power's impedance meets our design in the whole pass band, and in a further step, to make the power supply noise control in the acceptable range. Using SI9000 Polar to design a reasonable structure and line width, the signal line can meet the requirement of controllable impedance transmission line. Using the simulation software Cadence Signity 16.6 to simulate the system, and then tested on the hardware platform, the test results show that the interference between two channels' signal is solved, the quality of the waveform signal has been greatly improved.

Keywords: signal coupling; power integrity; target impedance method; decoupling capacitor

1 引言

任意波形发生器(arbitrary waveform generator, AWG)作为激励信号源,在电子测量系统中有着非常广泛的应用。AWG多采用直接数字合成技术(direct digital synthesizer, DDS),除了能产生各种复杂波形外,还具有输出信号的频率分辨率和稳定度高、频率切换快、相位噪声低、切换时输出相位连续以及良好的调制特性等优点^[1]。本设计任意波形发生器采样率为500 MSa/s,最大输出频率为160 MHz,14 bits垂直分辨率,双通道输出;选择Xilinx公司 Virtex6系列中的xc6vlx75t和ADI公司的AD9781完成系统设计。在第一版中测试发现,当信号输出频率变高时,通道相互之间的干扰很严重,导致输出波形严重失真。查找原因最后确定为系统电源噪声过大,通道

之间通过电源路径和地路径相互耦合在一起,所以本文作者从板级电源完整性和信号完整性着手,采用目标阻抗法分析系统的电源阻抗,重新设计系统的去耦电容网络、可控阻抗传输线、电源和地参考平面。然后利用Cadence公司的Sigrity^[2]软件进行仿真,最后通过对硬件平台进行测试,验证设计的可行性和正确性。

2 目标阻抗的设计方法

目标阻抗法是L. Smith在1990年提出的电源分配网络(power distribution network,简称PDN)设计的经典方法^[3-4]。目标阻抗法的原理是:将电流以平均值形式驱动系统,根据电压噪声容限,得出目标阻抗值,然后让电源分配网络阻抗在整个工作频段范围都低于目标阻抗值,即呈现低阻抗特性,使得供电电压噪声都在噪声容限范围内。具

体做法是通过给电源网络添加退耦电容,利用退耦电容在谐振点处阻抗最小的特点降低 PDN 输入阻抗。平均电流值 I_A 、电压噪声容限 U_R 和目标阻抗 Z_{target} 由以下公式决定:

$$I_A = I_{\text{max}} \times 50\% \quad (1)$$

$$U_R = U_{\text{power}} \times K_{\text{ripples}} \quad (2)$$

$$Z_{\text{target}} = \frac{U_R}{I_A} \quad (3)$$

式中: I_{max} 为器件工作电流, U_{power} 为器件供电电压, K_{ripples} 为最大纹波系数。在本系统中,以 FPGA I/O 口供电电压为例,由数据手册可得, $I_{\text{max}} = 420 \text{ mA}$, $U_{\text{power}} = 2.5 \text{ V}$, $K_{\text{ripples}} = 5\%$, 得到 $Z_{\text{target}} = 0.59 \Omega$; 同理由数据手册数据和上述公式可算出 FPGA 内核电压(1 V)的目标阻抗值为 0.31Ω 。

3 去耦电容网络设计

3.1 去耦电容的选取

对于负载芯片来说,实际有电流需求的节点位于封装内部 Die 上,所以完整的 PDN 系统既包含了 PCB 上的部分,又包含芯片封装上的部分^[5]。本系统的 PDN 结构由降压转换芯片 VRM、退耦电容网络、电源/地参考平面、芯片封装内电容、封装内电源/地网络和 Die 上的电容组成,由于后面 3 项都是由具体芯片决定,对于 PCB 板级设计无法得到芯片内部详细信息,所以本文不做讨论。

通常降压转换芯片去耦范围为 100 kHz 以内,即在 100 kHz 以下,芯片能很好的对瞬态电流做出反应,那么 100 kHz 以上频率需要依靠 PDN 结构中的其它模块完成,PCB 上的电容网络就是完成该退耦功能。由于实际电容由理想电容 C、等效串联电阻 ESR 和寄生电感 RSL 构成,所以它存在自谐振频率 f_0 ; 在 f_0 处电容的阻抗最小,呈纯电阻特性,当频率小于 f_0 时,电容呈现电容特性,当频率大于 f_0 时,电容呈现电感特性;必须让电容工作在自谐振频率附近频段才能使电容发挥最好的去耦效果。所以实际电容退耦具有一定的频率范围,超出该范围则电容无去耦效果,即在不同的频段,使用不同的去耦电容去耦,最终使得在整个频率范围内都达到去耦效果。

本系统采用不同封装、不同容值的电容并联组成去耦电容网络。电容封装主要决定了电容的等效串联电感大小,封装越小,电感越小,容值较小的电容可以选择较小的封装,如 0402 型,获得较小的寄生电感;不同封装、不同容值的电容可以在使系统在整个工作频段都达到退耦效果。退耦电容的个数主要由数据手册和芯片电源引脚数初步决定,然后通过仿真软件仿真,如果发现电源阻抗没有达到要求,则进一步添加电容数量,直至阻抗达到要求。

3.2 去耦电容的放置

去耦电容的放置所要遵循的原则是尽可能的减少安装电感^[6]。电容安装到 PCB 板上所引入的安装电感本质上是增大了电容的寄生电感,进而降低了电容的谐振频率,大大降低了电容的高频去耦能力,使得电源阻抗难以控制在

较低值。减少去耦电容的寄生电感,就需要在电容两端的焊盘引出较宽的引线打过孔到电源和地平面,引线尽可能的短,引线越短,寄生电感越小;另外去耦电容尽量靠近芯片放置,尤其是小电容;且在放置时电容最好均匀分布在芯片供电引脚的周围,对芯片达到均匀去耦目的。

4 参考平面和可控阻抗设计

4.1 参考平面设计

本系统属于典型的高速数模混合系统,FPGA 及 DAC 输入属于数字电路部分,DAC 输出及后端幅度调理电路属于模拟电路范畴,DAC 采样速率为 500 MSPS ,双边沿采样,属于高速电路。在高速电路中,传输线由信号路径和返回路径组成,参考平面是指与走线处于不同层,以平面形式出现的返回路径^[7]。所以参考平面的优劣决定了信号返回路径的好坏。综合考虑,PCB 层叠结构设置为 6 层,从上至下依次为信号层、地层、信号层、电源层、地层和信号层,其中第 1 层、第 6 层分别以第 2 层、第 5 层作为参考平面,第 3 层以第 2 层和第 4 层为参考平面,同时电源层和地层相隔最近,增加电源与地之间的耦合电容,有效地降低电源网络中的噪声,达到最佳效果。

4.2 可控阻抗设计

为了防止信号发生反射和减少串扰,需要设计阻抗可控的传输线^[8]。在本系统中,单端信号线阻抗设计为 50Ω ,差分信号线阻抗为 100Ω ,通过改变信号线线宽、介质厚度(层数和厚度)、介电常数(板材)和铜箔厚度等来达到阻抗设计要求;反过来根据阻抗设计要求得到信号线线宽和层叠厚度。在工程应用中常使用 Polar SI9000 来设计传输线阻抗^[9],它涵盖了所有的传输线阻抗计算模式,本系统需要使用外层(微带线)单端阻抗、外层差分阻抗、内层(带状线)单端阻抗和内层差分阻抗 4 种阻抗计算模式。首先需保证能从 FPGA 的 BGA 封装下正常的引出信号线,假定表层差分线线宽为 5.3 mil 、线间距为 4.8 mil ,FR4 介质常数为 4,铜厚为 1.4 mil (1 盎司),带入外层差分阻抗计算模型中,得出第 1、2 层之间厚度 H1,然后根据 H1 得出表层单端线线宽;同理依次求出其它线宽和层叠厚度。图 1 至图 4 为阻抗计算模型图,图 5 为最终计算好的层叠结构示意图。



图 1 表层差分阻抗计算模型

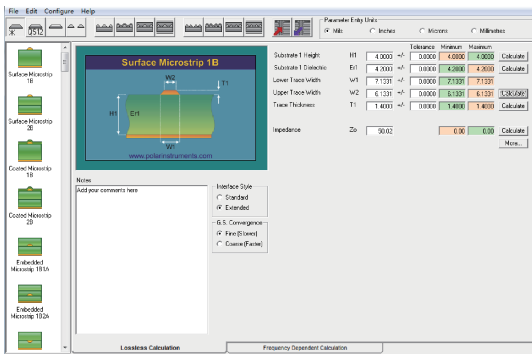


图 2 表层单端阻抗计算模型

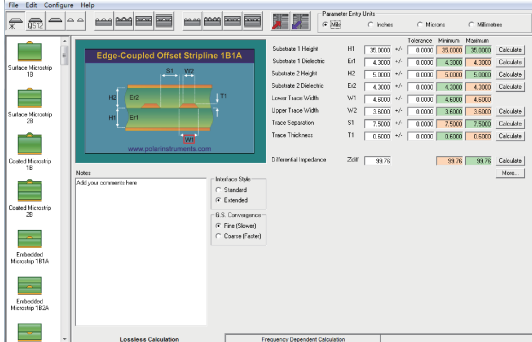


图 3 内层差分阻抗计算模型



图 4 内层单端阻抗计算模型

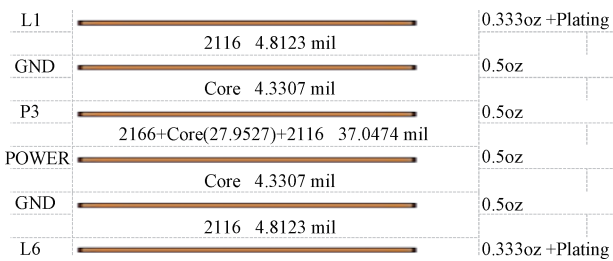


图 5 PCB 板层叠结构示意图

进行 LAYOUT, 完成布局布线后, 就开始进行布线后仿真^[10], 仿真工具为 Cadence Sigriy16. 6。将第一版命名为 V1, 第二版为 V2, 首先在 PowerSI^[11] 中打开 PCB 文件, 设置好层叠信息、电容模型及选中相关网络。对 V1 板进行 PowerSI 仿真分别得到 FPGA 的 2.5 V 电压和 1.0 V 电压自阻抗曲线如图 6、图 7 所示, 可以看到在系统工作频率范围内, 2.5 V 阻抗值最大达到 1.91 Ω, 远大于目标阻抗值 0.59 Ω, 1.0 V 阻抗值最大为 3.34 Ω, 远大于目标阻抗值 0.31 Ω。然后对经过改进后的 V2 板同样进行 PowerSI 仿真得到 2.5 V 电压和 1.0 V 电压自阻抗曲线如图 8、图 9 所示, 2.5 V 阻抗值最大为 0.16 Ω, 1.0 V 阻抗最大值为 0.303 Ω, 都在目标阻抗值以内。对比 V1、V2 板发现, 前后阻抗值相差 10 倍左右, V2 板改善显著, 仿真结果达到设计要求。

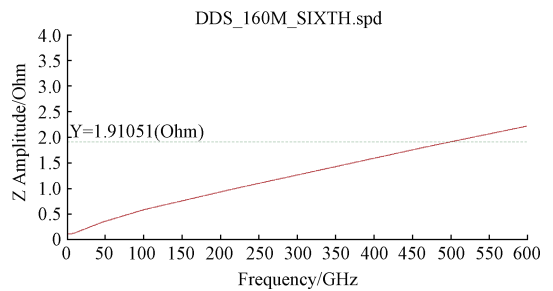


图 6 V1 板 FPGA 2.5 V 自阻抗曲线

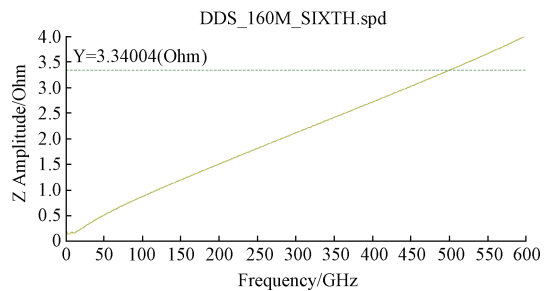


图 7 V1 板 FPGA 1.0 V 自阻抗曲线

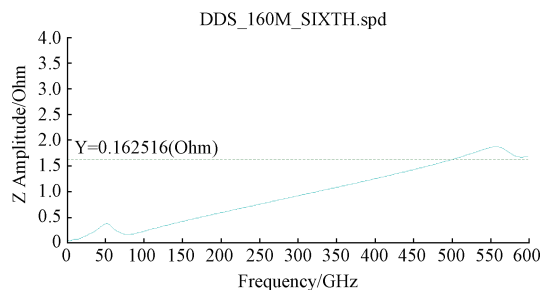


图 8 V2 板 FPGA 2.5 V 自阻抗曲线

5 仿真与硬件测试

5.1 系统板级后仿真

将计算好的线宽线距导入到 Allegro 中, 然后对 PCB

5.2 硬件平台测试

使用 KEYSIGHT 的 MSO4054A 示波器和 Agilent 的 N9000A 信号分析仪对 DDS 输出波形进行测试, 示波器采

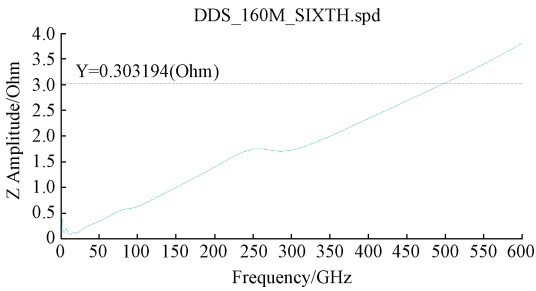


图 9 V2 板 FPGA 1.0 V 自阻抗曲线

样率为 5GSPS,带宽为 500 MHz,信号分析仪工作频带为 9 kHz~3 GHz。将双通道信号频率分别设置为 10 MHz 和 100 MHz 为例,即 A 通道为 10 MHz、B 通道为 100 MHz 和 A 通道为 100 MHz 和 B 通道为 10 MHz 两种情况,将两通道频率设置为不一致,查看相互之间的耦合情况。示波器选择 50 Ω 端接匹配,测试 V1、V2 板信号波形输出情况,图 10~图 13 为通过示波器和信号分析仪测量信号输出得到的波形。

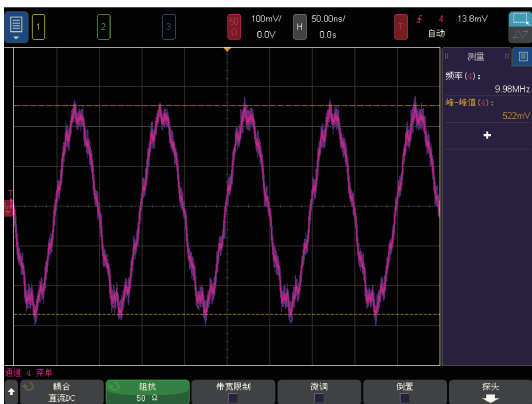


图 10 V1 板 A/B 通道波形示波器显示

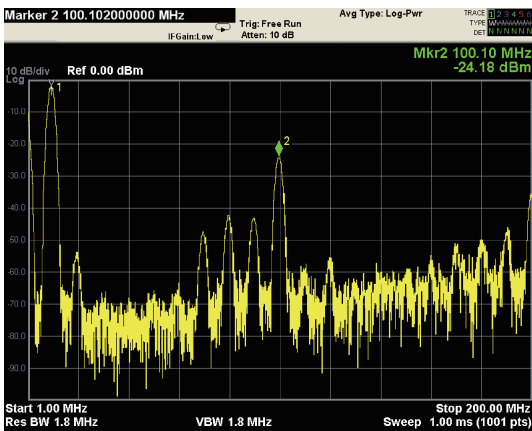


图 11 V1 板 A/B 通道波形信号分析仪显示

从图 10 可以看出,V1 板通道输出 10 MHz 信号波形

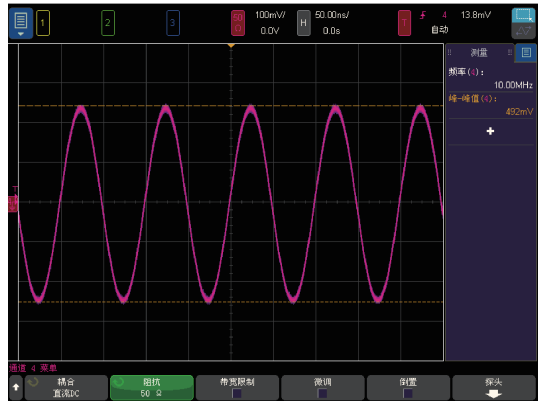


图 12 V2 板 A/B 通道波形示波器显示

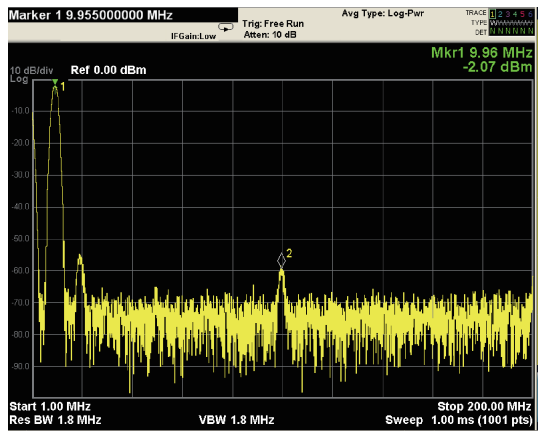


图 13 V2 板 A/B 通道波形信号分析仪显示

已明显失真,图 11 显示波形频谱成分中除 10 MHz 外,还含有其他频谱分量,最主要为 100 MHz,幅度达 -24.18 dBm,A/B 通道信号耦合到 B/A 通道信号中,严重干扰信号输出,导致波形明显失真;图 12 可知,V2 板通道输出 10 MHz 信号波形良好无失真,图 13 显示波形频谱成分中除 10 MHz 外,无其它有影响的频谱成分,即 A、B 通道间无相互耦合现象。对比图 10 至图 13 表明,V2 板信号通道波形输出正常,很好地解决了 500 MSPS 任意波形发生器双通道信号耦合的问题。

6 结 论

针对 500MSPS 任意波形发生器双通道信号相互耦合,影响波形输出问题,本文从板级电源完整性和信号完整性着手,采用目标阻抗法和大量仿真相结合的方法重新设计硬件电路和绘制 PCB 版图,通过系统板级后仿真对比前后两版电源阻抗大小,最后在硬件平台上进行测试,输出结果表明该方法有效地解决了双通道信号耦合问题,对相关问题具有一定的指导价值。

(下转第 41 页)