

基于 SOPC 系统的 0.5T 磁共振成像仪控制台设计*

姚凯文 郭桦炜 董海峰 陈忠

(厦门大学物理与机电工程学院电子科学系 福建省等离子体与磁共振研究重点实验室 厦门 361005)

摘要: 针对磁共振成像仪控制台的数字化、小型化发展趋势,设计了一种 0.5T 磁共振关节成像仪控制台的总体框架。以 FPGA 的 SOPC(System On the Programmable Chip)系统为仪器控制核心,开发了数字化磁共振成像仪控制台部分,将网络传输、数据处理、射频脉冲及梯度波形产生、外设驱动等各个功能集成在单一 FPGA 芯片中。实现上位机对输出波形,数字调制解调,梯度涡流补偿,抽取滤波等功能的控制。通过各个模块测试,系统功能稳定、脉冲波形可定制,为小型化磁共振成像仪的控制台研制提供了一种可靠性高而灵活的设计方案。

关键词: 磁共振成像;片上可编程系统;直接数字合成;脉冲序列发生器;梯度预加重

中图分类号: TP332.3 **文献标识码:** A **国家标准学科分类代码:** 510.8040

Design of 0.5T magnetic resonance imaging console based on SOPC

Yao Kaiwen Guo Huawei Dong Haifeng Chen Zhong

(Department of Electronic Science, School of Physic and Electrical, Xiamen University, Fujian Provincial Key Laboratory of Plasma and Magnetic Resonance, Xiamen 361005, China)

Abstract: Aiming at the development of the digitalization and miniaturization of the MRI system console, the basic structure and work flow of console for the 0.5T MRI were introduced. The console is designed based on highly integrated SOPC system of FPGA, network communication, data processing, waveform generating is realized and peripherals in signal FPGA is controlled. Realization of tuning the wave, modulation & demodulation, gradient eddy current compensation, decimation and multiple filtering by PC. Finally the system are tested, results show that the system has the merits of high reliability, flexible pulse sequences, providing a compact and flexible scheme for MRI console.

Keywords: Magnetic Resonance Imaging; SOPC; DDS; pulse programmer; gradient signal pre-emphasis

1 引言

磁共振成像(MRI)技术是在磁场中利用线圈发出射频脉冲激发质子发生共振,从而产生磁共振信号,采集并传至计算机进行数据处理最终成像。目前磁共振成像仪控制台系统多采用单片机(或 DSP)+FPGA+独立 DDS(直接数字频率合成)器件+外设模块的架构作为核心^[1]。由于单片机的频率较低,线程单一,软件运行时间过于冗长,难以适用于高速系统。而 DSP 虽然运算能力强大,主频高,但很难完成复杂的硬件逻辑控制^[2-3]。运用独立 DDS 芯片,虽然能够提供较高精度,但内部波形表固定,不能根据用户需要进行修改^[4],而且多芯片设计不仅增加硬件电路的面积,总线设计难度加大,不利于主控台的小型化和灵活性。相比之下,将功能集成在一片高性能 FPGA 芯片的 SOPC 系统中,不仅可以将嵌入式处理器系统、存储电路、接口控制器及可编程硬件逻辑资源等集成一体,使得系统在其规模、性能、功耗等方

面实现最大优化。而且利用可编程逻辑资源和 IP 核资源,构建独立的功能模块,处理不同事件,执行逻辑是并行的,不占过多 CPU 运行,减少 CPU 的负担,避免了 CPU 处理突发事件只能调用有限的中断资源,实时性与兼容性得以保证。论文提出了一种基于 FPGA 的 SOPC 系统,利用数字化解决方案开发 0.5T 磁共振成像仪控制台,实现了网络通信、射频信号与梯度信号生成、接收信号处理,系统结构集成度高、精确度高、体积小和成本低等优点。

2 主控台 SOPC 设计方案

主控制板包括由 FPGA、存储器件及网络接口,FPGA 芯片采用 Altera 公司的 Stratix III 系列的芯片 EP3SL150F1152,该芯片性能强大、功耗低、硬件资源及嵌入式硬核资源丰富,芯片具有 700 多个用户引脚可扩展多外设,内置嵌入式 NIOS II 软核 CPU,其最高频率可达 290 MHz,处理速度达 340 MIPS,适用于功能强大的 SOPC 系

收稿日期:2015-04

* 基金项目:国家自然科学基金(11175149)资助项目

统。设计选用 50 MHz 外部时钟提供给 FPGA,并通过内部时钟管理提供不同模块所需的时钟。CPU 主频设为 200 MHz,每个指令执行周期达到 50 ns,足以承担成像仪任何时钟要求。系统中控制器还包括以太网控制器、SDRAM 控制器、DMA 控制器和 PIO 接口等。外部存储控件包括 64 Mbit 容量的 Flash 负责存储配置程序和 1 GB 容量的 DDR2 SDRAM 负责数据高速缓存。整个系统架构结构如

图 1 所示,NIOS II CPU 是 SOPC 系统控制中心,通过 Avalon 总线结构与其他模块交互控制,片上模块包括:以太网 MAC 层、DDR2 SDRAM 控制器、DMA 控制器及外设控制接口 PIO 等,实现网络通信,及外设驱动。并利用处理器系统外部逻辑资源构成 PLL 锁相环、波形发生器、地址选择器、定时器、状态机以及并串转换器 etc 构成整个控制系统。

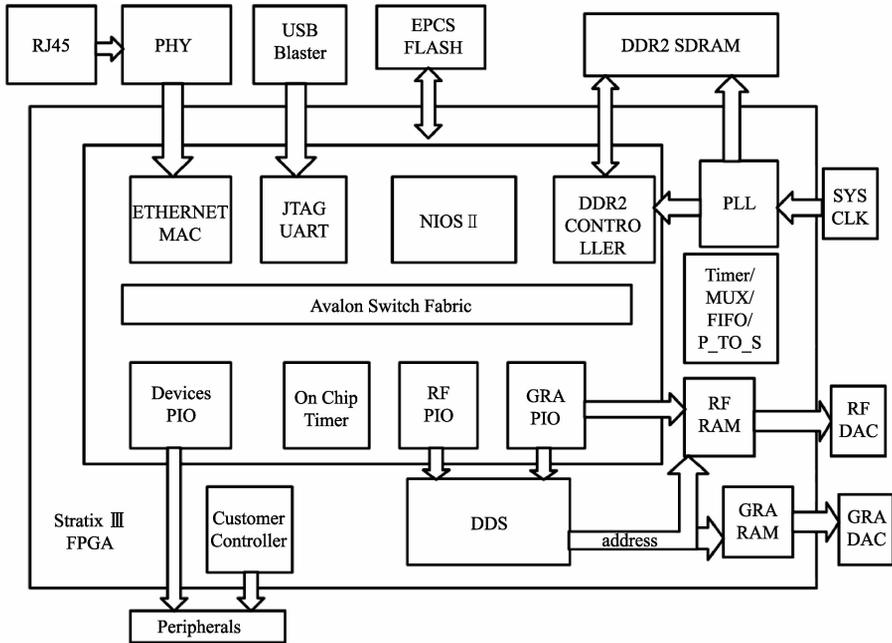


图 1 SOPC 系统架构框图

控制台开启时,通过 EPCS Flash 芯片存储的程序对 FPGA 进行配置和外设初始化。利用千兆以太网与上位机进行通信,首先在 FPGA 内部搭建了三态以太网数据链路层,与外部的物理层 (PHY) 芯片构成网络接口层,通过将 NicheStack TCP/IP 协议栈移植到底层操作系统 Micro C/OS II 中,并利用 Socket 套接字编程方式实现 TCP/IP 通讯^[5]。

为满足复杂系统的功能需求,需要制订一套详细的通信协议协调上位机软件与下位机软硬件的工作流程,一次通讯中仪器执行的完整流程如图 2 所示,网络通信包含基本的 Socket 通信、设置仪器参数、设置实验参数、发送脉冲序列形状表、脉冲序列执行序列、调谐等,当执行到开启接收采样时,接收模块开始采样接收线圈传送来并经过前置放大的磁共振信号,回传至上位机进行图像重建。

由于实验中上位机发送的数据量较大,一次序列传输量高达 500 kB,为了不占用 FPGA 内部宝贵资源,CPU 需要将上位机发送的数据进行解析并转存到外部的高速 DDR2 SDRAM 中缓存,之后接收到实验开始控制信号时再利用乒乓结构读出数据,控制下位机各模块外设协同工作执行脉冲序列。

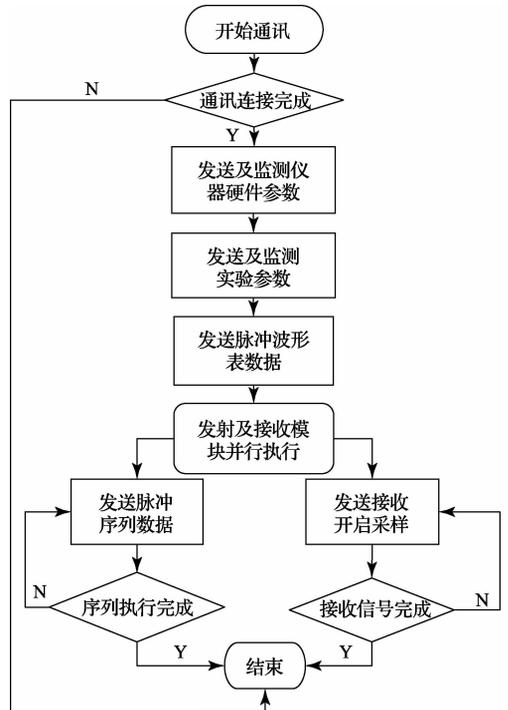


图 2 一次实验执行的完整流程

3 脉冲序列发生器设计

脉冲序列发生器的设计影响成像质量及成像实验的应用范围,要保证序列执行的时序正确及灵活性。为此利用 HDL 硬件描述语言并结合 IP 核库组,利用 FPGA 内部硬件资源构建硬件逻辑,实现 DDS、译码器、地址选择器、定时器、FIFO 数据缓冲器以及状态机等模块工作。将脉冲序列发生过程分为不同的事件,CPU 将各类数据按照事件执行的先后顺序进行分解,然后再将事件合并转换为硬件可识别的二进制数据,发送到片上及片外硬件中执行^[6-7]。执行脉冲序列过程中,一次会发送一次实验的全部脉冲序列数据,若在连续发送序列数据时,当出现 FIFO 缓冲满的情况,会命令上位机进行等待,直到得到 FPGA 处理完成的指令,上位机继续发送。事件包含如下:硬件门控、实验参数设置、脉冲序列波形发生、启动采集等。硬件控制包含对外设的初始化,如:置位,复位,初始化等。实验参数设置包括:实验时间参数、脉冲功率及频率、采样点数等,需要通过 CPU 计算转化,如:时间参数需要转化为硬件定时器的时间,根据硬件系统最小时钟判断,两者关系为:

$$N = \frac{t}{T_{clk}} \quad (1)$$

式中: t 为上位机设置实验时间, T_{clk} 为 FPGA 定时器时钟周期, N 为内部需要计数次数,由 CPU 计算产生。脉冲功率通过调节发射模块中可控衰减器进行调节,磁共振实验不仅对脉宽的时间分辨率有较高的要求,还要求脉冲形状具有编程的灵活性,以适应不断出现的新脉冲序列的需要,而传统上脉冲的基带波形一般通过执行预先编写在底层代码中的波形而产生,需要修改底层代码才能满足波形多样性的需求。为了满足要求,脉冲序列波形发生器采用基于 DDS 技术,由 FPGA 硬件逻辑构成,内部 RAM 存储上位机传输下来的波表数据,通过 CPU 将上位机设置的波形参数数据解析为 DDS 中的频率控制字和相位控制字,实现调整波形频。根据输出频率表达式:

$$f_{out} = \frac{k_f}{2^N} \times f_{clk} \quad (2)$$

式中: k_f 为频率控制字, N 为控制字位数, f_{clk} 为任意波形发生器的时钟,输出相位表达式:

$$\delta_{out} = \frac{k_p}{2^N} \times 360^\circ \quad (3)$$

式中: k_p 为相位控制字数, N 为控制字数^[8]。本设计的频率控制字位为 32 位,系统时钟频率为 100 MHz,频率分辨率达到 0.023 Hz(100 MHz/2³²),相位控制字为 16 位,相位分辨率达到 0.005°(360°/2¹⁶),完全满足磁共振成像实验的需求。

脉冲分为硬脉冲与软脉冲,硬脉冲就是常见矩形脉冲,不具选择性适用于全身激发,软脉冲是形状脉冲,一般为 Sinc 波形或 Gauss 波形,由于采用嵌入式 RAM 存储波

表,所以脉冲波形可任意改变,波形点数也可以根据需求改变。脉冲序列发射的逻辑状态如图 3 所示。

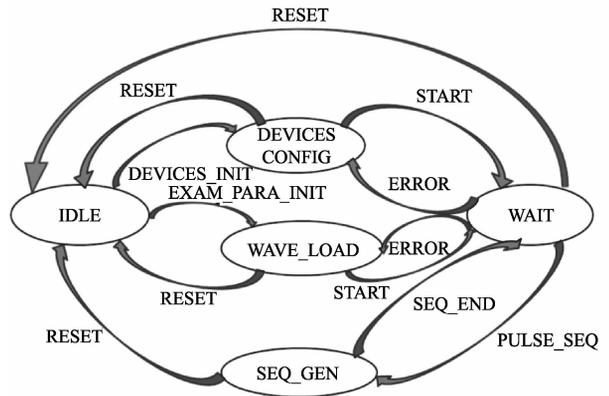


图 3 脉冲序列发射逻辑状态图

控制台上电后进入 IDLE 状态,初始化各个硬件外设,并且根据实验要求对硬件参数进行调整,当 CPU 发出 START 指令,各个模块设备进入 WAIT 状态。同时,实验参数进行初始化后逻辑进入 WAVE_LOAD 状态,向嵌入式 RAM 中载入所需要的脉冲波形表,当载入结束后,CPU 发出 START 命令,逻辑进入 WAIT 状态等待序列到来。在 PULSE_SEQ 到来后逻辑进入发送序列的状态,序列执行完毕后跳回 WAIT 状态等待下一个序列的到来。

4 控制台外设模块设计

控制台除了主控板之外,还包含发射模块、接收模块、梯度模块,传统多采用模拟解决方案,一般需要压控振荡器、带通滤波器、乘法器、多组可变电阻等分立元件,因而精度低、温漂明显,也难以减少体积和功耗的要求。因此利用软件无线电技术的基本思想将以上功能模块在数字硬件平台上由软件编程实现,不但可以提高系统精确度和稳定性,而且便于系统升级扩展。利用 NIOS II 软核 CPU,编写驱动控制多个外设芯片,完成对各个模块的初始化及联动,需要控制的模块包括:

1) 发射模块:主要实现包括频率合成、正交调制、增益控制及射频开关等功能。SOPC 控制 16 位数模转换器(DAC5689)实现数模转化,配置较为复杂,除了初始化器件 30 个寄存器配置以外,还需要实时监控其工作状态,经过计算更改配置参数,直到芯片工作在所需状态。该器件内部的数控振荡器(NCO)产生载波信号对基带信号进行调制,产生一定带宽的射频信号($\omega_0 \pm \Delta\omega$)(ω_0 为载波中心频率, $\Delta\omega$ 为基带波带宽)耦合馈入发射线圈,产生激发信号。载波信号频率及相位可调。每次实验根据需要调整载波频率实现谐振点最大,从而获得最好的激发信号,频率调节步进为 0.023 Hz。并且控制射频衰减器对射频信号进行 0~63 dB 增益范围步进为 0.5 dB 的衰减,使其不大于射频功率放大器的 600 mV 的最大输入幅值。

2) 梯度模块: 实现对梯度波形的数模转换与涡流补偿功能。16 位数模转换器 (AD5764R) 将 X、Y、Z 三个方向梯度信号转换为模拟信号。由于梯度磁场在磁体、梯度线圈和射频线圈等导体内感应产生涡流, 涡流会影响图像的质量。预加重技术通过对原始梯度波形叠加过驱动输出以消除涡流的影响。利用数控电位器 (AD5235) 构成的梯度预加重模块实现不同时间常数和幅度的参数调节, 该芯片内部包含两个可编程电位器 R_1 和 R_2 , 分别对应涡流补偿中时间常数和幅度常数, 涡流补偿的电流表达式:

$$I_{eddy}(t) = - \sum_{i=1}^m A_i e^{-t/T_i} \quad (4)$$

式中: T_i 为时间常数, A_i 为相应的幅度常数, m 是所包含的涡流环路个数^[9], 本设计选择 4 阶环路对梯度电流进行涡流补偿。预加重处理后的梯度波形经梯度功放放大驱动梯度线圈产生用于空间编码的梯度磁场。

3) 接收模块: 包括控制射频低噪声前置放大器 (LNA)、程控增益放大器、数字下变频 (DDC) 及数字滤波器等。磁共振信号的动态范围较大, 需要接收模块具有较高的动态范围 (大于 110 dB), 因此将增益控制信号通过数模转换器 (TLV5624) 转换为模拟信号对程控增益放大器进行控制, 增益范围在 -4.5 dB 到 +43.5 dB 之间连续可调。接收信号放大后经过模数转换, 根据耐奎斯特定理在实际中的应用, 21.3 MHz 的 FID 信号需要 64 MSPS 采样频率采样才能较好的重构波形, 采用 DDC 芯片将高速数据变成可实时处理的中低速数据, 能够较好的解决器件运算瓶颈的问题^[11]。通过 CPU 驱动控制内置 NCO 单元及三级滤波单元, 实现下变频转换和滤波功能, 其中滤波器抽取倍数可动态修改, 满足较大的频谱带宽范围。本设计总抽取因子为 64, 最后输出 1 MSPS 的低数据流基带信号, 通过网络传至上位机进行数据处理^[10]。

整个控制系统如图所示, FPGA 配置的外设模块结构图如图 4 所示, 每次开机自动对各个芯片初始化, 需要配置的芯片通过网络进行实时配置。

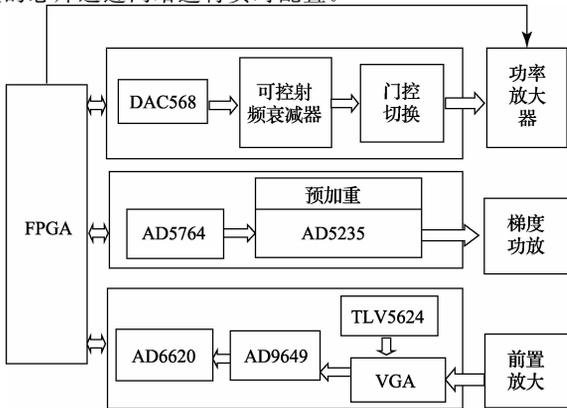


图 4 CPU 配置外设驱动模块图

5 仿真与测试结果

使用 Nios II Software Build Tools 软件操作 FPGA 的 Nios II 处理器中运行整个网络通讯程序, 当连接成功后, 软件控制台显示如图 5 所示, 说明网络连接正常。

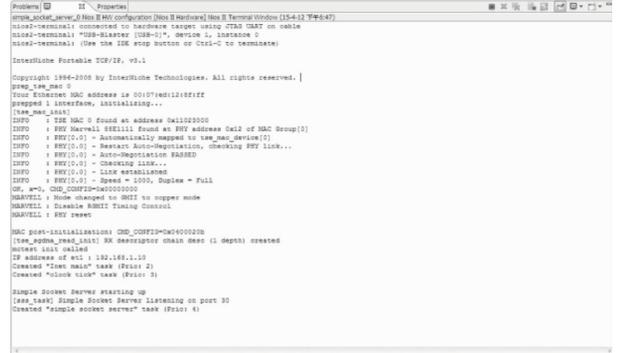


图 5 软件控制台网络连接成功显示

FPGA 通过内部任意波形发生器生成基带波形并经过数模转换的 Sinc 波形及高斯波形, Sinc 波表包含一个主瓣和 6 个旁瓣, 波表数据量为 128 个点, 持续时间 17.96 ms, 测试波形如图 6 所示。

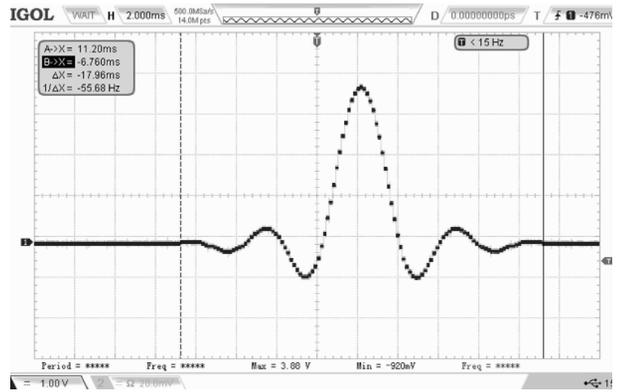


图 6 Sinc 形状脉冲图 (时间 17.96 ms)

图 7 为调制后的 Sinc 软脉冲波形, 载波频率为 21.3 MHz, 持续时间 16.80 ms, 谱宽为 59.5 Hz。

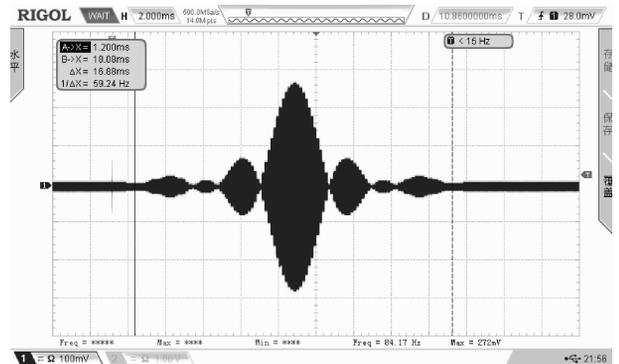
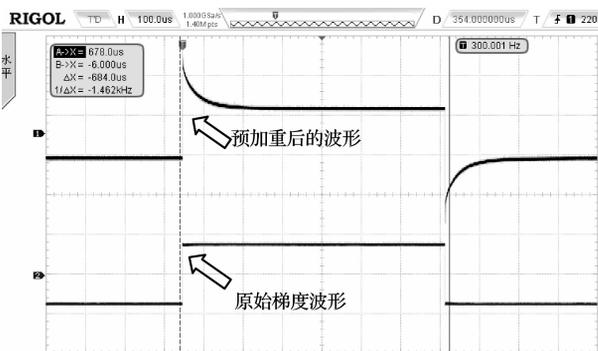


图 7 经过 21.3 MHz 的调制软脉冲波形图

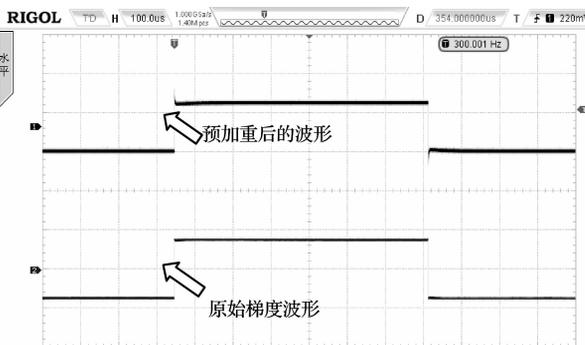
梯度模块测试中,我们配置两组不同 4 阶阻值系数的预加重网络进行测试,阻值设置如下表 1 所示,输入为 600 mV 的梯度脉冲,板级测试结果如图 8(a)、(b)所示,图中可以看到预加重程度不同的效果,第一组为幅度常数与时间常数较大,第二组为幅度常数与实践常数很小,符合成像系统要求。

表 1 预加重电位器的设置 Ω

预加重阶数	A 组		B 组	
	时间	幅度	时间	幅度
一阶	781.5	245	89.7	227.2
二阶	227.2	236	98.2	102.4
三阶	176.5	154	68.6	55.1
四阶	102.4	956	3.3	79.8
				85.6



(a)



(b)

图 8 原始梯度波形与预加重后梯度波形

6 结论

磁共振成像仪控制台是仪器的核心模块,本文从控制台的发展趋势出发,提出了以 SOPC 为中心,利用数字化设计,按照一套详细的通信协议,设计了控制台整体框架,完成网络通信、梯度波形预加重、脉冲波形发射与接收模块的功能。通过测试验证,系统工作稳定,达到预期技术

要求,能够根据不同实验需求对脉冲序列进行调整。同时,应用 SOPC 系统和软件无线电技术也使得控制台可方便地进行软硬件升级,从而延长使用周期。为控制台研制提供了一种数字化、结构紧凑并且灵活的设计方案。

参考文献

- [1] 张志,毛文平,刘朝阳.核磁共振脉冲序列发生器研究进展[J].波谱学杂志,2012,29(3):339-345.
- [2] 杜海洋,孙宏志,赵卫兵.基于FPGA的超导MRI数据采集系统[J].数据采集与处理,2012,27(1):178-180.
- [3] 肖亮,汤伟男,王为民.基于单片FPGA的磁共振成像梯度计算模块[J].波谱学杂志,2010,27(2):163-174.
- [4] 王文理,梁春峰,李小亭.脉冲核磁共振硬脉冲序列发生器的设计[J].核电子学与探测技,2009,29(5):1175-1178.
- [5] 覃琴,宋海军,李长俊.基于 $\mu\text{C}/\text{OS-II}$ 和NicheStack的嵌入式以太网接口设计[J].国外电子测量技术,2013,32(5):57-59.
- [6] MATT A B, KEVIN F K, ZHOU X H. Handbook of MRI Pulse Sequences [M]. London: Elsevier Academic Press, 2004.
- [7] MAO W P, BAO Q J, YANG L, et al. A modularized pulse programmer for NMR spectroscopy [J]. Measurement Science and Technology, 2011, 22(2): 025901.
- [8] 邹建,林强,王二锋,等.基于FPGA的波形发生器设计[J].电子测量技术,2012,5(7):47-50.
- [9] 潘文字.一种新型MRI谱仪的设计及关键技术研究[D].合肥:中国科技大学,2011.
- [10] 张黎明.高性能数字接收机FPGA设计与实现[J].电子测量技术与仪器学报,2013,27(5):479-483.

作者简介

姚凯文,1990年出生,湖北宜都,厦门大学硕士研究生,主要研究方向为核磁共振仪器控制台设计。

E-mail: yaokaiwen@aliyun.com

郭桦炜,1991年出生,厦门大学硕士研究生,主要研究方向为核磁共振仪器谱仪控制台设计。

E-mail: 812520052@qq.com

董海峰,1991年出生,厦门大学硕士研究生,主要研究方向为核磁共振仪控制台硬件电路。

E-mail: 279326459@qq.com

陈忠(通讯作者),1965年出生,教授,主要研究方向为磁共振新技术及其在化学和生命科学和医学中的应用。

E-mail: chenz@xmu.edu.cn