

基于PCIE接口的高速数据传输系统设计

张彪^{1,2} 宋红军¹ 刘霖¹ 胡晓¹ 李洋^{1,2}

(1. 中国科学院电子学研究所 北京 100190; 2. 中国科学院大学 北京 100049)

摘要: 针对PCIE接口在数据传输方面的应用,设计了一种基于Xilinx FPGA的PCIE接口的高速数据传输系统。该系统采用FPGA集成的PCIE硬核,在Windows 7系统下利用WinDriver开发了PCIE设备驱动程序,同时利用DDR3 SDRAM对传输过程中的数据进行缓存,使用Verilog硬件描述语言实现DMA方式来完成上位机和FPGA板卡之间的数据传输。在Xilinx VC707开发板上进行了验证,实际测试结果显示,在单次传输的数据大小为8 MB的情况下,x1通道的PCIE系统的DMA读和写速率分别可达到154 MB/s和169 MB/s,能满足实际应用对数据传输过程中的可靠性及高效性的要求。

关键词: FPGA; PCIE接口; DMA; WinDriver

中图分类号: TP336 **文献标识码:** A **国家标准学科分类代码:** 520.5040

Design of high-speed data transmission system based on PCIE interface

Zhang Biao^{1,2} Song Hongjun¹ Liu Lin¹ Hu Xiao¹ Li Yang^{1,2}

(1. Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China;

2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: Aiming at the application of high-speed data transmission, a system is designed to realize PCIE interface based on Xilinx FPGA. The system uses the PCIE hard core integrated on FPGA, develops the PCIE device driver using WinDriver under Windows 7 operation system, caches the data using DDR3 SDRAM and realizes high-speed data transferring with Direct Memory Access(DMA) between a host PC and a Xilinx FPGA board using Verilog hardware description language. The system has been verified on Xilinx VC707 development board and the result shows that the high-speed transmission system based on lane 1 PCIE interface can reach 154 MB/s throughput in DMA read and 169 MB/s throughput in DMA write for a DMA transfer size of 8 MB. The system can satisfy the requirements of reliability and efficiency during data transmission.

Keywords: FPGA; PCIE interface; direct memory access; WinDriver

1 引言

随着计算机技术的高速发展,新涌现出的一些外部设备上复杂的运算以及数据交换导致数据传输量急剧增加,为了满足数据在处理器、存储器和I/O设备之间的高速交换,由Intel在2001年提出了第三代I/O总线技术——PCI Express总线。PCIE总线作为芯片间和板间通信最常用的标准之一^[1],采用了点对点串行传输,低压差分信号,内嵌时钟方式等技术^[2],满足了数据传输时的高性能、高带宽、高可靠性、高可扩展性等要求,被广泛应用在计算机和通信平台领域的外围设备互连上,目前已替代传统的并行总线,成为微机系统中主流的系统互连总线^[3]。

FPGA作为大规模的可编程逻辑器件,有诸多优点,如

架构灵活,集成度高,设计成本低,开发周期短,可靠性高等,具有天生的并行处理能力^[4],正在成为最主流的处理器的之一^[5],因此利用FPGA来实现PCIE接口可大大减少设计的工作量。在PCIE体系架构中,外部设备与系统主存之间的数据交互主要有由CPU发起存储器读写请求和采用Bus Master等两种方式^[6]。总线主控DMA(bus master dMA, BMD)在实现外设与存储器之间成批交换数据时,不需要CPU的直接参与,可显著提高数据的存取及传输性能^[7]。

采用了x1链路,在PCI Express Endpoint Block IP核的基础上设计了BMD引擎,实现了数据的高速传输系统,具有很好的移植性和应用价值。

2 PCIE 总线简介

PCIE 总线规范采用了分层结构,包括事务层、数据链路层和物理层。在 PCIE 体系结构中,数据报文首先在设备的核心层(device core)中产生,然后再经过该设备的事务层(transaction layer)、数据链路层(data link layer)和物理层(physical layer),最终发送出去。接收端的数据也需要通过物理层、数据链路层和事务层,并最终到达核心层。PCIE 总线的层次结构如图 1 所示。

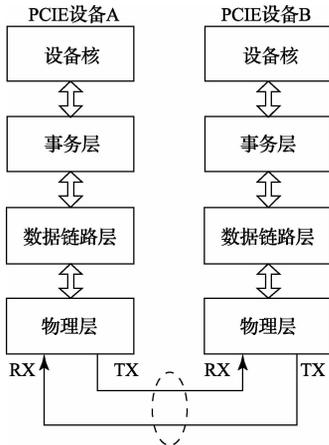


图 1 PCIE 总线的层次组成结构

PCIE 总线使用数据报文进行数据传递,处理器或其他 PCIE 设备访问 PCIE 设备时,所传送的数据报文首先通过事务层被封装成一个或者多个 TLP(transaction layer packet),之后才能通过其他层次发送出去。当数据报文在其他层次传输的时候,一些必要的用来处理包的附加信息会被添加进去^[8]。物理层的 TLP 格式如图 2 所示。

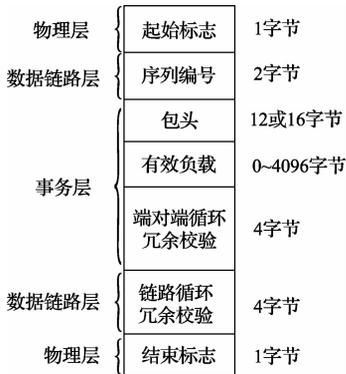


图 2 物理层 TLP 的格式

PCIE 设备实际使用的 TLP 有效负载的最大值由 MPS(max_payload_size)参数决定,该参数由 PCIE 链路两端的设备协商决定,当 PCIE 设备所传送数据的大小超过 MPS 参数时,这段数据会被分割成多个 TLP 进行发送。MRRS(max_read_request_size)参数规定了一次能从目标

设备读取多少数据,该参数由 PCIE 设备决定,如果一次存储器读操作需要读取的数据范围大于 MRRS 参数时,该 PCIE 设备需要向目标设备发送多个存储器读请求 TLP。RCB(read completion boundary)的大小与完成报文的有效负载相关,如果存储器读完成报文所传递数据的地址范围没有跨越 RCB 参数的边界,那么数据发送端只能使用一个存储器完成报文将数据传递给请求方,否则可以使用多个存储器读完成 TLP。

3 FPGA 系统方案

3.1 总体设计

本文所设计的总体方案是,由主机上的 PCIE 驱动程序控制数据流的流向,主要分为读操作(数据从主机到 FPGA)和写操作(数据从 FPGA 到主机)。可分为软硬件协同设计,系统设计如图 3 所示,其中软件部分主要是 Windows 系统下的 PCIE 驱动程序开发;硬件部分采用了模块化设计,包括 PCIE IP 核的相关设置,DMA 控制、发送引擎、接收引擎、DDR3 控制器、发送和接收 FIFO 等模块的设计,每个子模块都能够灵活使用综合和实现工具独立优化,从而保证了整个设计的稳定性和可靠性^[9]。

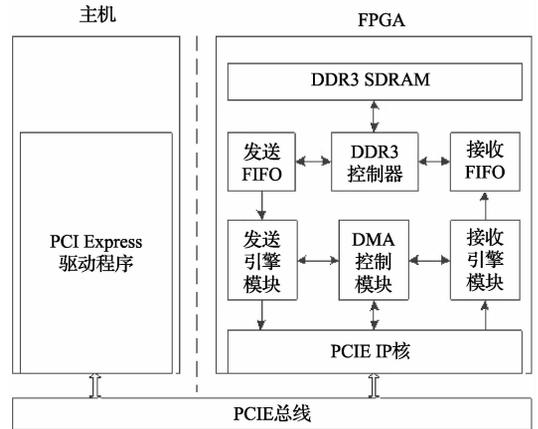


图 3 系统方案

3.2 软件部分设计

本次 PCIE 驱动程序设计使用的是 WinDriver 软件,该软件是由 Jungo 公司出品的驱动程序开发软件,可大大简化硬件驱动程序开发的工作量,有很强的平台移植性^[10]。利用 WinDriver 软件开发设备驱动程序,不需要熟悉操作系统内核,整个驱动程序中的所有函数都是工作在用户态下的,通过与 WinDriver 的 Sys 或 Vxd 文件交互来达到驱动硬件的目的。WinDriver 支持 Xilinx 的 BMD 模式,可根据对硬件设备的描述自动产生该设备驱动程序的源代码程序框架,然后用户在 Visual Studio 工程下根据硬件设备需要实现的具体功能添加自己的代码,完成驱动程序的开发^[11]。本次设计选用的开发语言是 C,上位机操作系统为 Windows 7,接口通信协议为 PCIE,通过驱动程序界面来

控制上位机和 FPGA 开发板之间的数据传输。

3.3 硬件部分设计

3.3.1 PCIE IP 核

本次 PCIE 设计使用 Xilinx Core Generator 生成 7 Series Integrated Block for PCI Express IP 核,其主要配置参数如表 1 所示,在此需要注意的是,MPS 参数由链路两端的设备协商决定,由于本次测试的主机所能支持的 MPS 为 256 B,因此在实际使用过程中,MPS 参数为 256 B。

表 1 PCIE IP 核主要配置参数

名称	指标	名称	指标
IP 核类型	Endpoint	接口位宽	64 bit
通道宽度	x1	MPS	512 B
链路速度	2.5 GT/s	缓存大小	16384 B
接口时钟	62.5 MHz	中断类型	MSI

注:MSI; Message Signaled Interrupt

3.3.2 DMA 控制模块

该模块是 DMA 的主控制器,在此定义了一些 DMA

控制/状态寄存器,用来控制及保存 DMA 操作过程中的各种信息。进行 DMA 读写操作时,通过驱动程序向这些寄存器写入或读取相应的参数,然后 FPGA 根据这些参数值来启动 DMA 读或写操作,从而实现驱动程序对 DMA 的传输控制。

3.3.3 发送引擎模块

该模块的主要功能是生成相应的 TLP,主要分为:

1)生成 MWR,当数据从 DDR3 SDRAM 中读取出来后,先缓存在发送 FIFO 中,将发送 FIFO 传递过来的数据放到 MWR TLP 的数据负载里面,封装成符合 PCIE 总线规范的存储器写请求 TLP;

2)生成 MRD,当启动 DMA 读操作时,该模块会与 DMA 读操作相关的参数添加到 MRD TLP 中,发送给主机;

3)生成 CPLD,当驱动程序需要对 PCIE 的寄存器进行读操作时,该模块会生成相应的 CPLD TLP,将寄存器里的参数值返回给主机。发送引擎状态机如图 4 所示。

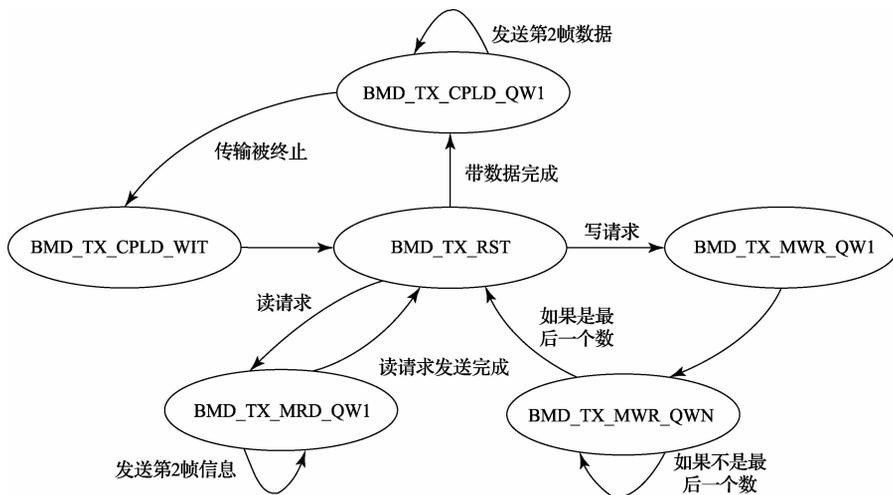


图 4 发送引擎状态机

3.3.4 接收引擎模块

该模块的主要功能是对接收到的 TLP 进行解析,主要分为:

1)解析驱动程序对 PCIE 的寄存器操作指令,包括对寄存器的读写操作,然后将与读写操作的相关参数保存下

来,如果是读操作的情况,会有控制信号通知发送引擎模块发送该读操作的 CPLD TLP;

2)解析 CPLD TLP 中的有效数据,然后将解析出来的数据缓存在接收 FIFO 中。

接收引擎状态机如图 5 所示。

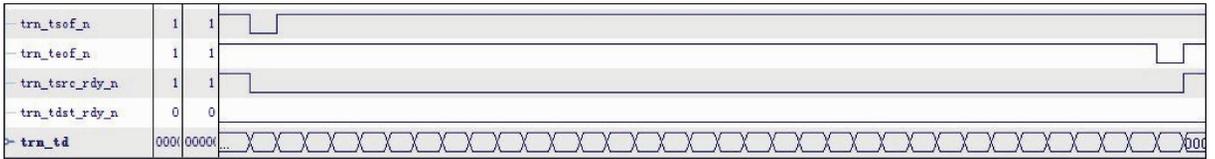


图7 写操作时序

为了分析DMA方式下的传输性能,启动DMA传输固定大小的数据,在驱动程序中获得DMA读写该固定大小的数据的时间,从而可以计算出DMA方式下的读写速率。表2列出了当数据大小分别为2 MB、4 MB和8 MB时的DMA读写速率。由表可以看出,实际传输速率与单次DMA传输的数据量大小有关,单次DMA传输的数据量越大,实际的传输速率也就越大。

表2 不同数据大小时的DMA读写速率

数据大小/MB	读速率/MB · s ⁻¹	写速率/MB · s ⁻¹
2	90	96
4	122	131
8	154	169

本文中的PCIE版本为Gen 1,采用了x1通道,理论最大传输速率为2.5 Gb/s,由于采用8 b/10 b编码,有效传输速率为250 MB/s,但在实际传输过程中,由于考虑到驱动程序向DMA寄存器写入或读取参数以及DDR3 SDRAM的读写操作都需要一定的时间等因素,所以实际速率达不到理论传输速率。

5 结 论

本文对PCIE总线进行了简单的介绍,然后设计了一种基于FPGA IP硬核的PCIE总线接口的DMA传输实现系统,经过在Xilinx VC707开发板上实际测试,可以在Windows系统中的驱动程序控制下稳定工作,有较快的数据传输速率,能满足实际工程应用中对于数据高速传输的要求。

参考文献

- [1] KAVIANIPOUR H, BOHM C. A high-reliability PCIe communication system for small FPGAs[C]// Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), 2013,1-4.
- [2] JUN L, WEI W. PCI express interface design and

verification based on Spartan-6 FPGA [C]//2010 IEEE 12th International Conference on Communication Technology, 2010: 305-307.

- [3] 刘健,李会方.基于PCIe的FC数据采集存储方案的设计与实现[J].国外电子测量技术,2013,32(10):42-44.
- [4] 李刚,程志峰.基于FPGA的实时电子稳像[J].仪器仪表学报,2013,34(S1):11-16.
- [5] YE W, LI H. Virtex-7 FPGA-based high-speed signal processing hardware platform design[C]// 2013 IEEE 4th International Conference on Electronics Information and Emergency Communication (ICEIEC). IEEE, 2013: 113-116.
- [6] 刘兆庆,杜威达,朱雨,等.基于IP Core的PXI Express接口DMA引擎设计[J].电子测量技术,2012,35(7):43-46.
- [7] 董永吉,陈庶樵,李玉峰,等. Xilinx PCI-Express核总线接口设计与实现[J].电子技术应用,2011,37(8):135-138.
- [8] 李木国,黄影,刘于之.基于FPGA的PCIe总线接口的DMA传输设计[J].计算机测量与控制,2013,21(1):233-235.
- [9] 张松,李筠. FPGA的模块化设计方法[J].电子测量与仪器学报,2014,28(5):560-565.
- [10] 王聪,王彬,薛洁,等.基于PCIe总线协议的设备驱动开发[J].信息技术,2013(3):32-35.
- [11] 李晔,巩峰,陈彦化.基于PCIE驱动程序的数据传输卡DMA传输[J].电子科技,2014,27(1):117-120.

作者简介

张彪,1989年出生,在读硕士研究生。主要研究方向为高速数据传输、空时自适应处理及其FPGA实现等。
E-mail:zhangbiao08@163.com