

# 深亚微米工艺下 SoC 多点温度低功耗测试调度方法

焦 铭<sup>1,2</sup> 范双南<sup>1</sup>

(1. 湖南交通工程学院电气与信息工程系 衡阳 421001; 2. 衡阳师范学院计算机科学系 衡阳 421002)

**摘要:** 在深亚微米技术实现的片上系统中,为了解决由于制程变异引起的温度不确定性,提出了一种多点温度测量的 SoC 低功耗测试调度方法。该方法采取在芯片中内建多个温度传感器,通过内建的温度传感器来感应温度,在 SoC 的核心部位进行多点采集,取温度的最高值反馈到控制系统,进行温度的调节控制。在测试过程中,在温度、功耗和总线带宽都满足条件的情况下进行调度,避免出现由制程变异引起的芯片局部过热的现象。在 ITC'02 基准电路上的实验结果表明,与文献[2]比较,该方法在保证芯片热安全的同时,使 CPU 使用时间平均多减少 10.33%,使测试应用时间平均多减少 11.14%。

**关键词:** 深亚微米工艺;多点温度;片上系统;低功耗测试调度

**中图分类号:** TP391.7 **文献标识码:** A **国家标准学科分类代码:** 520.3

## Multi-temperature and low power test scheduling method for SoC in deep submicron technology

Jiao Ge<sup>1,2</sup> Fan Shuangnan<sup>1</sup>(1. Department of Electrical Information Engineering, Hunan Institute of Traffic Engineering, Hengyang 421001, China;  
2. Department of Computer Science, Hengyang Normal University, Hengyang 421002, China)

**Abstract:** Systems on Chip implemented with deep submicron, in order to solve due to the temperature uncertainty induced by process variation, proposed a Multi-Temperature and Low Power Test Scheduling method. The method adopted to build multiple temperature sensor in the chip, through the temperature sensor to sense the temperature of the built-in, multi-point collection in the core part of SoC, the highest value of using temperature feedback to the control system, temperature regulation and control. The scheduling test satisfies a condition in the temperature, power consumption and bus bandwidth situation, avoid chip local overheating. Experimental results on ITC'02 benchmark circuits show that, compared with the literature [2], the method can guarantee the chip thermal safety at the same time, the average CPU time decreased by more than 10.33%, the test application time average reduction of 11.14%

**Keywords:** deep submicron technology; multi-temperature; system on chip; low power test scheduling

## 1 引言

半导体工艺在 market 需求的驱动下,为了提高速度、减少功耗、降低成本,遵循着摩尔定律,已经跨入超深亚微米时代。随着超大规模集成电路设计技术的发展,集成度和复杂度的不断提高,SoC 的测试问题也越来越突出。深亚微米技术实现的片上系统中存在高功耗和高密度的影响,因此高温和制程变异,必须在测试过程中得到处理<sup>[1]</sup>。

传统的温度测试方法是采用热电阻二极管接到芯片的边缘进行温度采样,由于测试点单一、误差较大,所以测量

的温度不准确。由于制程变异引起的温度不确定性,静态测试调度在预定的温度范围内测试的效率比较低,测试成本也很高。因此,准确、方便地获取温度数据就显得尤为重要。

SoC 芯片内部所测的温度比热电阻二极管在芯片的边缘所测的温度更可靠,为了保证芯片测试的热安全,基于多温度的测试调度方法越来越受研究者的重视<sup>[2]</sup>。文献[2]提出了一种自适应的多温度测试调度算法,该方法生成一个基于设计阶段变化的统计数据 and 热模拟的低成本进度树,在测试过程中,芯片根据温度传感器的读数动态地选择一个适当的调度表,该算法能有效地降低测试应用时间。

文献[3]提出了一种功耗约束下的测试调度优化算法,该算法能有效地权衡测试应用时间和硬件开销。文献[4]考虑测试调度中所需要的各种硬件开销,但没有优化整体测试成本。文献[5]提出了一种基于热量敏感的新蚁群测试调度算法,在确保被测芯片热安全的同时优化了测试应用时间。现有的多温度测试调度方法能确保在指定的温度范围内进行有效的测试调度<sup>[6-9]</sup>,同时优化测试应用时间,但這些方法忽略了由制程变异引起的温度偏差。

针对上述问题,本文提出了一种多点温度低功耗测试调度方法,在保证芯片热安全的同时,能有效地减少测试应用时间(test application time, TAT)。

## 2 问题分析

在本文中,问题的解决是通过一个高效的 SoC 测试调度方法,能同时满足以下 3 个约束条件,从而减少测试应用时间:1)任何测试通过多个温度传感器在 SoC 核心部位采集的最高温度必须在给定的温度区间;2)已调度测试产生的总功耗不超过最大峰值功耗;3)已调度测试实际使用的测试访问机制(test access mechanism, TAM)带宽不大于总线带宽。多温度测试问题可以进一步转化为多个测试在不同温度区间的调度问题。

### 2.1 温度约束

芯核集合:假定用  $C$  表示 SoC 芯核的集合,  $C_i$  表示芯核  $i(1 \leq i \leq n)$ ,  $n$  表示芯核的数量。

测试集合:假定用  $T$  表示测试的集合,  $T_i$  表示测试  $i(1 \leq i \leq m)$ ,  $m$  表示测试数。

最大峰值功耗:是测试过程中产生的最大瞬时功耗值,用  $P_{peak\_max}$  表示。

测试温度:通过在 SoC 芯片中内建的温度传感器来感应温度,从核心部位进行多点采集,取温度的最高值作为测试温度,反馈到控制系统,进行温度的调节控制。假定用  $Tem(C_i)$  表示芯核  $C_i$  的测试温度。

对于温度约束的测试调度,一个测试应该在温度范围的上限和下限内进行测试,即:  $Tem_{min} \leq Tem(C_i) \leq Tem_{max}$ ,如图 1 所示。 $Tem_{min}$  表示温度下限,  $Tem_{max}$  表示温度上限。

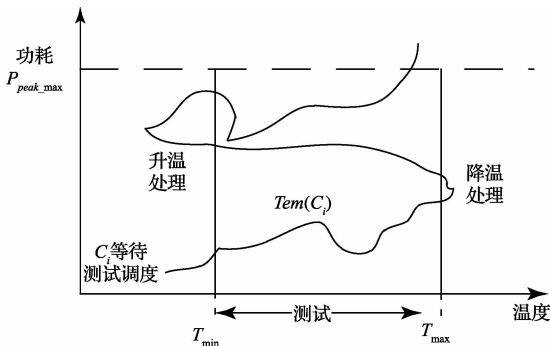


图 1 测试约束条件及处理过程

### 2.2 功耗约束

集成电路的测试需要对每个芯核进行。减少 TAT 最主要的方法就是对尽可能多的芯核进行并行测试,而并行测试会激活芯片中的各个功能模块,会产生更高的功耗。测试模式下过高的功耗会影响电路的质量和性能,甚至会造成被测电路的失效<sup>[10]</sup>。最大峰值功耗是测试过程中产生的最大瞬时功耗值。如果电路超过最大峰值功耗,就可能产生错误甚至损坏。因此,本文设定的功耗约束条件定义如下<sup>[11]</sup>,如图 1 所示。

$$\sum_{i=1}^n P(C_i) \leq P_{peak\_max} \quad \forall i \quad (1)$$

式中:  $P(C_i)$  表示芯核  $C_i$  的测试功耗。

### 2.3 总线宽度约束

将 TAM 带宽分配由传统的连续固定分配变为根据 TAM 宽度和测试时间来调度分配,在不增加测试硬件开销的情况下,使得 SoC 内部各芯核的测试调度更灵活。测试调度在任何时刻实际使用的 TAM 带宽不大于测试总线带宽。因此,本文设定的总线宽度约束条件定义如下:

$$\sum_{i=1}^n TAM(T_i) \leq TAM_{max} \quad \forall i \quad (2)$$

式中:  $TAM(T_i)$  表示测试  $T_i$  占用的总线带宽。

## 3 测试调度算法

提出了一个符合温度、功耗和测试总线宽度要求的测试调度算法,该算法采用内建温度传感器多点采集芯核温度,取温度的最高值做为热模拟瞬时温度值,通过有限状态机来控制每个芯核的状态转换,直到所有芯核测试完成。

### 3.1 温度有限状态机

作为测试调度算法的一部分,设计一个有限状态机用来控制芯核的状态。该有限状态机包含 5 种状态:降温、升温、测试、等待和完成,定义如下:

降温处理:当芯核的测试温度大于温度上限时 ( $Tem_{max} < Tem(C_i)$ ),进行降温处理,如图 1 所示。

升温处理:当芯核的测试温度小于温度下限时 ( $Tem(C_i) < Tem_{min}$ ),进行升温处理,如图 1 所示。

测试:芯核在同时满足以下 3 个约束条件时进行测试:

$$Tem_{min} \leq Tem(C_i) \leq Tem_{max} \text{ and } \sum_{i=1}^n P(C_i) \leq P_{peak\_max} \\ \text{and } \sum_{i=1}^n TAM(T_i) \leq TAM_{max};$$

等待:当芯核满足以下 3 个条件之一时进入等待状态:

$$Tem(C_i) < Tem_{min} \text{ or } P_{peak\_max} < \sum_{i=1}^n P(C_i) \text{ or } TAM_{max} < \sum_{i=1}^n TAM(T_i);$$

完成:芯核  $C_i$  完成此次测试。

5 种状态之间的转换如图 2 所示。

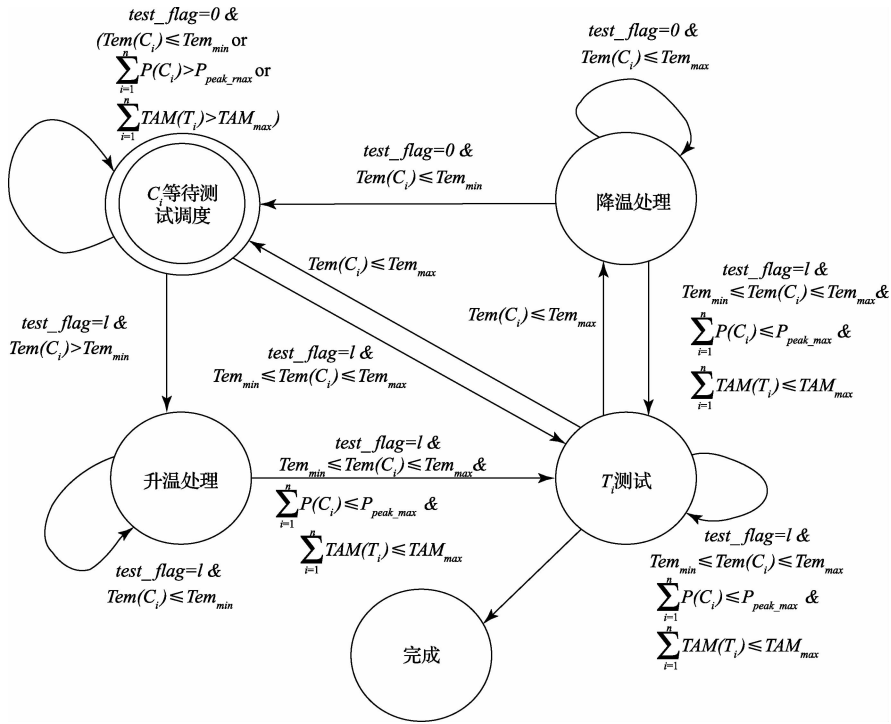


图 2 状态之间的转换

### 3.2 算法描述

初始化:当测试调度过程开始时,假设所有的芯核都处于等待状态。每个芯核设置一个测试标志  $test\_flag$ , 开始测试等于 1, 否则等于 0。计算每块芯核  $C_i$  可接受的 TAM 宽度  $TAM(T_i)$ 。

```

do{
    if  $test\_flag = 0 \& (Tem(C_i) \leq Tem_{min} \text{ or } P_{peak\_max} <$ 
 $\sum_{i=1}^n P(C_i) \text{ or } TAM_{max} < \sum_{i=1}^n TAM(T_i))$  then
        Wait: 等待测试调度;
        if  $test\_flag = 1 \& Tem_{min} \leq Tem(C_i) \leq$ 
 $Tem_{max}$  then
            test:  $T_i$  测试;
            if  $Tem(C_i) > Tem_{max}$  then
                redt: 降温处理;
                if  $test\_flag = 0 \& Tem(C_i) > Tem_{max}$  then
                    goto redt;
                if  $test\_flag = 1 \& Tem_{min} \leq Tem(C_i) \leq$ 
 $Tem_{max} \& \sum_{i=1}^n P(C_i) \leq P_{peak\_max} \& \sum_{i=1}^n TAM(T_i) \leq TAM_{max}$  then
                    goto test;
                if  $test\_flag = 0 \& Tem(C_i) \leq Tem_{min}$  then
                    goto wait;
                delete  $T_i$ ;
            next;

```

```

if  $test\_flag = 1 \& Tem(C_i) \leq Tem_{min}$  then
    升温处理;
if  $test\_flag = 1 \& Tem_{min} \leq Tem(C_i) \leq Tem_{max}$ 
 $\& \sum_{i=1}^n P(C_i) \leq P_{peak\_max} \& \sum_{i=1}^n TAM(T_i) \leq TAM_{max}$  then
    goto test;
} while  $T_i \ll \>$  空

```

### 4 实验结果及分析

为了验证本文采用方法的有效性,选用 ITC'02 基准 SoC 平台的 p93791 电路进行仿真实验。p93791 是标准电路中规模最大的电路,包含 32 个核,其中有 18 个存储器核,14 个逻辑核,对电路测试的复杂度具有代表性。

本文算法采用 MATLAB 语言实现,实验用的计算机配置为联想 B5040 系列,内存 8 G,4 核,主频 2.7 GHz,采用与文献[2]相同的实验参数。SoC 测试基准的详细信息,包括测试芯核数量、CPU 测试时间、测试应用时间及其减少比例。

表 1 的数据为在指定的温度范围 60~80℃ 和 TAM 总线宽度为 60 的情况下,本文算法与文献[2]所得到的最优 TAT 和 CPU 时间。从实验数据可以看出,本文提出的测试调度算法随着芯核数的增加 TAT 减少比例也随之增加,比文献[2]对测试应用时间的减少平均多 18.09%;虽然 CPU 时间减少比例随着芯核数的增加而减少,但是比文献[2]对 CPU 时间的减少平均多 16.44%。

表1 实验结果( $Tem_{min}=60^{\circ}\text{C}$ ,  $Tem_{max}=80^{\circ}\text{C}$ ,  $TAM_{max}=60$ )

芯核数	文献[2]方法		本文方法		与文献[2]对比	
	CPU时间	TAT	CPU时间	TAT	CPU时间减少比例(%)	TAT减少比例(%)
5	365	59 974	285	51 995	21.9	13.3
10	410	62 133	326	52 342	20.5	15.8
15	423	64 217	347	53 827	18.0	16.2
20	429	68 465	355	56 786	17.2	17.1
25	442	72 789	371	59 943	16.1	17.6
30	457	73 941	389	60 134	14.9	18.7

表2的数据为在指定的温度范围 $80\sim 100^{\circ}\text{C}$ 和TAM总线宽度为60的情况下,本文算法与文献[2]所得到的最优TAT和CPU时间。从实验数据可以看出,本文提出的测试调度算法随着芯核数的增加TAT减少比例也随之增加,比文献[2]对测试应用时间的减少平均多4.23%;虽然CPU时间减少比例随着芯核数的增加而减少,但是比文献[2]对CPU时间的减少平均多4.19%。

表2 实验结果( $Tem_{min}=80^{\circ}\text{C}$ ,  $Tem_{max}=100^{\circ}\text{C}$ ,  $TAM_{max}=60$ )

芯核数	文献[2]方法		本文方法		与文献[2]对比	
	CPU时间	TAT	CPU时间	TAT	CPU时间减少比例(%)	TAT减少比例(%)
5	177	29 879	165	28 920	6.8	3.2
10	185	30 743	174	29 672	5.9	3.5
15	193	31 007	183	29 843	5.2	3.8
20	201	33 068	194	31 645	3.5	4.3
25	212	35 824	207	33 986	2.4	5.1
30	219	36 151	216	34 171	1.4	5.5

该文提出的SoC多点温度低功耗测试调度方法在TAM总线宽度不变的情况下,将表1和表2的实验数据进行对比可以看出:

- 1)比文献[2]对测试应用时间的减少平均多10.33%,对CPU时间的减少平均多11.14%;
- 2)随着芯核数的增加,CPU时间减少比例减少;
- 3)在温度范围为 $80\sim 100^{\circ}\text{C}$ 时比温度范围为 $60\sim 80^{\circ}\text{C}$ 时所测得的CPU时间减少比例和TAT减少比例要低,这是因为随着温度的升高,满足约束条件能并行的测试减少。

## 5 结论

在集成电路测试方面,需要在多个监测点进行温度监测和测量,因此,多点温度监测和测量具有十分重要的意义。将多点采集的芯核温度的最高值做为热模拟瞬时温度值,通过有限状态机控制每个芯核状态之间的转换,提出了一个综合考虑温度、功耗和测试总线宽度要求的测试调度算法。测试实验表明,该算法能有效地减少总的测试应用时间,提高测试的经济性。

## 参考文献

- [1] AGHAEI N, PENG Z, ELES P. Process-Variation Aware Multi-temperature Test Scheduling[C]. VLSI Design and 2014 13th International Conference on Embedded Systems, 2014 27th International Conference on. IEEE, 2014: 32-37.
- [2] HE Z, PENG Z, ELES P. Multi-temperature testing for core-based system-on-chip[C]. Proceedings of the Conference on Design, Automation and Test in Europe. European Design and Automation Association, 2010: 208-213.
- [3] 王伟,林卓伟,陈田,等. 功耗约束下的3D多核芯片芯核级测试调度算法[J]. 电子测量与仪器学报, 2012, 26(7):591-596.
- [4] MARINISSEN E J, VERBREE J, KONIJNENBURG M. A structured and scalable test access architecture for TSV-based 3D stacked ICs[C]. VLSI Test Symposium (VTS), 2010 28th. IEEE, 2010: 269-274.
- [5] 崔小乐,熊志天,程伟,等. 热感知的SoC蚁群优化测试调度方法[J]. 仪器仪表学报, 2014, 35(4):948-953.
- [6] YAO C, SALUJA K K, RAMANATHAN P. Thermal-aware test scheduling using on-chip temperature sensors[C]. VLSI Design (VLSI Design), 2011 24th International Conference on. IEEE, 2011: 376-381.
- [7] AGHAEI N, PENG Z, ELES P. Adaptive temperature-aware SoC test scheduling considering process variation[C]. Digital System Design (DSD), 2011 14th Euromicro Conference on. IEEE, 2011: 197-204.
- [8] AGHAEI G N, PENG Z, ELES P. Process-variation and temperature aware SoC test scheduling technique [C]. Journal of Electronic Testing, 2013, 29(4):449-520.
- [9] 赵丽丽,谈恩民,王海超. 优化SOC测试时间的扫描链平衡及NSGA-II设计[J]. 国外电子测量技术, 2014, 33(7):32-35.
- [10] 杨年宏. 基于三维结构的SoC低功耗测试技术研究[D]. 合肥:合肥工业大学, 2011.
- [11] 焦铭,李浪,刘辉,等. 一种热量约束下的3D-ICs测试划分方法[J]. 科学技术与工程, 2014, 14(31):252-255.

## 作者简介

焦铭,1979年出生,副教授,博士生。主要研究方向为嵌入式系统及应用。

范双南,1971年出生,讲师。主要研究方向为嵌入式系统及应用。