

# 基于北斗 SoC 的雷达数据采集系统设计

江良剑 刘 洪 熊善泉 姬新阳

(中国洛阳电子装备试验中心 洛阳 471003)

**摘 要:** 介绍一种雷达数据采集系统设计方法,采用北斗 SoC 芯片开发了一套时统电路,通过 FPGA 生成与雷达交互的时序信号,并将采集到的雷达数据加上北斗时间信息。为了达到数据采集系统所需的时间精度,通过北斗芯片输出的 1PPS 信号对所有时序信号进行同步,确保雷达测距系统和角编码系统有序将数据放置在总线上。该设计实现了数据采集、航迹模拟、数据转发、卡尔曼滤波等功能,减少了系统接口电路板,集成度和稳定性大大提高,对雷达数据采集系统的小型化起到了重要作用。

**关键词:** 北斗时统;数据采集;FPGA;1PPS;时序信号

**中图分类号:** TN957      **文献标识码:** A      **国家标准学科分类代码:** 510.1050

## The design of radar data acquisition system based on beidou SoC

Jiang Liangjian Liu Hong Xiong Shanquan Ji Xinyang

(Luoyang Electronic Equipment Test Center of China, Luoyang 471003, China)

**Abstract:** This paper introduces a design method of radar data acquisition system, which developed a timing circuit by FPGA based on the Beidou SoC. The circuit generates all timing signals which radar needs when accesses it, and adds Beidou time to radar data. In order to achieve the time precision of data acquisition system required, the timing signals are kept step with 1PPS signal output by Beidou, which ensures the radar ranging system and angle encoder systems correctly placed the data on the data bus. The design realized data collection, track simulation, data forwarding, Karman filtering and other functions, reducing the system interface board, integration and stability is greatly improved. It plays an important role to the miniaturization of the radar data acquisition system.

**Keywords:** BDS timing; data acquisition; FPGA; 1PPS; timing signal

## 1 引 言

某精测雷达服役已超过 30 年,数据接口系统工作时间超过 5 000 h,在日常工作中存在以下问题:1)接口电路板故障率高,且没有备份板可供应急更换,维修周期长;2)接口规转电路板的接插件接触不良,经常导致录取和发送的雷达数据产生严重跳点和时间错误;3)部分器件选型老旧,芯片固化程序无法读写,器件损坏将不可替换,维修困难。

为确保雷达稳定工作,采用新技术和器件对雷达数据接口系统进行升级改造,彻底解决备品备件紧缺的问题,消除某雷达接口电路隐患。系统设计分为时统电路和数据采集电路两部分。

测控任务中为使所有参试装备协同统一工作,得到某时间点上准确可信的数据信息,需要为其建立一个高精度的时间统一系统。在以往的任务中,通常通过时统中心站向各装备的时统终端发送 IRIG-B 码的形式进行授时。由

于授时信号在无线传输过程中受多路径、电离层等的影响较大,其授时精度较低<sup>[1]</sup>。卫星导航系统的成功建设,使得卫星授时得到广泛应用<sup>[2-4]</sup>,随着北斗二号系统的建设成功,在靶场装备中采用中国自主的北斗授时系统,才能装备试验的安全性和自主权。

该文基于北斗二代 SoC 模块,采用 FPGA 技术,提取北斗时信息,并通过 1PPS 对时间信息进行同步,形成相对独立且精度较高的时统信号,在此基础上产生雷达数据采集需要的时序信号,对雷达总线的数据进行读取,并对数据进行预处理,将时间信息和雷达数据组合后串行输出,实现雷达数据采集功能。

## 2 硬件电路设计

北斗芯片采用和芯星通的 UM220 高性能 SoC 芯片,能够同时支持 BD2 B1、GPS L<sub>1</sub> 2 个频点,可通过设置使选

择双系统同时工作或单系统工作,1PPS 精度 (RMS) 为 20 ns,该芯片外形尺寸紧凑,采用 SMT 焊盘,适用于低成本、低功耗领域,满足系统开发要求。

主控电路 FPGA 技术,可以解决系统小型化、低功耗、高可靠性等问题,而且其开发周期短、开发软件投入少。FPGA 除可完成雷达控制的要求,还可完成如数据预处理等其他工作,其静态重构技术,可在不改变硬件结构的前提下实现雷达接口系统的升级和功能重构<sup>[5]</sup>。FPGA 芯片采用 Altera 公司生产的 EP4CE15F17C8 作为控制核心,配置芯片采用 EPCS64。FPGA 芯片采用 JTAG 方式进行配置。在电路设计过程中,考虑工作状态的可视性,增加 LED 指示灯。

系统原理图如图 1 所示,FPGA 利用 UM220 模块输出的 BDGGA 信息中的时间和定位标志,以及 1 PPS 信号,产生雷达需要的各类时序信号,雷达在时序控制下,将数据放置在总线上,FPGA 实时读取总线数据,并将数据格式化后以 38 400 bps 的速率将数据转换为串行输出,通过 MAX3232 进行电平转换。

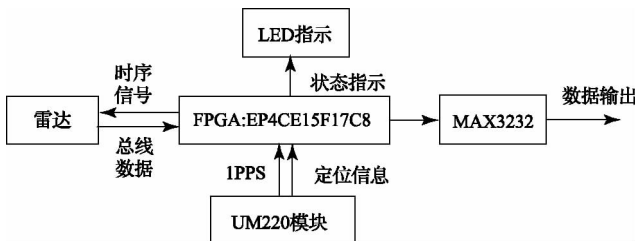


图 1 系统的总体

## 2.1 时统电路设计<sup>[6]</sup>

时统电路原理如 2 所示,UM220 输入电压范围为 +3.0~3.6 VDC,系统采用 5V 供电,通过 AM1117 3.3 进行电压转换。天线采用 SMA 孔座接口,UM220 模块包括 3 个串口,串口波特率均可由用户自行配置,最高可设为 38 400 bps。串口 1 支持 NMEA 数据输出及命令控制,串口 2 仅支持数据输出,串口 3 支持固件升级、NMEA 数据输出及命令控制。提供 1 个输出脉宽和极性可调的 1 PPS 信号。

输入/输出信号类型为 LVTTTL 电平。

目前的计算机已逐渐取消串口,为方便对 UM220 进行设置与控制,采用 CH340G 芯片实现 USB 转串口功能。设置 UM220 只输出 \$BDGGA 信息,该信息中包含系统需要的时间信息和定位状态信息。

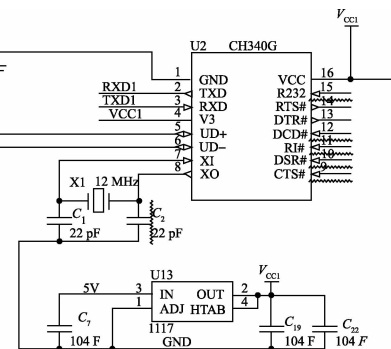
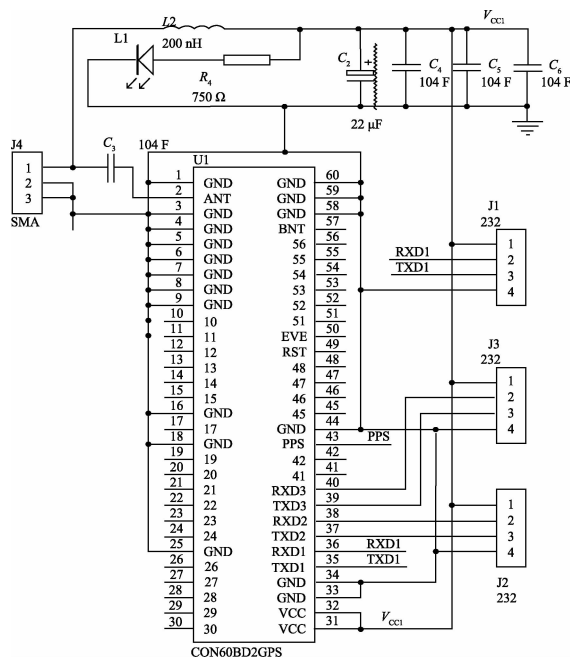


图 2 时统电路原理

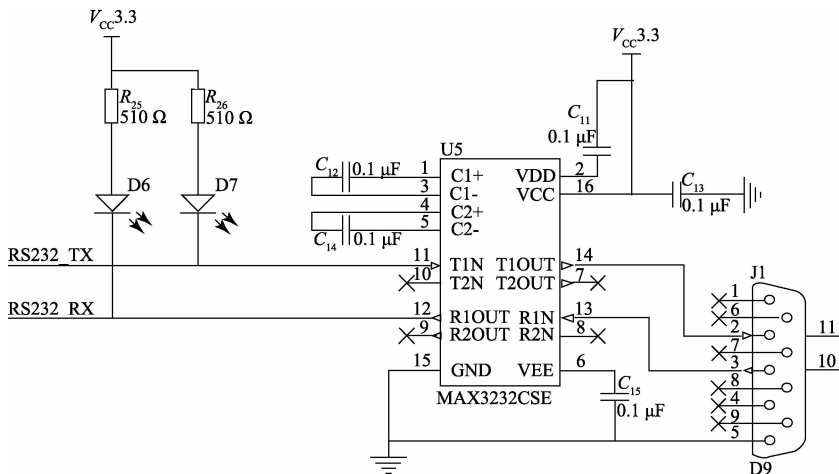


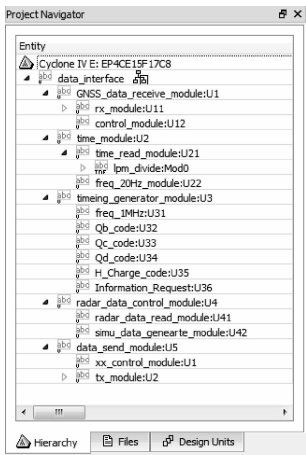
图 3 串口数据输出接口

2.2 串口电路设计

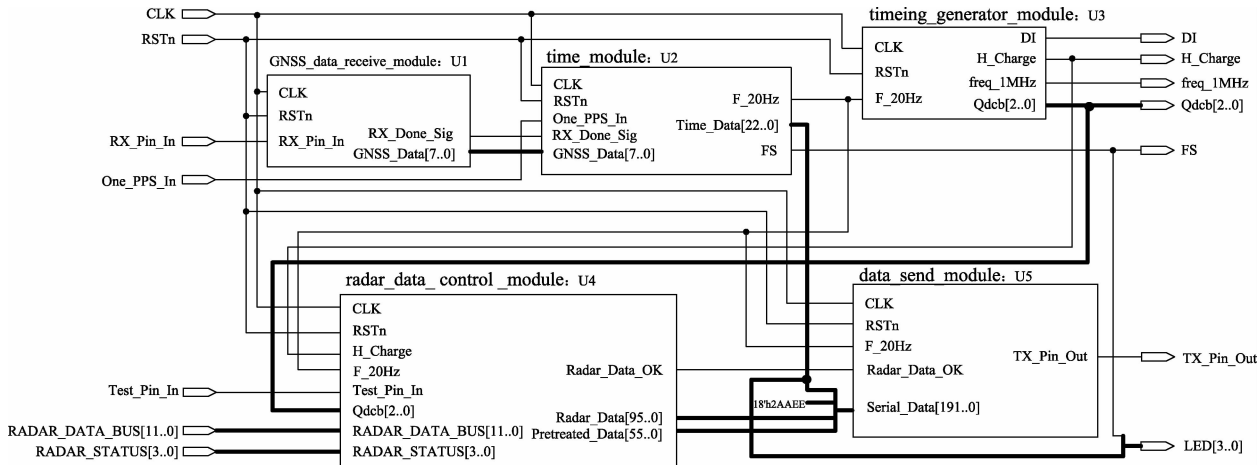
串口输出符合异步通信规程标准,波特率为 38 400 bps,一个起始位,一个停止位。接口电气特性符合 RS232C 通信规程电气特性要求。该接口电路使用 MAX3232CSE 作为电平转换芯片,串口数据输出接口电路如图 3 所示。

3 功能实现

在 QuartusII 集成开发环境下采用 VerilogHDL 语言实现系统的模块化设计开发,项目按照系统功能划分层次结构<sup>[7]</sup>,data\_interface 为顶层模块,具体功能分为 5 个子模块,如图 4 所示,包括:串口接收模块、时间模块、时序信号产生模块、雷达数据控制模块、数据发送模块。



(a) 模块层次关系



(b) 系统顶层视图

图 4 系统模块结构关系

系统工作流程如图 5 所示。

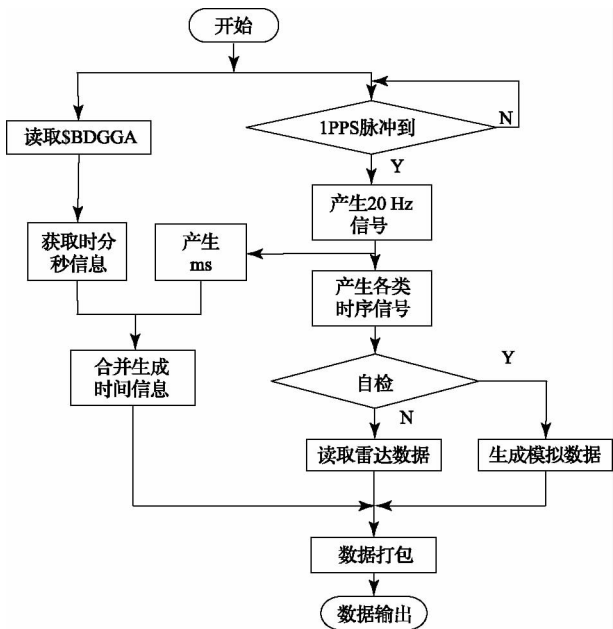


图 5 系统工作流程

3.1 串口接收模块<sup>[8]</sup>

模块名称:GNSS\_data\_receive\_module,主要完成 BD/GPS 导航信息接收。

RS232 数据帧格式为:1 bit 起始位(保持一个传输位周期的低电平),8 bit 数据,无校验位,1 bit 停止位。FPGA 实时监测 RS232\_RX 信号是否有数据,若接收到数据,则把接收到的数据送到时间模块。接收到的数据交给时间模块 time\_module 进行处理。

3.2 时间模块

模块名称: time\_module,从串口接收模块来的数据中,提取导航信息中的时分秒数据,并生成 ms 数据,按照预定格式交给雷达数据控制模块。

预先将导航模块 UM220 设置成北斗/GPS 双系统工作模式,1 s 输出 1 次 BDGGA,BDGGA 信息格式为:

\$ BDGGA,time, Lat, N, Lon, E, FS, NoSV, HDOP, msl,M,Altref,M,DiffAge,DiffStation \* cs

程序捕获导航电文的开始标志符“\$”,提取第 8~13 字节的时间数据和第七字段状态定位标识 FS。读取到的时间为 UTC 时间,需要加上 8 h 时差转换为北京时间。此

时得到的是滞后大约几十 ms 的时间信号,还需通过精确的 1 PPS 信号进行同步处理,得到一个与北斗时同步的时间信号。

### 3.3 时序信号产生模块

模块名称: timing\_generator\_module,生成雷达时基、编码、测距、引导等系统所需的时序信号。

该模块从数据接口系统与其他系统的协调工作的时

序关系出发,采用 FPGA 作为系统时序控制的核心部分来实现系统要求。测距系统、角编码系统和雷达工作状态信息需要按照一定的时序将数据放在总线上,FPGA 在时统 1PPS 的同步下产生雷达系统正常工作的时序信号,如 1 MHz、信息请求 DI、信息性质码  $Q_B Q_C Q_D$ 、加载脉冲/H\_Charge等,如图 6 所示。

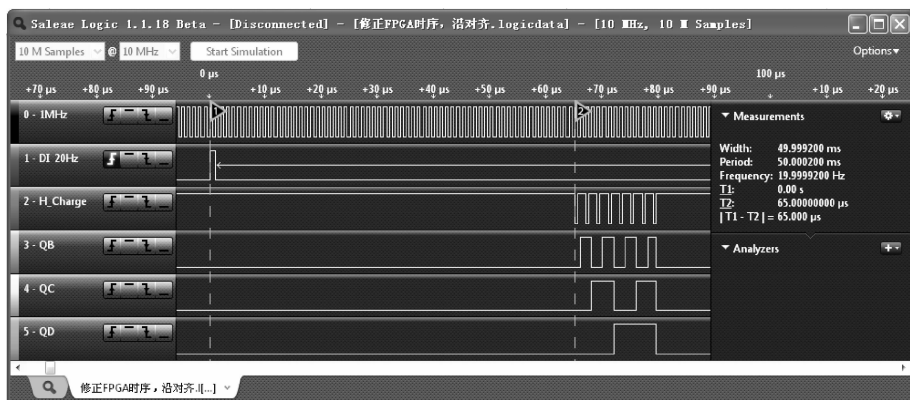


图 6 时序信号关系

1 MHz 为其他所有信号和引导插件等提供同步时序,采用 1 PPS 时间基准,保证了时间精度。

信息请求 DI 为 20 Hz 信号,控制系统在 1 个采样周期内按照时间信息生成(需要产生 ms 信息)、雷达交互信号产生、雷达总线数据读取(或模拟数据的生成)、雷达数据预处理、数据帧生成、数据发送的顺序工作。

信息性质码  $Q_B Q_C Q_D$  为数据加载提供时序,确保雷达数据正确加载到总线上。

/H\_Charge 为其他插件板提供时序,同时其下降沿为读取总线数据提供沿触发信号。

### 3.4 雷达数据控制模块

模块名称: radar\_data\_control\_module,实现雷达总线数据读取和模拟数据生成。

包含 2 个子模块,雷达总线数据读取子模块是本系统的核心功能,在时序信号产生模块的时序控制下,读取雷达总线数据,并将时间模块生成的时间信息与雷达数据打包,组成一帧 24 字节的二进制数据,交给数据发送模块进行输出。模拟数据生成子模块可用于试验数据联调、系统工作状态检查,程序每隔 50 ms 生成一帧距离、方位、俯仰动态变化数据,可在航迹显示软件上画出一个五星状航迹图形。

雷达对运动目标的测量受到多种因素的影响,测量数据与目标真实轨迹数据之间存在误差。在以往任务中可

以发现某些测量点的数据严重偏离其前后的数据,形成明显的不连续点,这样的数据就是野值。当雷达数据作为真值时,剔除野值是必要的数据处理过程。项目增加数据预处理功能,可为数据快判和目标引导提供方便。Karman 滤波是一种线性最小方差估计算法,它考虑了系统的模型误差和测量噪声的统计特性<sup>[9-10]</sup>,对提高测量数据精度有帮助。Karman 滤波原理在大量文献中有阐述,这里直接应用。系统状态方程:

$$X(k) = AX(k-1) + BU(k) + W(k) \quad (1)$$

系统的测量值:

$$Z(k) = HX(k) + V(k) \quad (2)$$

其离散化的递推公式:

$$X(k | k-1) = AX(k-1 | k-1) + BU(k) \quad (3)$$

$$P(k | k-1) = AP(k-1 | k-1)A' + Q \quad (4)$$

$$X(k | k) = X(k | k-1) + Kg(k)e(k) \quad (5)$$

$$e(k) = Z(k) - HX(k | k-1) \quad (6)$$

$$Kg(k) = P(k | k-1)H' / (HP(k | k-1)H' + R) \quad (7)$$

$$P(k | k) = (I - Kg(k)H)P(k | k-1) \quad (8)$$

对于雷达目标跟踪系统中,目标在空中做匀速和匀加速运动时,其对应的状态向量  $X(k)$ 、状态转移矩阵  $A$  和量测矩阵  $H$  分别为:

$$X(k) = [R \quad \dot{R} \quad \ddot{R} \quad E \quad \dot{E} \quad \ddot{E} \quad A \quad \dot{A} \quad \ddot{A}]^T$$

$$A = \begin{bmatrix} 1 & T & T^2 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & T & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & T & T^2 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & T & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & T & T^2 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & T \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix}$$

$$H = [1 \ 0 \ 0 \ 1 \ 0 \ 0 \ 1 \ 0 \ 0]$$

式中:  $R$  为距离,  $E$  为俯仰角,  $A$  为方位角,  $T$  为采样时间, 在本系统唯一固定值 50 ms。

Karman 滤波器假设系统噪声和测量噪声是具有已知统计特性的零均值高斯白噪声, 这种特性使其在观测序列中有野值点时, 状态向量的滤波估计值精度和可靠性便会明显变差, 甚至会导致滤波解发散。该文在分析野值对标准 Karman 滤波影响的基础上, 对式(6)新息  $e(k)$  进行判断, 当  $||e(k)|| > 3\sigma$  时, 判断为野值, 并以预测值  $X(k|k-1)$  代替测量值  $Z(k)$ 。通过实际测量数据对算法进行了仿真, 图 7 是标准 Kalman 滤波曲线, 图 8 是修正 Kalman 滤波曲线, 两图中第 50 个数据判定为野值, 可见此方法较好地保持了滤波的精度以及抗野值能力。

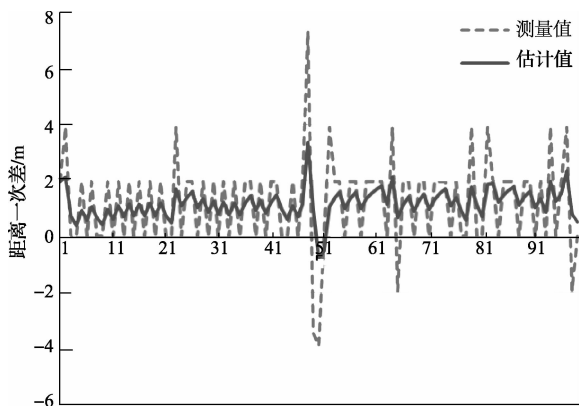


图 7 有野值时标准 Kalman 滤波曲线

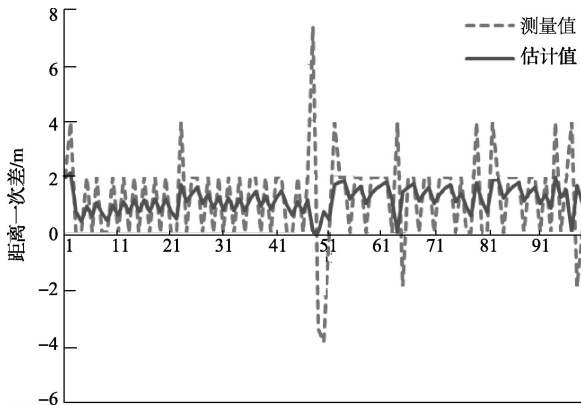


图 8 有野值时修正 Kalman 滤波曲线

### 3.5 数据发送模块<sup>[11]</sup>

模块名称: data\_send\_module, 实现雷达数据的对外输出。

该模块接收雷达数据控制模块来的数据, 将其按照 RS232 格式输出, 波特率设置为 38 400 bps。数据格式按照现行数据接口终端定义的格式, 可以与数据录取软件兼容, 预处理的数据放在数据帧后一并输出, 不影响现有航显软件的功能。该模块受控于 radar\_data\_control\_module 模块的 Radar\_Data\_OK 信号, 平时处于休眠状态, 当总线数据读取完毕, 并进行相应处理后, 将 Radar\_Data\_OK 置 1, 启动数据发送功能。在 50 MHz 的时钟频率下, 38 400 bps 的位宽需要计数 1 302 个时钟周期, 由 rx\_bps\_module 子模块实现。

## 4 系统功能验证

将原数据采集系统卸下, 安装新系统上机测试, 检验系统功能。首先保持天线静止, 检查录取的数据二进制与雷达操控面板指示灯是否完全一致, 有没有错误数据和跳点。经测试数据完全正确。然后稳定摇动天线, 检查数据一次差可以看出, 系统录取的数据稳定。

由于两套系统时序信号存在偏差, 为检验新系统在动态情况下数据的正确性新系统采用原系统的时序逻辑, 同时进行数据录取后比对。通过多次对动态目标的跟踪数据分析, 两套系统数据一致性很好。

## 5 结 论

采用北斗模块的授时功能, 实现了雷达数据采集系统的时间信息生成和时序信号产生, 完成了 FPGA 开发的系统级设计、芯片选型、原理图设计、在线仿真和硬件测试。在硬件调试阶段, 解决了很多接口时序问题。测试结果表明, 系统具有很好的实时性和可靠性, 而且可根据实际需要进行功能重构, 大大扩展了雷达数据应用范围。

## 参考文献

- [1] 杨玉婷. GPS/北斗授时系统软件的设计与实现[D]. 重庆: 重庆大学, 2013.
- [2] 刘鹏, 夏路易, 冯蓉. 基于 ARM 的 GPS 同步授时系统设计[J]. 电子设计工程, 2011, 19(9): 155-159.
- [3] 江威. 具有高精度 GPS 授时的数据采集系统的设计和实现[D]. 武汉: 华中科技大学, 2012.
- [4] 柯熙政, 刘娟花, 李建勋. 多模式组合定时设备设计与研制[J]. 仪器仪表学报, 2013, 34(6): 1209-1216.
- [5] 李敏. 基于 FPGA 的硬件可重构数据采集系统的研制[D]. 杭州: 中国计量学院, 2013.
- [6] 怀洋, 邵琼玲, 路振民. 北斗/GPS 混合定位模块 UM220 应用研究[J]. 国外电子测量技术, 2014, 33(3): 76-79.

(下转第 88 页)