

基于动态局部重构的自重构系统设计

孙艳梅 姚 睿 郭庆新

(南京航空航天大学自动化学院 南京 210016)

摘要: 基于 EAPR(early access partial reconfiguration)动态部分重构(dynamic partial reconfiguration,DPR)方法,研究了在 FPGA 上实现自重构嵌入式系统的设计方法。该方法运用 Xilinx 的 ISE12.4 开发工具,调用已有 IP 核,搭建包含用户定制 IP 核的自重构嵌入式系统硬件平台,并在 Virtex5 FPGA 上验证。设计中运用了二维重构技术,划分了3个可重构区域,每个区域包含4个可重构模块。本设计方法可以降低嵌入式系统开发复杂度、提高系统灵活性、降低开发成本、缩短开发周期以及减少系统功耗。

关键词: 动态部分重构;自重构;定制 IP 核

中图分类号: TP2 **文献标识码:** A **国家标准学科分类代码:** 510.1050

Design of self-reconfigurable system based on DPR

Sun Yanmei Yao Rui Guo Qingxin

(College of Automation, Nanjing University of Aeronautics and Astronautics, Nanjing 210016, China)

Abstract: On the basis of Dynamic Partial Reconfiguration (DPR) method Early Access Partial Reconfiguration (EAPR), design method of self-reconfiguration embedded system implemented on FPGA is studied. The hardware platform of the embedded system containing a custom-made IP is built by integrating merchant IPs resorting to the development tool ISE12.4 provided by Xilinx. Two-dimension reconfiguration technology is used in the design of the system which includes three Reconfigurable Partitions (RPs) and four Reconfigurable Modules (RMs) are available to each RP. Afterward, it is implemented on Virtex5 FPGA to verify the feasibility of the method. Via this method, the development complexity is reduced while development flexibility is improved, achieving lower cost, less time to market and power consumption reduction.

Keywords: dynamic partial reconfiguration; self-reconfiguration; custom-made IPs

1 引言

为满足嵌入式系统设计的复杂度和灵活性要求,近年来,嵌入式系统^[1-2]设计趋向于一个标准,即调用并集成不同的 IP 核,这些 IP 核都是各自独立创建和验证的,从而可以把握其复杂度。此方法可减少设计时间,从而缩短产品进入市场的时间。基于 SRAM 的 FPGA^[3-4]结合 DPR 技术可实现此方法。FPGA 的可编程性可提高设计灵活性并降低开发成本。运用 DPR 技术,系统无需停止整个系统的运行,只需根据需要改变系统的一部分配置,快速方便地更新系统功能,增加系统对环境的适应力。无需运行的功能块可配置为空白模块,从而降低功耗。

EAPR 是由 Xilinx 公司提出的一种在 FPGA 上实现 DPR 的方法^[5],它利用了现代 FPGA 的内部可重构特性,去除了之前对基于模块 DPR 设计方法的一些限制^[6],是后

者的改进方法,使系统设计更加灵活。基于此技术,研究了在 FPGA 上实现自重构嵌入式系统的设计方法。

2 动态部分自重构系统架构

设计的自重构系统如图1所示,所需 IP 核模块以外设的形式挂载在 PLB 总线上,LMB 总线连接 MicroBlaze 与 FPGA 片内的 BlockRAM (BRAM)。软核处理器 MicroBlaze 作为系统的自重构控制器,在 System ACE 和 ICAP 的配合下完成自重构过程。首先将生成的合并了软件和硬件信息的全局初始化 bit 配置文件转换成 .ace 文件,然后将此 .ace 文件和部分配置位流文件(算子核位流库)存储于 CF 卡中。开发板上电后,System ACE 控制器通过 JTAG 端口读取 CF 卡上的 .ace 文件,初始化 MicroBlaze 微处理器。ICAP 可以读写 FPGA 的配置数据帧。从 CF 中读取的重构模块的比特流配置文件或者从可

配置区域读回的配置数据保存于 BRAM。基于 ICAP 的自重构过程是基于“读-修改-写”机制的^[7]。重构时首先通过 ICAP 端口将需要修改的数据帧从配置存储器读到 BRAM 中,然后处理器修改这些数据帧,最后再通过 ICAP 将其写回到配置存储器中。UART 用来连接 PC 与开发板,并利用超级终端调试整个系统。

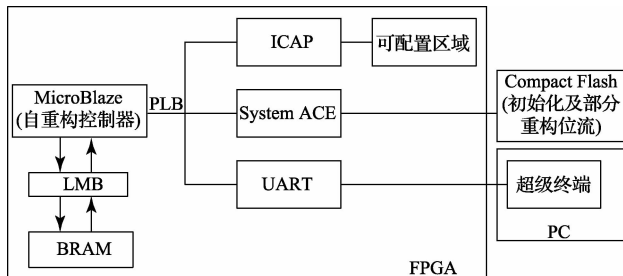


图 1 动态部分自重构系统架构

可配置区域的示意图如图 2 所示。在 FPGA 上预先划分多个可重构分区,每个可重构分区根据需要配置相应的可重构模块。本文设计中,划分了 3 个可重构分区,每个可重构分区均可配置为加、减、乘及空操作 4 个功能模块之一。

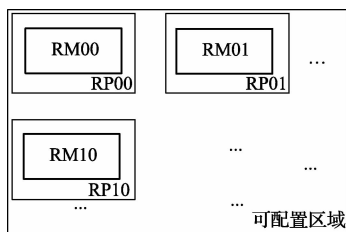


图 2 可配置区域示意

设计中没有采用基于总线宏的通信机制,而是采用了代理逻辑 (Proxy Logic)。

划分引脚 (Partition Pins) 是静态逻辑与可重构逻辑之间的逻辑及物理接口^[8]。代理逻辑指软件为每个 PP 自动插入 LUT1 (即只有一输入的 LUT)。其作用与总线宏一样,即确保静态模块与可重构模块之间的通信信号有固定的布线资源和通信路径,在重构时为静态逻辑屏蔽掉可重构模块产生的干扰信号。信号从动态课重构模块向静态模块传送时,通过经由 LUT1 的固定路径发送出去;反之,动态可重构模块接收来自静态模块的信号时,来自静态模块的信号通过经由 LUT1 的固定路径进入可重构模块。因为划分引脚的插入直接取决于可重构模块中的端口声明,所以,在声明时要确保同一个可重构区域的不同可重构模块所有端口的一致性,即使在某个配置中未使用某些端口,也予以保留,以确保静态模块与动态模块之间的通信端口和路由路径固定。

3 动态部分自重构系统的设计实现

整个系统的设计流程如图 3 所示。

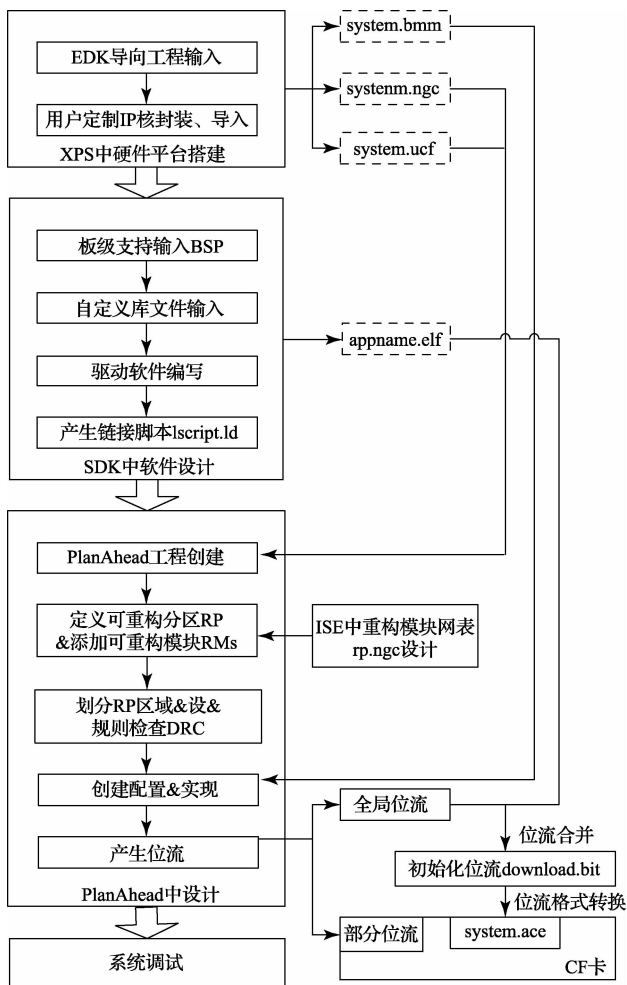


图 3 自重构嵌入式系统设计流程

整个设计流程主要分为 3 部分:硬件平台搭建、软件设计、自重构系统设计。

3.1 硬件平台搭建

利用 Xilinx EDK 工具链中的 BSB (base system builder) 向导建立单总线 SoC 系统^[8-9]。在实现过程中,利用 BSB 向导为 SoC 系统添加必要 IP 核,主要包括:用于高速 IP 核模块通信的 PLB 总线;作为自重构控制器的 MicroBlaze 软核微处理器;用于驱动和应用 APP 程序跟踪和调试的 MDM 调试器;用于产生系统复位信号的模块;用于访问 Compact Flash 设备以获取配置文件的 System ACE 控制器;用于连接 PC 和板卡的串口通信模块;用于产生全局时钟信号并为各 IP 核模块分配输入时钟的逻辑块。初步的硬件平台搭建后,添加本文设计所需 ICAP 控制器 IP 核。然后封装和添加用户定制 IP 核 math,它以黑盒的模式嵌入到硬件平台中。修改相关文件后,生成网表文件,即系统的顶层网表文件 system.ngc,用于后来在 PlanAhead 中的设计。

3.2 软件设计

将硬件平台导入 SDK,对其进行软件设计,主要包

括:UART 串口驱动设计、ICAP 重构控制器驱动设计以及 SysACE 访问控制器驱动设计。将 SDK 环境为堆栈分配的内存由默认的 1 工艺 KB 改为 2 KB,以防止发生堆栈溢出等异常情况。重新生成连接脚本 lscript. ld,产生包含软件信息的可执行文件 appname. elf,以在后来的设计中使用。

3.3 自重构系统设计

以上工作完成后,利用 PlanAhead 调用 Netlist 网表设计工具链,将嵌入式系统中生成的所有 IP 核(math 可重构模块除外)的网表文件(ipname. ngc)、系统网表文件(system. ngc)和系统用户约束文件(system. ucf)导入 DPR 系统设计中,然后进行再设计。其中,可重构区域要配置的功能模块是预先在 ISE 中综合好的网表文件。由于在嵌入式硬件平台搭建时,math 模块 IP 核作为常规外设应用,并未与其他 IP 核区分。然而,它只进行了端口声明,没有具体的逻辑功能。所以,在 NGC 网表文件导入时,先将 math 可重构模块作为黑盒,然后在 DPR 系统中独立设计,包括划分可重构分区、定义可重构模块等。

在 PlanAhead 中,位流产生完成,需要合并硬件信息和软件信息,生成全局初始化配置位流,然后将其转换为 ACE 格式(system. ace),以便初始配置时 System ACE 能够识别它。将此 ace 文件及其他的部分配置位流一起存于已经格式化的 CF 卡中,以便后期验证使用。

4 实验结果分析

在 Xilinx XC5VFX70TFF1136-1 开发板上进行实验验证。Xilinx System ACE 和 Compact Flash(CF)配置控制器允许 I 型 CF 卡通过 JTAG 端口编程 FPGA。硬件和软件数据均可通过 JTAG 端口下载。所以,将开发板的配置模式设置为 JTAG 方式,配置资源为 System ACE,即将 SW3 设置为 10101000。用串口线连接开发板和 PC,并打开超级终端,波特率设置与硬件平台中的 UART 的一致,即 115 200 b/s。系统上电后,System Ace 通过 JTAG 读取 system. ace 文件,完成初始化配置。开发板上的 DONE 指示灯变为绿色说明配置成功。根据超级终端上的提示操作,进行试验验证,初始化界面如图 4 所示。

```
-- Entering main() --
System ACE Controller Initialized
After HWICAP LookupConfig
HWICAP Initialized

-----
Press 1 for configuration1 AMS
Press 2 for configuration2 MSA
Press 3 for configuration3 SAM
Press b or B for blanking configuration
Press o or O to enter operands and display results
Press q or Q to quit the progress
```

图4 初始化界面

根据初始化界面提示,输入数字或字母,即可实现不同功能的重构。按“1”键,3 个配置分区分别配置加法(A)、乘法(M)和减法(S),按“O”键即可输入运算操作数,得到各

个区域的计算结果,由图 5 可以看出结果正确,表明重构成功。按“2”键和“3”键,操作类似,实验结果如图 6 和 7 所示。当系统不需要执行重构模块的功能时,输入配置空白文件命令“b”或“B”使系统处于待机模式,当需要时再输入相应命令进行配置,可减少系统的功耗。调试结束后,按“q”或“Q”退出调试过程。

```
Performing reconfiguration1 for adder_mult_sub
-----
Press 1 for configuration1 AMS
Press 2 for configuration2 MSA
Press 3 for configuration3 SAM
Press b or B for blanking configuration
Press o or O to enter operands and display results
Press q or Q to quit the progress
First1 operand: 5
Second1 operand: 9
First2 operand: 15
Second2 operand: 12
First3 operand: 13
Second3 operand: 4
Result1: 14
Result2: 180
Result3: 9
```

图5 RPs 分别配置加、乘、减时界面

```
Performing reconfiguration2 for mult_sub_adder
-----
Press 1 for configuration1 AMS
Press 2 for configuration2 MSA
Press 3 for configuration3 SAM
Press b or B for blanking configuration
Press o or O to enter operands and display results
Press q or Q to quit the progress
First1 operand: 5
Second1 operand: 3
First2 operand: 12
Second2 operand: 6
First3 operand: 12
Second3 operand: 1
Result1: 15
Result2: 6
Result3: 13
```

图6 RPs 分别配置乘、减、加时界面

```
Performing reconfiguration3 for sub_adder_mult
-----
Press 1 for configuration1 AMS
Press 2 for configuration2 MSA
Press 3 for configuration3 SAM
Press b or B for blanking configuration
Press o or O to enter operands and display results
Press q or Q to quit the progress
First1 operand: 10
Second1 operand: 2
First2 operand: 5
Second2 operand: 8
First3 operand: 14
Second3 operand: 12
Result1: 8
Result2: 13
Result3: 168
```

图7 RPs 分别配置乘、减、加时界面

除却系统总线的传输速率和 ICAP 的配置速率因素,从理论上讲,重构时间等于配置文件大小与配置速率的比值^[10],则重构时间正比于配置文件大小。本设计中,可重构模块的部分配置文件(17 KB)比全局配置文件(3 300 KB)小很多。动态局部配置时,只需下载可重构模块的部分配置位流,与全局重配置相比,大幅缩短了重构的时间,加快了重构速度。如图 8 所示,本文设计的资源利用率比较低。

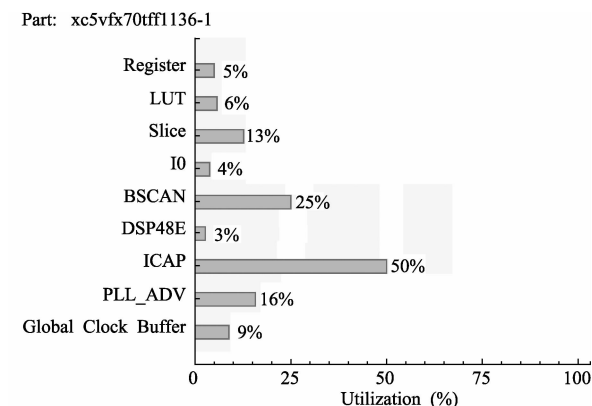


图 8 自重构嵌入式系统资源利用

5 结 论

基于 EAPR 动态部分重构技术,研究了自重构嵌入式系统的设计方法,并在 Xilinx Virtex5 FPGA 上进行验证。文中设计运用了二维重构技术,使设计更加灵活。动态模块与静态模块间的通信摒弃了传统的基于总线宏的通信方式,而是采用了较先进的基于代理逻辑的通信机制,设计过程更加简洁,资源利用率也更高。系统设计中调用并集成各自独立创建和验证的 IP 核,从而可以把握其复杂度。功能模块的部分配置位流作为一个算子核位流库与全局初始位流一起存储于外部 CF 卡上,方便系统更新升级。另外,本系统无需停止运行就可替换功能模块,只需部分配置可重构分区,加快了重配置的速度。此特性可用于系统需要根据环境进行自适应的情况下。这正是业界目前的研究热点,随着该技术的不断成熟,其应用前景将更加广泛。

参考文献

- [1] SALVADOR R,OTERO A,MORA J,et al. Selfreconfigurable evolvable hardware system for adaptive image processing [J]. IEEE Transactions on Computers,2013,62(8):1481-1493.

- [2] 庞业勇,王少军,彭喜元. 基于 SOPC 的远程可重构系统设计方法研究[J]. 电子测量与仪器学报,2010,24(6):548-554.
- [3] 何伟. SRAM 型 FPGA 单粒子故障传播特性与测试方法研究[D]. 长沙:国防科学技术大学,2011.
- [4] 潘明,陈元枝,李强. 基于 FPGA 的图像采集系统的设计[J]. 国外电子测量技术,2012,31(3):58-61.
- [5] 薛建伟,张杰,关永. 基于 EAPR 流程的动态局部可重构实现[J]. 计算机工程,2010,36(23):252-254.
- [6] 刘斐文. 基于 FPGA 动态重构的数字系统容错设计技术研究[D]. 南京:南京航空航天大学,2011.
- [7] OTERO A,MORALES-CAS Á,PORTILLA J,et al. A modular peripheral to support self-reconfiguration in SoCs [C]. Digital System Design: Architectures, Methods and Tools (DSD), 2010 13th Euromicro Conference on. IEEE,2010:88-95.
- [8] 刘春红. 基于 Virtex5 的 DPR SoC 自重构系统设计与性能评估[D]. 西安:西安电子科技大学,2013.
- [9] 张路煜,李丽,潘红兵,等. SoC 系统中多端口 DMA 控制器的设计[J]. 电子测量技术,2014,37(9):32-36.
- [10] 王烈,许晓洁,陈坚. 基于 EAPR 的局部动态自重构系统的实现[J]. 电子技术应用,2013,39(12):31-33.

作者简介

孙艳梅,1988 年出生,硕士研究生。主要研究方向为计算机测控系统。

E-mail:sym0712011008@126.com

姚睿,1974 年出生,副教授,硕士生导师。主要研究方向为计算机测控技术、智能电路与仿生硬件、智能信息处理。

郭庆新,1989 年出生,硕士研究生。主要研究方向为计算机测控系统。