

IEEE 1149.7 CJTAG IP核复位与选择单元模块设计*

侯杏娜^{1,2} 陈寿宏^{1,2} 马峻^{1,2} 何正亮^{1,2}

(1. 桂林电子科技大学电子工程与自动化学院 桂林 541004; 2. 广西自动检测技术与仪器重点实验室 桂林 541004)

摘要: 在深入研究 IEEE 1149.7 标准基础上,针对测试问题,构建符合标准架构的测试目标芯片 CJTAG IP 核,重点介绍 IP 核中复位与选择单元(RSU)模块的设计实现。该模块主要实现了四大功能:确定芯片启动模式、产生复位信号、逃脱检测及选择序列产生、IP 核在线或离线选择。基于 Quartus II 应用平台设计,通过 ModelSim 完成仿真验证。仿真结果表明,该复位与选择单元模块产生的信号符合 IEEE1149.7 标准规定,能够支持目标芯片 IP 核实现相应的测试功能。

关键词: IEEE 1149.7; CJTAG; IP 核; 复位与选择单元

中图分类号: TN407 **文献标识码:** A **国家标准学科分类代码:** 510.3010

Design of reset and selection unit module in IEEE1149.7 CJTAG IP core

Hou Xingna^{1,2} Chen Shouhong^{1,2} Ma Jun^{1,2} He Zhengliang^{1,2}

(School of Electronic Engineering and Automation, Guilin University of Electronic Technology, Guilin 541004, China;
Guangxi Key Laboratory of Automatic Detecting Technology and Instruments, Guilin 541004, China)

Abstract: Based on the in-depth study of IEEE1149.7 standard, the paper designs and implements the target chip CJTAG IP core in the test architecture proposed by standard to solve the problem of test. The design and implementation of reset and selection unit (RSU) module is mainly introduced. The RSU module mainly realizes four functions: Start-up options choice, reset signals generation, escape detection, RSU online/offline choice. The design is based on the Quartus II application platform and through the ModelSim to complete the simulation and verification. The simulation results show that the test signals generated by the RSU module can meet the requirements of IEEE1149.7, and can be able to achieve the appropriate test function of the CJTAG chip.

Keywords: IEEE1149.7; CJTAG; IP core; reset and selection unit(RSU)

0 引言

随着集成电路对芯片功耗、封装尺寸和引脚数目要求越来越严格,不仅给芯片设计带来麻烦,而且给芯片以及电路系统的测试带来新的挑战,现有边界扫描技术无法满足需求;2009年,IEEE推出紧凑型边界扫描技术(CJTAG),即IEEE 1149.7标准^[1],标准测试架构能解决测试中所遇到的困难。标准公布以后,在国内外电子业界引起了高度关注,CJTAG的研究主要包括两个方面,一是设计相应CJTAG测试系统:产生符合IEEE 1149.7标准的测试信号,主要包括控制器及各模块的设计^[2-5],IEEE 1149.1~IEEE 1149.7的转换器的设计^[6]等。另一方面是设计支持CJTAG测试的电路芯片,目前国内在这方面的研究还处在落后阶段^[7]。本文主要研究后一问题,即在IEEE1149.7

标准所提出的边界扫描测试的基础上,使用Verilog HDL语言编写符合IEEE 1149.7标准的电路芯片IP核,重点是其中复位与选择单元模块的设计,对实现自主知识产权的符合IEEE 1149.7标准的IP核有重要意义。

1 IEEE 1149.7 标准测试技术

1.1 IEEE 1149.7 标准测试架构

IEEE 1149.7标准测试架构如图1所示^[1],标准在现有调试和测试系统(DTS)中IEEE 1149.1接口和目标系统JTAG接口间定义一个连接,接口上引进可看成是适配器的额外的层,保留所有IEEE1149.1接口功能,同时增加许多新功能。本文主要研究测试架构中IEEE 1149.7芯片部分,即设计该芯片的IP核,IEEE 1149.7芯片由TAP.7控制器和系统测试逻辑组成。

收稿日期:2017-04

*基金项目:广西自然科学基金重点项目(2015GXNSFDA139003)、广西自然科学基金回国项目(2014GXNSFCA118017)、广西自动检测技术与仪器重点实验室基金(YQ14115、YQ15101)、广西高等学校优秀中青年骨干教师培养工程资助项目

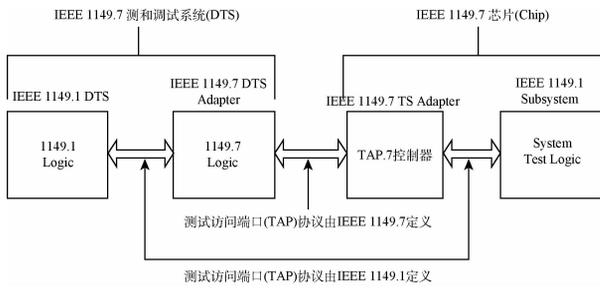


图1 IEEE 1149.7 测试架构

1.2 复位技术规范

IEEE 1149.7 标准复位功能提供 6 种复位类型:Type-0~Type-5;其中 Type-0~Type-2 复位是完全异步复位;其余是同步复位;Type-5 仅复位 STL;Type-4 初始化 TAP.7 控制器中寄存器和大部分控制器状态,确定 CLTAPC 默认选择状态;Type-3 复位执行 Type-4 所有的功能,同时产生 Test-Logic-Reset 状态;Type-2 执行 Type-3 所有功能,初始化逃脱检测逻辑;Type-1 复位执行 Type-2 所有功能,当没有复位引脚时不会产生 Type-1 复位;Type-0 复位由 TAP.7 控制器的电源管理产生,执行 Type-1 所有功能,同时也初始化 TAP.7 控制器逻辑。

1.3 选择技术规范

IEEE 1149.7 标准提供 3 种不同协议:控制协议、标准协议和高级协议,实现对芯片中不同功能模块的控制;这些协议通过 TCK 边沿采样 TMS 信号来实现信息的传输;协议间切换如图 2 所示,控制协议确定选择逃脱之后是标准协议还是高级协议(即芯片处于在线状态),或者都不是(即芯片处于离线状态)。

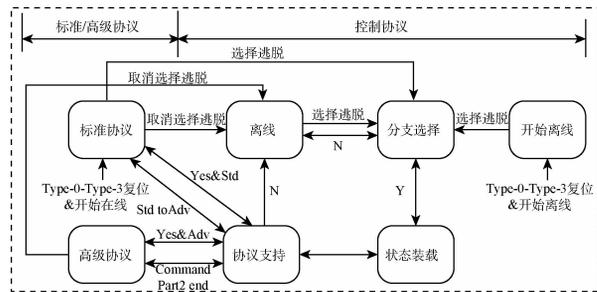


图2 TAP.7 控制器在线/离线操作

不同协议之间转换由逃脱技术以及其后的选择序列完成;逃脱技术为在一个 TCK 周期内,不改变正常信息传输条件下,将控制信息叠加到 TCK 和 TMS 上,即在 TCK 为 1 时,TMS 的边沿数;IEEE 1149.7 标准规定 4 种逃脱:自定义逃脱、取消选择逃脱、选择逃脱、复位逃脱;每一种逃脱有不同的功能和边沿数。

2 复位和选择单元模块设计

根据标准测试架构中功能要求及自顶向下模块化设计

方法,将 IP 核划分为复位和选择单元(RSU)模块、扩展协议模块、STL 模块等,其中,RSU 模块由 reset、start、escape_det、f_t_reset 4 个子模块构成,产生 6 种复位模式,并将相关复位信号输出至其他模块、进行逃脱检测、实现芯片在线或离线选择,是测试的前提^[8-10]。

2.1 reset 模块设计

reset 模块实现标准中复位功能,设计如图 3 所示,输入信号 ntrst 为 1,产生 Type-1 复位信号,使所有输出信号输出为 0,作用于芯片各个模块,使芯片复位;在逃脱过程中,如果逃脱类型为复位逃脱或逃脱之后选择序列的 CP 包指令为 CR_RSO 或电源关闭则产生 Type-3 复位,nsys_rst_o、tp0_tp3_rst_o、tp0_tp4_rst_o 输出 1;在 EPU 中如果 ADTAPC 状态机的状态为 Test-Logic-Reset,产生 Type-4 复位, tp0_tp4_rst_o 输出 1;如果 TAP.7 命令将 1 写入 TRESET 寄存器中,则产生 Type-5 复位,模块输出信号 nsys_rst_o 输出 1;在芯片中,如果芯片不需要工作而需要将芯片电源断开时,产生 Type-0 复位,所有输出信号输出 0,即复位整个芯片。

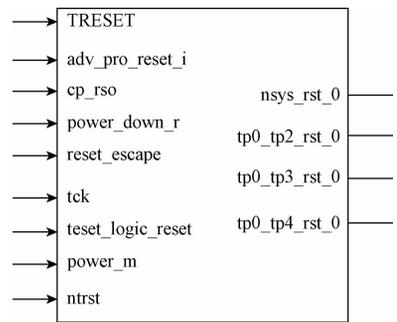


图3 reset 模块

2.2 start 模块设计

start 模块如图 4 所示,确定芯片的启动方式,type0_type4 信号由 reset 模块输出信号 tp0_tp4_rst_o 产生,SCNFMT 信号由 EPU 中扫描格式寄存器产生;模块输出信号为 start_up_option。

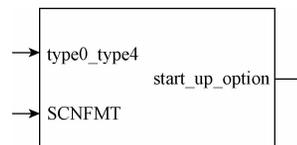


图4 start 模块

type0_type4 信号为 1 时,模块复位,输出信号 start_up_option 为 00,即默认启动模式 IEEE 1149.1 符合,此时选择 CLTAPC;当扫描格式 SCNFMT 信号为 JScan1(00001)时,输出信号 start_up_option 为 01,即 IEEE 1149.1 兼容,此时取消选择 CLTAPC。

2.3 escape_det 模块设计

escape_det 模块如图 5 所示,该模块对输入信号进行逃脱检测,解析选择逃脱之后选择序列中的信息,确定芯片是在线还是离线。

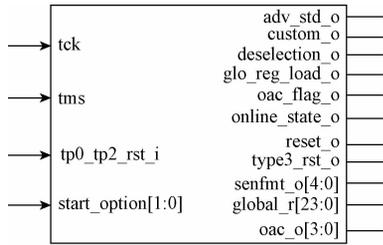


图 5 escape_det 模块

操作流程如图 6 所示, tp0_tp2_rst_i 信号为 1 时, 复位 escape_det 模块, 所有变量以及寄存器复位至默认值; 否则开始逃脱检测, 当 TCK 为 1 时, 检测 TMS 边沿数, 为 0 则不检测, 同时计数器清零; 边沿数为 2 或 3 时为自定义逃脱; 边沿数为 4 或 5 时为取消选择逃脱, 使芯片处于离线状态; 边沿数为 6 或 7 时为选择逃脱, 用于选择芯片, 并根据其后选择序列决定芯片是否处于在线, selection_o 输出为 1; 边沿数大于 8 时为复位逃脱。之后为选择序列, 由技术独立部分和技术相关部分组成; 产生在线激活码时, 模块 oac_o[3:0] 输出在线激活码的值, 同时 senfmt_o[4:0] 输出由 OAC 确定的扫描格式值, 完成在线激活码之后, 信号 oac_flag_o 输出为 1, 产生技术相关部分, 产生扩展码, 获取扩展码的三位, 决定该选择序列分为长型或短型, 否则扩展码之后为检查包; 当检查包中实体部分的指令为 CP_END 时, 根据 OAC 的值使芯片处于在线状态, 则模块输出信号 adv_dst_o 为 1, 当检查包中实体部分的指令为 CP_RSO 时, 启动 Type-3 复位, 复位 TAP. 7 控制器。

3 RSU 模块的实现与仿真验证

仿真验证结果如图 7 所示, T0 时刻, 输入信号 tmsc 和 tdi 为 0, IP 核上电, RSU 模块复位, 复位信号为 1, IP 核中相关寄存器复位至默认值; IP 核的启动方式为 00, 即 IEEE 1149.1 符合, 启动信号为 1, 表示启动成功。T1 时刻, 输入信号 tmsc 和 tdi 为 0, trst 为 1, trst 复位信号作用于 RSU 模块, 复位整个 RSU 模块, 使 RSU 模块输出信号 tp0_tp4_rst_w、nsys_rst_rew 为 1, 分别复位 EPU 中的寄存器和 STL 模块; trst 信号复位 EPU 模块; T2 时刻, 复位完成, 开始进行逃脱检测。T3 时刻, 输入信号 tckc 为 1 并且保持一段时间, tmsc 上的序列为 0101010, 即 tckc 为 1 时, tmsc 有 6 个边沿, RSU 模块开始检测逃脱信号, T4 时刻, selection 信号为 1, RSU 模块检测到逃脱信号为选择逃脱, 从而产生选择逃脱, 接下来为选择序列。

T4 时刻之后, 输入信号 tmsc 上的序列为 0010, 即选择序列中的在线激活码(OAC), T5 时刻, flag 信号为 1, oac_o

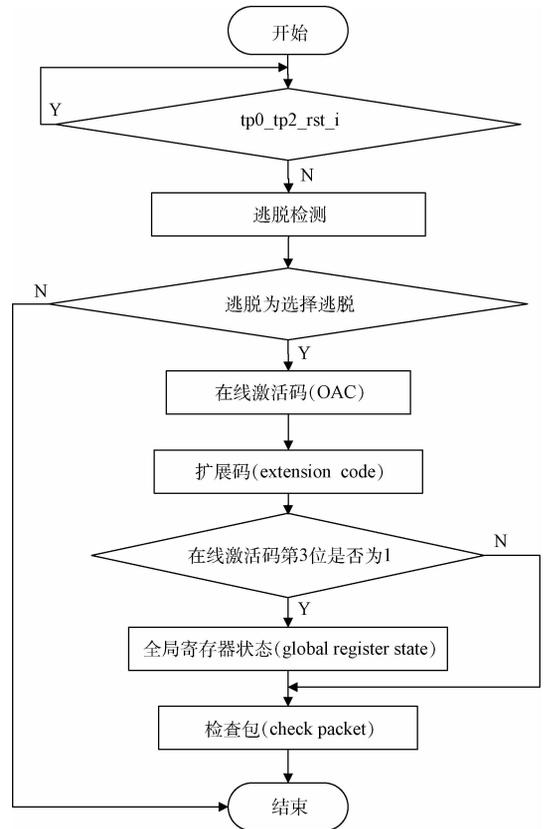


图 6 逃脱检测操作流程

寄存器的值为 0010, RSU 模块产生在线激活码, 该在线激活码确定芯片布局在星型扫码拓扑分支中, 同时将 EPU 中扫描格式寄存器 SCNFMT 值修改为 0011; T5 时刻之后, 输入信号 tmsc 上序列为 0100, 即选择序列中扩展码(EC), T6 时刻, extension 寄存器值 0100, RSU 产生在扩展码, 扩展码最高位为 0, 表示选择序列为长型, 接下来为全局寄存器状态。

T7 时刻, 输入信号 tmsc 上连续 24 位为 110101011101010111011000; T8 时刻, load 信号为 1, global_r 信号的值为 000110111010101110101011, RSU 产生全寄存器状态, global_r 信号值加载至 EPU 中全局寄存器 SCNFMT、DLYC、RDYC、TPPREV 中, 此时扫描格式寄存器 SCNFMT 值为 0011, 全局寄存器状态之后为检查包。

T9 时刻, 输入信号 tmsc 的值为 1, 该值写入 CP 中的前言寄存器中; T10 时刻之后, 输入信号 tmsc 上的序列为 10; T11 时刻, bodya 寄存中的值为 01, 即检查包中实体的指令为 CP_NOP, 需要延长实体; T11 时刻之后, 输入信号 tmsc 为 1, T12 时刻, bodya 寄存中的值为 10, 需要延长实体; T12 时刻之后, 输入信号 tmsc 值为 010, bodya 寄存依次为 01、10、01, 即检查包中实体的指令依次为 CP_NOP、CP_NOP、CP_NOP; T13 时刻, 输入信号 tmsc 上的值为 0,

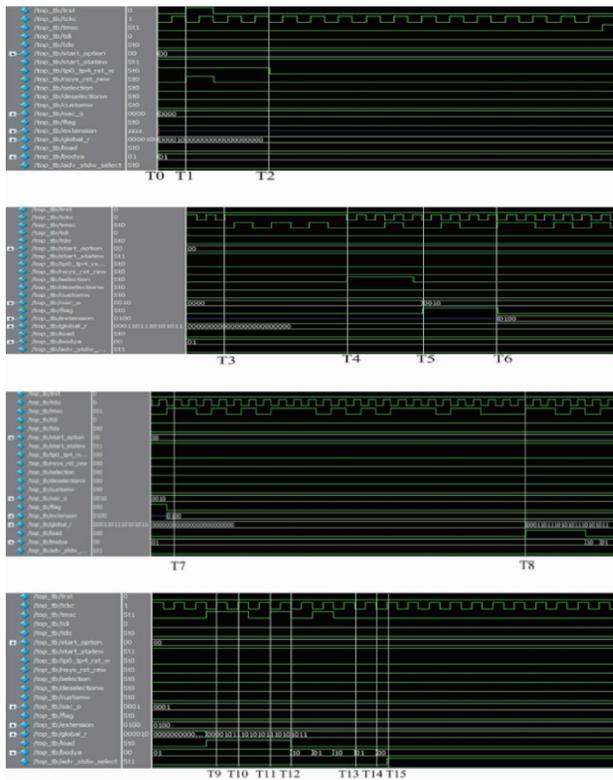


图7 RSU模块的仿真实验验证图

T14时刻, bodya 寄存器中的值为 00, 即检查包中实体的指令为 CP_END, 结束选择序列, 同时使 IP 核在线, 即在 T15 时刻, adv_stdw_select 信号为 1。

由仿真结果, 设计 RSU 模块可实现复位和选择功能。

4 结 论

在深入研究 IEEE 1149.7 标准基础上, 针对测试问题, 构建符合标准架构的测试目标芯片 CJTAG IP 核, 重点介绍 IP 核中复位与选择单元(RSU)各模块的设计实现。该模块提供芯片的复位和选择功能, 产生 6 种复位模式, 支持芯片在线和离线功能, 支持控制协议的使用; 基于 Quartus II 应用平台设计, 通过 ModelSim 完成仿真验证。仿真结果表明, 该模块产生信号符合 IEEE1149.7 标准规定, 能够支持目标芯片 IP 核实现相应的测试功能。该模块的正确设计, 是整个测试系统成功的前提。

参考文献

- [1] IEEE Std 1149.7. IEEE Standard for Reduced-Pin and Enhanced-Functionality Test Access Port and Boundary-Scan Architecture[S]. 2009.
- [2] 颜学龙, 尹亮亮, 陈寿宏. 基于 FPGA 的 CJTAG 控制器命令控制模块设计[J]. 计算机工程与设计, 2017, 3(38):837-840.
- [3] 颜学龙, 尹亮亮, 陈寿宏. 支持 IEEE 1149.7 标准的边界扫描控制器的设计与研究[J]. 现代电子技术, 2017, 40(4):147-150.
- [4] 徐志磊, 郭箐. 基于 IEEE1149.7 的新一代测试接口实现与应用[J]. 信息技术, 2010(8):164-166.
- [5] 陈寿宏, 颜学龙, 黄新. 基于 IEEE1149.7 标准的 CJTAG 测试设计方法研究[J]. 电子技术应用, 2013, 39(1):79-82.
- [6] 颜学龙, 王洋冰, 陈寿宏. 基于 IEEE1149.1 至 IEEE1149.7 转换器的研究与实现[J]. 微电子学与计算机, 2016, 33(11):134-141.
- [7] 颜学龙, 何正亮, 陈寿宏. 基于 IEEE1149.7 标准的多 TAPC 芯片的测试和调试研究[J]. 微电子学与计算机, 2016, 33(12):72-79.
- [8] CHEN S H, WANG Z, HOU X N, et al. A general boundary scan test system based on EDIF netlist file transfer to protel netlist file[J]. International Journal of Materials and Structural Integrity, 2016, 10(1):70-80.
- [9] 高俊强, 谈恩民. 基于边界扫描的 S-P 低功耗测试结构设计[J]. 国外电子测量技术, 2012, 31(10):29-32.
- [10] 胡海涛, 钟明琛, 陈大为, 等. 可测性设计测试向量低功耗设计方法[J]. 电子测量技术, 2016, 39(11):46-50.

作者简介

侯杏娜, 1982 年出生, 讲师, 主要研究方向为计算机辅助测试。

E-mail: hxn@guet.edu.cn

马峻(通讯作者), 1977 年出生, 博士, 副教授, 主要研究方向为信号分析与处理、应用调和分析。

E-mail: majun@guet.edu.cn